

# UNIVERSIDAD AUTONOMA DE QUERETARO



FACULTAD DE INGENIERIA  
LABORATORIOS DE AUTOMATIZACIÓN



LIBRO DE PRÁCTICAS PARA:  
LABORATORIO DE SISTEMAS DIGITALES 1

PARA OBTENER EL TITULO DE:

ING EN INSTRUMENTACIÓN Y CONTROL DE PROCESOS

PRESENTA:

LUIS ALBERTO MÉNDEZ CHÀIREZ

DIRIGIDO POR:

M. EN I. SERGIO EDUARDO CERVANTES PÈREZ



SECRETARIA ACADEMICA

C.U., QUERETARO A 20 DE OCTUBRE DE 2006

DR. RODRIGO CASTAÑEDA MIRANDA  
P R E S E N T E

Por medio de la presente, me permito citar a usted, para que se sirva asistir el próximo día 27 DE OCTUBRE DE 2006 a las 14:00 horas en la FACULTAD DE INGENIERIA, en donde se celebrará el examen del Pasante :

ALFONSO PAREDES LANDAVERDE

que pretende obtener el Título de:

INGENIERO EN INSTRUMENTACION Y CONTROL DE PROCESOS

mediante la opción de:

CURSOS DE ACTUALIZACION

Asimismo, agradecemos el haber aceptado su designación, como Sinodal del Jurado que habrá de evaluar al pasante.

A T E N T A M E N T E  
"EDUCO EN LA VERDAD Y EN EL HONOR"

DR. GUILLERMO CABRERA LOPEZ  
Secretario

# UNIVERSIDAD AUTÓNOMA DE QUERÉTARO



## FACULTAD DE INGENIERÍA LABORATORIOS DE AUTOMATIZACIÓN



### INDICE DE CONTENIDO LABORATORIO DE SISTEMAS DIGITALES 1

#### Lógica Combinacional

1a.	Compuertas lógicas	1
1b.	Diagramas de tiempos	5
2a.	Circuitos lógicos	10
2b.	Utilización del Logic Converter	14

#### Lógica Secuencial

3a.	Flip-Flops	17
3b.	Flip-Flops JK	21
4a.	Registros de corrimiento	25
4b.	Circuitos sumadores	28
5a.	Contadores binarios	32

#### Circuitos Lógicos MSI

5b.	Decodificadores	37
6.	Decodificadores de BCD a segmento 7 ánodo común	39
7.	Decodificadores de BCD a segmento 7 cátodo común	43
8a.	Codificadores	47
8b.	Mux	51
8c.	Demux	54

#### Conversión D/A

9a.	Red en escalera.	58
9b.	Red con op-amp.	62
9c.	Circuito integrado I.	66

#### Conversión A/D

10a.	Rampa digital.	70
10b.	Circuito integrado SAC.	73
10c.	Sample and Hold.	77

#### Memorias

11.	Memoria EPROM	80
-----	---------------	----

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**

**PRACTICA 1a**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**COMPUERTAS LÓGICAS**

**OBJETIVO**

Estudiar y analizar el funcionamiento de las compuertas lógicas básicas.

Leer en su texto el tema sobre el funcionamiento de las compuertas lógicas.

**MARCO TEÓRICO**

Las compuertas son bloques del hardware que producen señales del binario 1 ó 0 cuando se satisfacen los requisitos de entrada lógica. Cada compuerta tiene un símbolo gráfico diferente y su operación puede describirse por medio de una función algebraica. Las relaciones entrada - salida de las variables binarias para cada compuerta pueden representarse en forma tabular en una tabla de verdad.

**Compuerta AND:** 

Cada compuerta tiene dos o más variables de entrada designadas por A y B y una salida binaria designada por x. La compuerta AND produce la unión lógica AND: esto es: la salida es 1 si la entrada A y la entrada B están ambas en el binario 1; de otra manera, la salida es 0.

**Compuerta OR:** 

La compuerta OR produce la función OR inclusiva, esto es, la salida es 1 si la entrada A o la entrada B o ambas entradas son 1; de otra manera, la salida es 0. El símbolo algebraico de la función OR (+).

**Compuerta NOT (Inversor):** 

El circuito inversor invierte el sentido lógico de una señal binaria. Produce el NOT, o función complemento. El símbolo algebraico utilizado para el complemento es una barra sobre el símbolo de la variable binaria. Si la variable binaria posee un valor 0, la compuerta NOT cambia su estado al valor 1 y viceversa.

**Compuerta OR exclusivo (XOR):** 

La salida de esta compuerta es 1 si cada entrada es 1 pero excluye la combinación cuando las dos entradas son 1. La función OR exclusivo tiene su propio símbolo gráfico o puede expresarse en términos de operaciones complementarias AND, OR.

**Compuerta NOR exclusivo (XOR):** 

La salida de ésta compuerta es 1 solamente si ambas entradas son tienen el mismo valor binario. La función NOR exclusivo se le conoce también como la función de equivalencia. Puesto que las funciones OR exclusivo y funciones de equivalencia no son siempre el complemento la una de la otra.

**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P01a.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

Address	Pattern	Trigger	Frequency
Edit 0000	Up Counter	Internal	1Hz
Current 0000			
Initial 0000			
Final 0003			

Corra el programa

Complete la tabla de verdad de la compuerta OR

Implemente cada uno de los circuitos de las figuras SD1-P01b, SD1-P01c, SD1-P01d, SD1-P01e, SD1-P01f, SD1-P01g, SD1-P01h, SD1-P01i, y complete las tablas de verdad correspondientes.

### CUESTIONARIO

1. ¿Cuál es la Función Booleana de la compuerta OR?
2. ¿Cuál es la Función Booleana de la compuerta AND?
3. ¿Cuál es la Función Booleana de la compuerta NOT, Negadora o Inversora?
4. ¿Cuál es la Función Booleana de la compuerta NOR?
5. ¿Cuál es la Función Booleana de la compuerta NAND?
6. ¿Cuál es la Función Booleana de la compuerta XOR?
7. ¿Cuál es la Función Booleana de la compuerta XNOR?
8. ¿Cuál es la Función Booleana del Buffer?
9. ¿Cuál es la función que desempeña el Word Generator?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



Tabla de verdad  
Compuerta OR

B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Compuerta AND

B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Compuerta NOT

A	F
0	
1	
0	
1	

Tabla de verdad  
Compuerta NOR

B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Compuerta NAND

B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Compuerta XOR

B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Compuerta XNOR

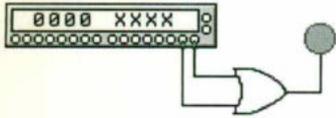
B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Triestate Buffer

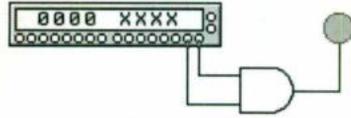
E	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Buffer

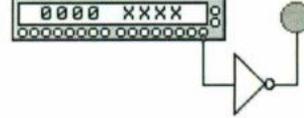
A	F
0	
1	
0	
1	



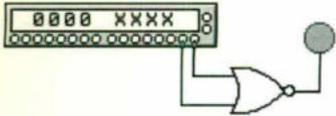
Compuerta OR  
Fig. SD1-P01a



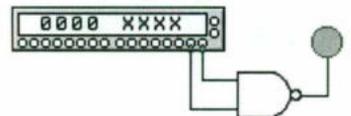
Compuerta AND  
Fig. SD1-P01b



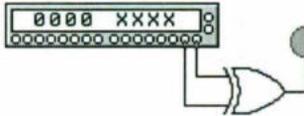
Compuerta NOT  
Fig. SD1-P01c



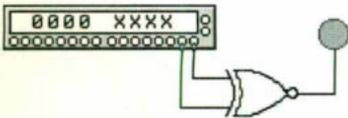
Compuerta NOR  
Fig. SD1-P01d



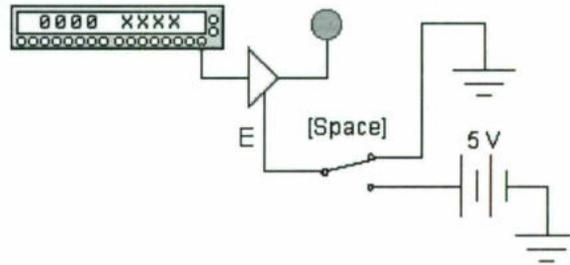
Compuerta NAND  
Fig. SD1-P01e



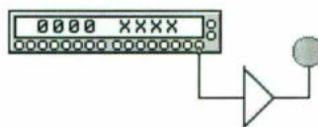
Compuerta XOR  
Fig. SD1-P01f



Compuerta XNOR  
Fig. SD1-P01g



Triestate Buffer  
Fig. SD1-P01h



Buffer  
Fig. SD1-P01i

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**

**PRACTICA 1b**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**DIAGRAMAS DE TIEMPOS**

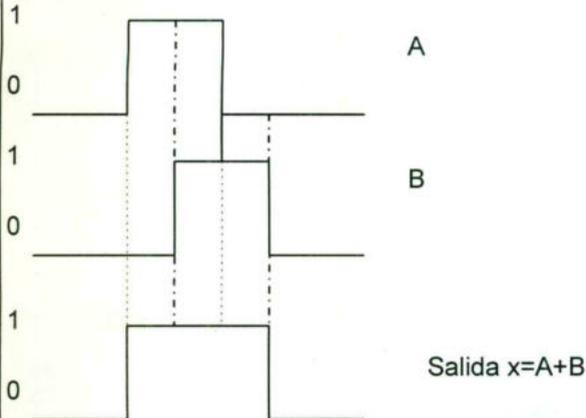
**OBJETIVO**

Estudiar y analizar los diagramas de tiempos (cronogramas) de las compuertas lógicas básicas.

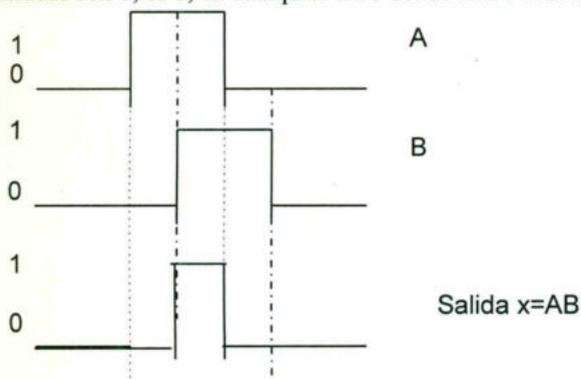
Leer en su texto el tema sobre los diagramas de tiempos (cronogramas) de las compuertas lógicas.

**MARCO TEÓRICO**

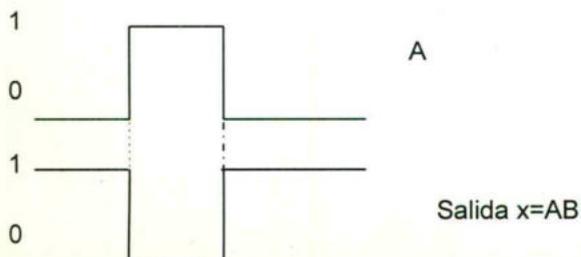
Operación OR: produce un resultado 1 cuando cualquiera de las variables de entrada es 1; un 0, cuando todas las variables son 0.



Operación AND: se ejecuta igual que la multiplicación aritmética de 1 y 0. Una salida igual a 1 ocurre sólo cuando todas la entradas son 1; es 0, en cualquier caso donde una ó más entradas sean 0.



OPERACIÓN NOT: siempre tiene una sola entrada y su nivel lógico de salida siempre es contrario al nivel lógico de la entrada.



## PROCEDIMIENTO Y MEDICIONES

Implemente el circuito de la figura SD1-P01a.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

Address	Pattern	Trigger	Frequency
Edit 0000	Up Counter	Internal	1Hz
Current 0000			
Initial 0000			
Final 0003			

Ajuste el Logic Analyzer (Analizador Lógico) según los siguientes valores:

Clocks per division 16	Clock Set
	Internal clock rate
	20 Hz

Corra el programa

En base a los diagramas de tiempos complete la tabla de verdad de la compuerta OR y dibuje en ella el diagrama de tiempos.

Implemente cada uno de los circuitos de las figuras SD1-P01b, SD1-P01c, SD1-P01d, SD1-P01e, SD1-P01f, SD1-P01g, SD1-P01h, y complete las tablas de verdad, dibujando en ellas los diagramas de tiempos correspondientes.

## CUESTIONARIO

1. ¿Cuál es la función que desempeña el Word Generator?
2. ¿Cuál es la función que desempeña el Logic Analyzer?
3. ¿Qué son los diagramas de tiempos o cronogramas?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



Tabla de verdad  
Compuerta OR

B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Compuerta AND

B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Compuerta NOT

A	F
0	
1	
0	
1	

Tabla de verdad  
Compuerta NOR

B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Compuerta NAND

B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Compuerta XOR

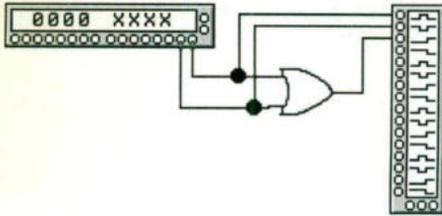
B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Compuerta XNOR

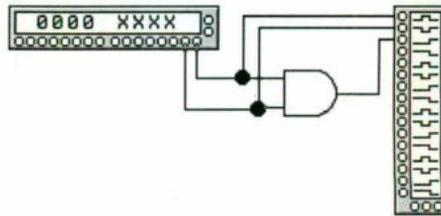
B	A	F
0	0	
0	1	
1	0	
1	1	

Tabla de verdad  
Buffer

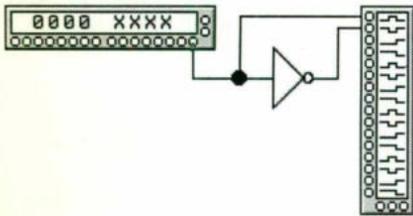
A	F
0	
1	
0	
1	



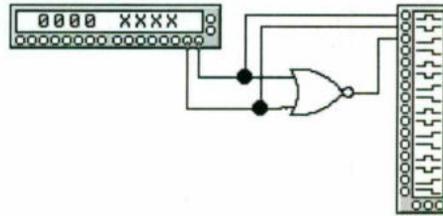
Compuerta OR  
Fig. SD1-P01a



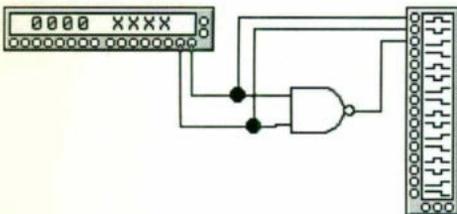
Compuerta AND  
Fig. SD1-P01b



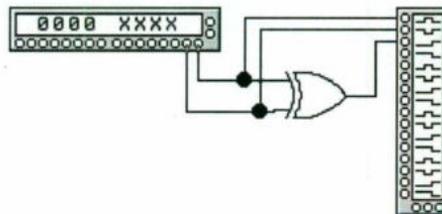
Compuerta NOT  
Fig. SD1-P01c



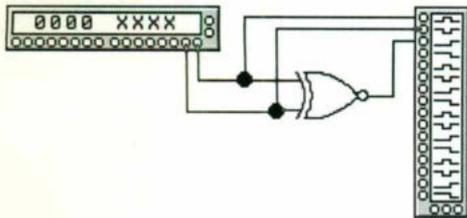
Compuerta NOR  
Fig. SD1-P01d



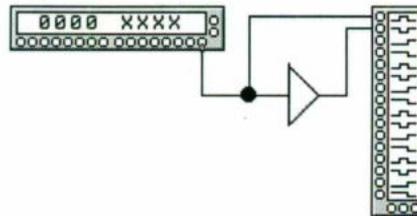
Compuerta NAND  
Fig. SD1-P01e



Compuerta XOR  
Fig. SD1-P01f



Compuerta XNOR  
Fig. SD1-P1g



Buffer  
Fig. SD1-P1h

Referencia:

Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**

**PRACTICA 2a**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**CIRCUITOS LÓGICOS**

**OBJETIVO**

Estudiar y analizar diagramas de circuitos con compuertas lógicas.

Leer en su texto el tema sobre los diagramas de circuitos con compuertas lógicas.

**MARCO TEÓRICO**

CONECTOR/COMPUERTA, ENTRADA(S), SALIDA	NOMBRE	TABLA DE VERDAD															
	AMORTIGUADOR BUFFER	<table border="1"> <thead> <tr> <th>A</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	Z	0	0	1	1									
A	Z																
0	0																
1	1																
	Y AND	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Z	0	0	0	1	0	0	0	1	0	1	1	1
A	B	Z															
0	0	0															
1	0	0															
0	1	0															
1	1	1															
	O (O, en sentido inclusivo) OR	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Z	0	0	0	1	0	1	0	1	1	1	1	1
A	B	Z															
0	0	0															
1	0	1															
0	1	1															
1	1	1															
	OE (O, en sentido exclusivo) XOR (EXCLUSIVE-OR)	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Z	0	0	0	1	0	1	0	1	1	1	1	0
A	B	Z															
0	0	0															
1	0	1															
0	1	1															
1	1	0															
	N, NEG o INVERSOR NOT or INVERTER	<table border="1"> <thead> <tr> <th>A</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	Z	0	1	1	0									
A	Z																
0	1																
1	0																
	NY (NO Y) NAND (NOT AND)	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Z	0	0	1	1	0	1	0	1	1	1	1	0
A	B	Z															
0	0	1															
1	0	1															
0	1	1															
1	1	0															
	NO (NO O) NOR (NOT OR)	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Z	0	0	1	1	0	0	0	1	0	1	1	0
A	B	Z															
0	0	1															
1	0	0															
0	1	0															
1	1	0															
	NOE (N OE) NXOR (NOT EXCLUSIVE-OR)	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Z	0	0	1	1	0	0	0	1	0	1	1	1
A	B	Z															
0	0	1															
1	0	0															
0	1	0															
1	1	1															

## PROCEDIMIENTO Y MEDICIONES

Implemente el circuito de la figura SD1-P02a.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

Address	Pattern	Trigger	Frequency
Edit 0000	Up Counter	Internal	1Hz
Current 0000			
Initial 0000			
Final 000F			

Ajuste el Logic Analyzer (Analizador Lógico) según los siguientes valores:

<b>Clocks per division</b> 16	<b>Clock Set</b>
	<b>Internal clock rate</b>
	20 Hz

Corra el programa

En base a los diagramas de tiempos del Logic Analyser complete la tabla de verdad y dibuje en ella el diagrama de tiempos.

## CUESTIONARIO

1. ¿Cuál es la Función Booleana de éste circuito lógico?
2. ¿Cual es la función que desempeña el Word Generator?
3. ¿Cual es la función que desempeña el Logic Analyzer?
4. ¿Qué son los diagramas de tiempos o cronogramas?
5. ¿Cuál es la función que desempeña la tabla de verdad?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)

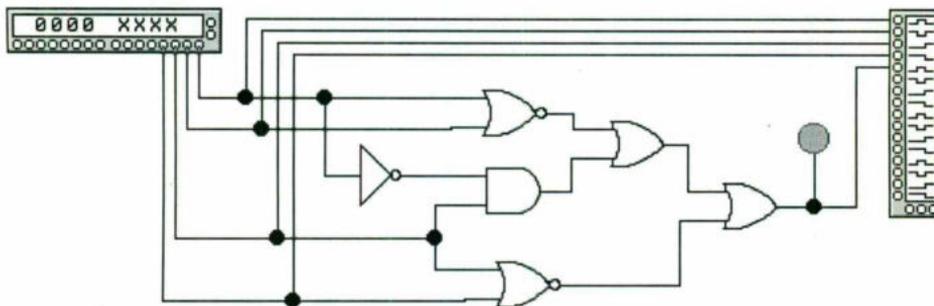


Fig. SD1-P02a.

Referencia:

Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRÁCTICA 2b**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UTILIZACIÓN DEL LOGIC CONVERTER (Convertidor Lógico)**

**OBJETIVO**

Utilizar y manipular adecuadamente el Logic Converter.

Leer en el manual de Electronics Workbench el uso y manipulación del Logic Converter.

**MARCO TEÓRICO**

El convertidor lógico puede realizar varias transformaciones de una representación de circuito. No tiene ninguna contraparte o circuito representativo es una función del programa. Puede atarse a un circuito para derivar la tabla de verdad o expresión Booleana que describe el circuito, o se utiliza para producir un circuito a partir de tabla de verdad o una expresión Booleana.

Para derivar una tabla de verdad de un circuito esquemático:

1. Una las terminales de la entrada del convertidor lógico a ocho puntos de la entrada en el circuito.
2. Conecte una sola salida del circuito a la terminal de salida, en el icono del convertidor lógico.
3. Pulse el botón Circuit to Truth Table (circuito a tabla de verdad).

La tabla de verdad para el circuito aparece en el despliegue (display) del convertidor lógico.

Para construir una tabla de verdad:

1. Pulse el número de canales de entrada que desee, de A hasta H, por la parte superior del convertidor lógico. El área de despliegue (display) debajo de las terminales se llena con las combinaciones necesarias de unos y ceros que cumplen las condiciones de la entrada. Los valores en la columna de salida de la derecha son inicialmente 0.
  2. Edite la columna de salida para especificar la salida deseada para cada condición de la entrada.
- Para cambiar un valor de salida, selecciónelo y teclee un nuevo valor: 1, 0, o x. (Una x indica que o 1 o 0 es aceptable).

Para convertir una tabla de verdad a una expresión Booleana, pulse el botón Truth Table to Boolean Expression (tabla de verdad a expresión Booleana). La expresión Booleana se desplegará al fondo del convertidor lógico.

Para convertir una tabla de verdad a una expresión Booleana simplificada, o para simplificar una expresión Booleana existente, haga clic botón Simplify (simplificar). La simplificación se ha realizado por el método de Quine-McCluskey, en lugar de método tradicional de mapas de Karnaugh. Los mapas de Karnaugh funcionan sólo para un número pequeño de variables y requiere la intuición humana, mientras Quine-McCluskey ha demostrado ser exhaustivo para cualquier número de variables pero ha sido demasiado embarazoso para las soluciones manuales.

Nota: La simplificación de una expresión Booleana requiere mucha memoria. Si no hay bastante memoria disponible, el Electronics WorkBench no puede completar esta operación.

Entrando y Convirtiendo una Expresión Booleana

En una expresión Booleana pueden capturarse dentro de la caja de fondo del convertidor lógico usado con la notación de cada suma-de-productos o de los producto-de-suma.

Para convertir una expresión Booleana a una tabla de verdad, pulse el botón Expression Boolean to Table Truth.  
Para convertir una expresión Booleana a un circuito, pulse el botón Expression Boolean to Circuit.

Las compuertas lógicas que cumplen la expresión Booleana aparecen en la ventana del circuito. Los componentes se seleccionan para que usted puede moverlos a una ubicación diferente en la ventana del circuito o puede ponerlos en un sub-circuito. Para deseleccionar los componentes de clic en una parte vacía de la ventana del circuito.

Para ver un circuito que cumple las condiciones de la expresión Booleana use sólo compuertas NAND, pulse el botón Expression Boolean to NAND.

### PROCEDIMIENTO Y MEDICIONES

Implemente el circuito de la figura SD1-P02b.

Corra el programa

Oprima el primer boton del Logic Converter (conversions), observe el resultado (conteste la pregunta 1 del cuestionario).  
Oprima el segundo boton del Logic Converter (conversions), observe el resultado (conteste la pregunta 2 del cuestionario).  
Oprima el tercer boton del Logic Converter (conversions), observe el resultado (conteste la pregunta 3 y 4 del cuestionario).

Borre el circuito y deje únicamente el Logic Converter, en el Logic Converter borre la tabla de verdad y la función Booleana.

Escriba otra vez la función Booleana en su espacio correspondiente.

Oprima el cuarto boton del Logic Converter (conversions), observe el resultado (conteste la pregunta 5 del cuestionario).  
Oprima el quinto boton del Logic Converter (conversions), observe el resultado (conteste la pregunta 6, 7 y 8 del cuestionario).

Borre el circuito generado.

Oprima el sexto boton del Logic Converter (conversions), observe el resultado (conteste la pregunta 9 del cuestionario).

### CUESTIONARIO

1. ¿Qué función desempeña el primer boton del Logic Converter?
2. ¿Qué función desempeña el segundo boton del Logic Converter?
3. ¿Qué función desempeña el tercer boton del Logic Converter?
4. ¿Cuál es la función Booleana simplificada de éste circuito?
5. ¿Qué función desempeña el cuarto boton del Logic Converter?
6. ¿Qué función desempeña el quinto boton del Logic Converter?
7. ¿El circuito generado por el Logic Converter nos entrega la misma función Booleana que el circuito original?
8. ¿Cuál de los dos circuitos anteriores es mas eficiente y por qué?
9. ¿Qué función desempeña el sexto boton del Logic Converter?
10. ¿Qué función desempeña el Logic Converter?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)

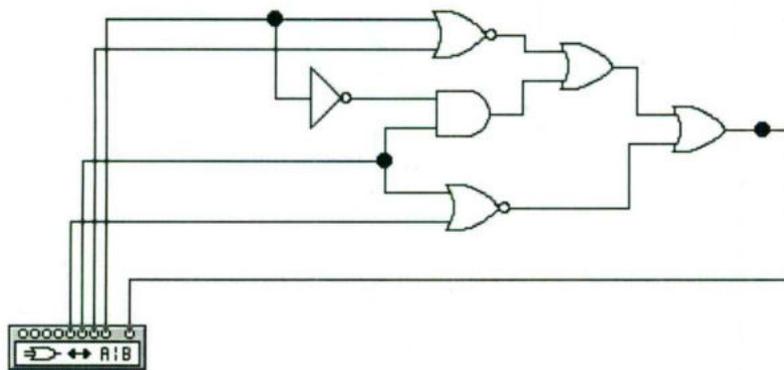


Fig. SD1-P02b

Referencia:

Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**LABORATORIO DE SISTEMAS DIGITALES I**

**PRÁCTICA 3a**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**FLIP-FLOPS**

**OBJETIVO**

Estudiar y analizar el funcionamiento de los registros básicos con compuertas lógicas o Flip-Flops.

Leer en su texto el tema sobre circuitos básicos de Flip-Flops.

**MARCO TEÓRICO**

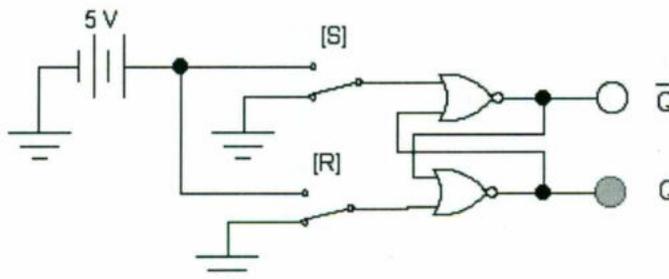
Un circuito flip-flop puede mantener un estado binario indefinidamente (Siempre y cuando se le este suministrando potencia al circuito) hasta que se cambie por una señal de entrada para cambiar estados. La principal diferencia entre varios tipos de flip-flops es el número de entradas que poseen y la manera en la cual las entradas afecten el estado binario.

**Círculo básico de un flip-flop**

Se menciona que un circuito flip-flop puede estar formado por dos compuertas NAND o dos compuertas NOR. Cada circuito forma un flip-flop básico del cual se pueden construir uno mas complicado. La conexión de acoplamiento inter cruzado de la salida de una compuerta a la entrada de la otra constituye un camino de retroalimentación. Por esta razón, los circuitos se clasifican como circuitos secuenciales asincrónicos. Cada flip-flop tiene dos salidas, Q y Q' y dos entradas S (set) y R (reset). Este tipo de flip-flop se llama Flip-Flop RS acoplado directamente o bloqueador SR (SR latch). Las letras R y S son las iniciales de los nombres en inglés de las entradas (reset, set).

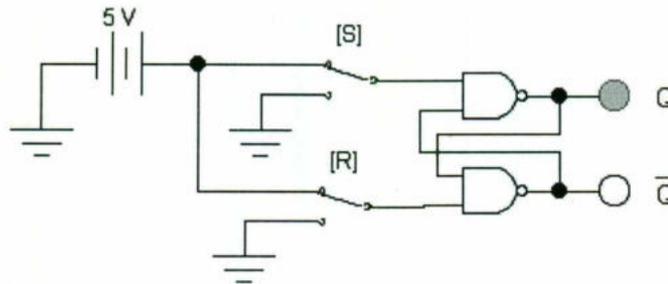
**Círculo flip-flop básico con compuertas NOR**

La salida de una compuerta NOR es 0 si cualquier entrada es 1 y que la salida es 1 solamente cuando todas las entradas sean 0. Como punto de partida asúmase que la entrada de puesta a uno (set) es 1 y que la entrada de puesta a 0 (reset) sea 0. Como la compuerta 2 tiene una entrada de 1, su salida Q' debe ser 0, lo cual coloca ambas entradas de la compuerta 1 a 0 para tener la salida Q como 1. Cuando la entrada de puesta a uno (set) vuelva a 0, las salidas permanecerán iguales ya que la salida Q permanece como 1, dejando una entrada de la compuerta 2 en 1. Esto causa que la salida Q' permanezca en 0 lo cual coloca ambas entradas de la compuerta número 1 en 0 y así la salida Q es 1. De la misma manera es posible demostrar que un 1 en la entrada de puesta a cero (reset) cambia la salida Q a 0 y Q' a 1. Cuando la entrada de puesta a cero cambia a 0, las salidas no cambian.



### Circuito flip-flop básico con compuertas NAND

Opera con ambas entradas normalmente en 1 a no ser que el estado del flip-flop tenga que cambiarse. La aplicación de un 0 momentáneo a la entrada de puesta a uno (SET), causará que Q vaya a 1 y Q' vaya a 0, llevando el flip-flop al estado de puesta a uno. Después que la entrada de puesta a uno (SET) vuelva a 1, un 0 momentáneo en la entrada de puesta a cero (RESET) causará la transición al estado de borrado. Cuando ambas entradas vayan a 0, ambas salidas irán a 1; esta condición se evita en la operación normal de un flip-flop.



### PROCEDIMIENTO Y MEDICIONES

Implemente el circuito de la figura SD1-P03a.

Corra el programa.

Complete la tabla de verdad del Flip-Flop SR (o SC) con compuertas NOR

Implemente el circuito de la figura SD1-P03b.

Corra el programa.

Complete la tabla de verdad del Flip-Flop SR (o SC) con compuertas NAND

### CUESTIONARIO

1. ¿Qué significa S y R?
2. ¿Qué significa S y C?
3. ¿Cuál es la función que desempeña un "Registro" ?
4. ¿Cuál es la función que desempeña un Flip-Flop?
5. ¿Qué significa Flip-Flop?
6. ¿Qué significa nivel activo alto?
7. ¿Qué significa nivel activo bajo?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



TABLA DE VERDAD  
Flip-Flop SR (o SC) con compuertas NOR  
Nivel Activo = 1 (alto)

S	R	Q
0	0	No hay cambio
0	1	
1	0	
1	1	Invalido

TABLA DE VERDAD  
Flip-Flop SR (o SC) con compuertas NAND  
Nivel Activo = 0 (bajo)

S	R	Q
0	0	Invalido
0	1	
1	0	
1	1	No hay cambio

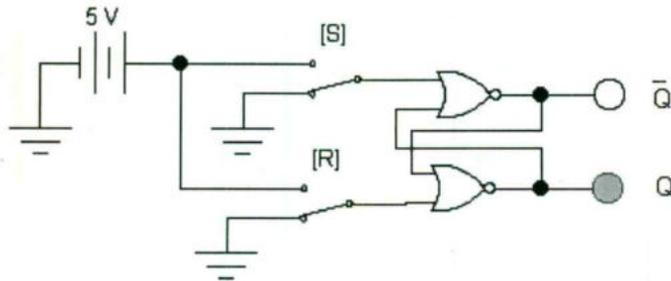


Fig. SD1-P03a

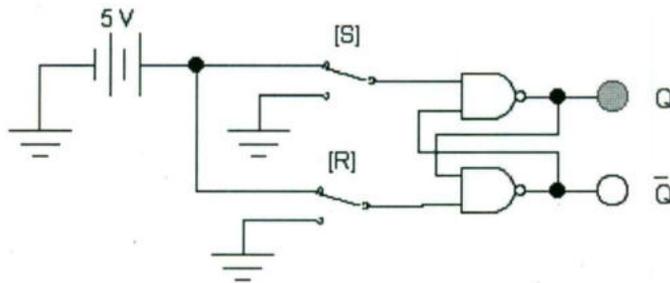


Fig. SD1-P03b

Referencia:

Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRACTICA 3b**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**FLIP-FLOPS JK**

**OBJETIVO**

Estudiar y analizar el funcionamiento de los Flip-Flops JK y D.

Leer en su texto el tema sobre Flip-Flops JK.

**MARCO TEÓRICO**

Este flip-flop J-K se considera como el FF universal. Tiene dos entradas para datos etiquetadas como J y K así como otra para el pulso de reloj (CK). También tiene dos salidas: Q y Q'. La flecha (>) en la entrada CK indica que es disparado por flanco ascendente; el círculo señala que el disparo se hace con el flanco descendente, lo cual significa que los datos se transfieren desde las entradas hasta la salida Q cuando el pulso de reloj efectúa una transición desde ALTO hasta BAJO.

La tabla de verdad presenta cuatro modos de operación útiles para el flip-flop J-K:

1. Modo de retención (hold). Este modo corresponde al estado de memoria. Los pulsos de reloj en la entrada CK no tienen efecto alguno sobre las salidas.
2. Modo reinicialización (reset). La salida Q se lleva a 0 cuando J = 0, K=1 y el pulso de reloj cambia de ALTO a BAJO.
3. Modo inicialización (set). La salida Q se lleva a 1 cuando J = 1, K = 0 y el pulso de reloj cambia de ALTO a BAJO.
4. Modo de cambio de estado o de conmutación (toggle). En este modo, el estado de la salida Q se cambia de manera alterna (de 1 a 0, de 0 a 1 y así sucesivamente) cada vez que llega un pulso de reloj. Se dice entonces que el FF J-K está en modo de transición cuando la entrada J y K permanecen en 1. Este modo de operación es muy útil.

Ecuación:  $\bar{K}Q + J\bar{0}$

Al igual que las compuertas, los flip-flops viene en una presentación tipo DIP. Mientras las compuertas se utilizan para construir circuitos lógicos combinacionales, los flip-flops son los bloques fundamentales para el diseño de circuitos lógicos secuenciales. El término secuencial significa que la salida de cada FF se conecta a la entrada del siguiente FF con el fin de determinar su funcionamiento.

**Flip-flop D**

Sólo tiene una entrada para datos y otra para el pulso de reloj CK. Sin embargo, tiene dos salida Q y Q', como todos los flip-flops. El nombre flip-flop D significa flip-flop de dato. En algunas ocasiones también recibe el nombre de flip-flop de retardo debido a que se suele emplear para retrasar, en un lapso equivalente a un ciclo de reloj, la aparición del dato en la salida Q. Este retardo, de pocos nanosegundos, puede ser muy importante en aplicaciones donde interviene muchos circuitos.

La cabeza de flecha (>) que está inmediatamente después de la entrada de reloj en la figura, indica que el FF es disparado por flanco. En este caso, el flip-flop D es un FF disparado por flanco ascendente, término que significa que el dato se transfiere desde la entrada D hasta la salida Q cuando el pulso de reloj efectúa una transición desde el estado BAJO hasta el ALTO. Se utiliza un pequeño círculo para indicar que el FF se dispara cuando la transición del pulso de reloj se lleva a cabo en dirección opuesta; es decir, desde ALTO hasta BAJO.

**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P03a.

Corra el programa.

Complete la tabla de verdad del Flip-Flop JK

Implemente el circuito de la figura SD1-P03b.

Corra el programa.

Complete la tabla de verdad del Flip-Flop D.

### CUESTIONARIO

1. ¿Cuál es la Función que desempeña un registro?
2. ¿Cuál es la función que desempeña un Flip-Flop JK?
3. ¿Cuál es la diferencia entre un Flip-Flop JK y un Flip-Flop SR?
4. ¿Qué ventaja hay del Flip-Flop JK sobre el Flip-Flop SR?
5. ¿Cuál es la función que desempeña un Flip-Flop D?
6. ¿Cuál es la diferencia entre un Flip-Flop JK y un Flip-Flop D?
7. ¿Qué significa Q+1?
8. ¿Cómo sabemos que un FF reacciona a un flanco de subida en su entrada de reloj?
9. ¿Cómo sabemos que un FF reacciona a un flanco de bajada en su entrada de reloj?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



TABLA DE VERDAD  
Flip-Flop JK

J	K	Q+1
0	0	Q <sub>0</sub> (No hay cambio)
0	1	
1	0	
1	1	Q <sub>0</sub> ' (se complementa)

TABLA DE VERDAD  
Flip-Flop D

D	Q + 1
0	
1	

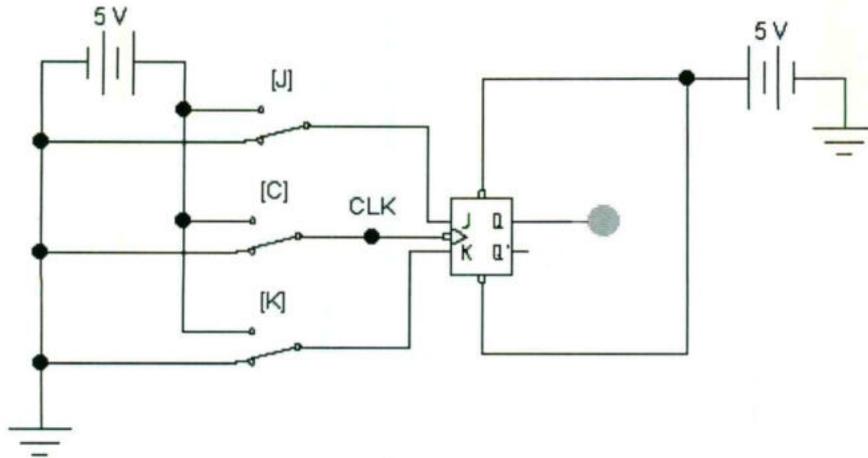


Fig. SD1-P03a.

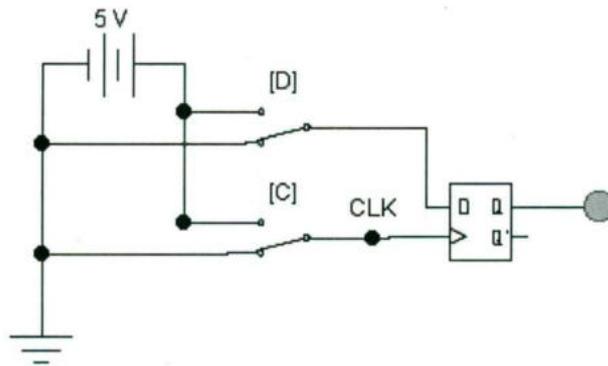


Fig. SD1-P03b.

Referencia:

Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**

**PRACTICA 4a**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**REGISTROS DE CORRIMIENTO**

**OBJETIVO**

Estudiar y analizar el funcionamiento de los Flip-Flops JK y D como registros de corrimiento.

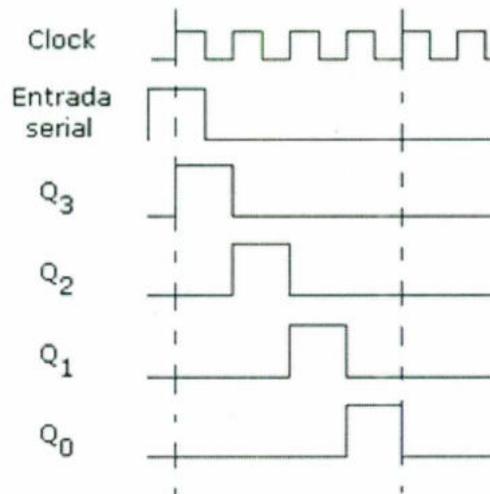
Leer en su texto el tema sobre registros de corrimiento.

**MARCO TEÓRICO**

Un registro capaz de correr su información binaria ya sea a la derecha o a la izquierda se denomina registro de corrimiento la configuración lógica de un registro de corrimiento consta de una cadena de flip-flop conectados en cascada, con la salida de un flip-flop conectada a la entrada del siguiente flip-flop. Todos los flip-flop reciben un pulso común de reloj que causa el corrimiento de una etapa a la siguiente.

Un registro de corrimiento básico es un conjunto de flip-flops tipo D conectados de tal forma que los números binarios almacenados en él son desplazados de un flip-flop al siguiente con cada pulso de reloj aplicado. La forma de conectar 4 flip-flops tipo D para construir un registro, es que a su salida de un flip-flop se conecta a la entrada de otro adyacente.

Con cada flanco ascendente del reloj la información se va desplazando hacia la derecha una posición. En la Figura se observan las formas de onda de las salidas de cada flip-flop, donde se observa el desplazamiento de los datos de izquierda a derecha.



**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P04a.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

Address	Pattern	Trigger	Frequency
Edit	0000	Up Counter	Internal
Current	0000		1Hz
Initial	0000		
Final	0003		

Corra el programa.

Borre los registros cerrando el interruptor C a la conexión del punto común, enseguida cierre el interruptor C a la conexión del positivo de 5V.

Registre sus observaciones (conteste la pregunta 2).

Cuando tenga el conteo 1111 cierre el interruptor B (conexión al punto común) y observe el resultado.

Implemente el circuito de la figura SD1-P04b.

Corra el programa.

Borre los registros cerrando el interruptor C a la conexión del punto común, enseguida cierre el interruptor C a la conexión del positivo de 5V.

Registre sus observaciones (conteste la pregunta 2).

Cuando tenga el conteo 1111 cierre el interruptor B (conexión al punto común) y observe el resultado.

#### **CUESTIONARIO**

1. ¿Cuál es la función que desempeña un registro de corrimiento?
2. ¿Cuál es la función que desempeña el interruptor C?
3. ¿Qué significa CLR?
4. ¿Qué significa borrar los registros, colocar 0s ó colocar 1s en los registros?
5. ¿Cómo sabemos en este caso que hay que colocar un nivel de 0V para borrar los registros?
6. ¿Porqué debemos de regresar al nivel de +5V con el interruptor C después de borrar los registros?
7. ¿Qué significa PRE?
8. ¿Porqué mantenemos a +5V fijos las entradas de PRE de los FLIP-FLOP?
9. ¿Qué significa CLK?
10. ¿Los Flip-Flops usados en esta práctica reaccionan a flancos positivos ó negativos en sus entradas de reloj y por qué?
11. ¿Cuál es la función que desempeña el interruptor B?
12. ¿Qué significa DATA BIT?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)

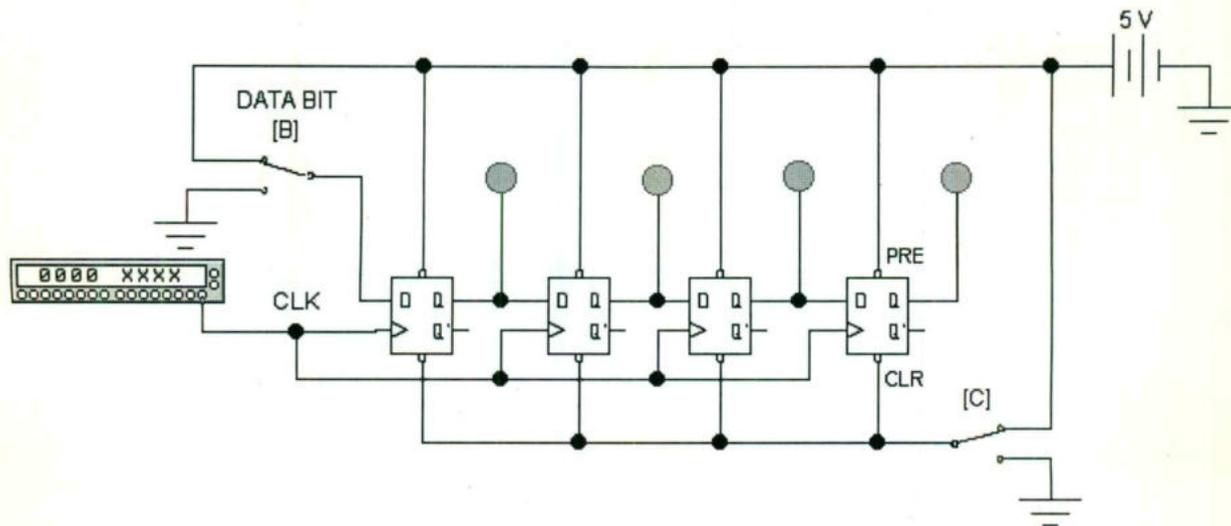


Fig. SD1-P04a.

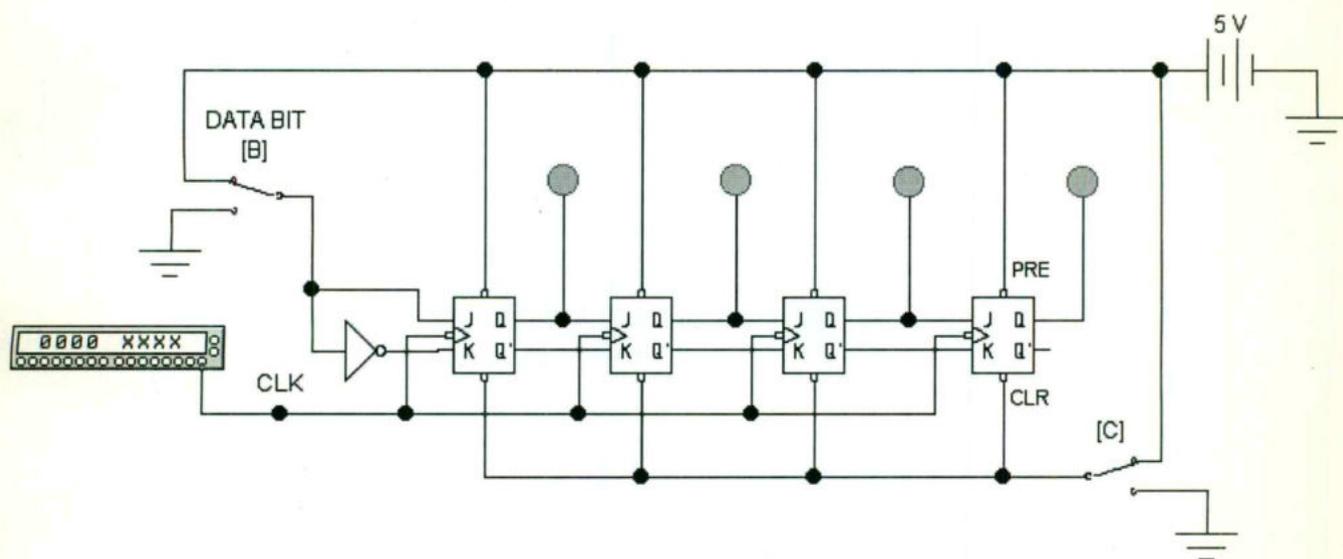


Fig. SD1-P04b.

Referencia:  
Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRÁCTICA 4b**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**CIRCUITOS SUMADORES**

**OBJETIVO**

Estudiar y analizar el funcionamiento de circuitos lógicos sumadores.

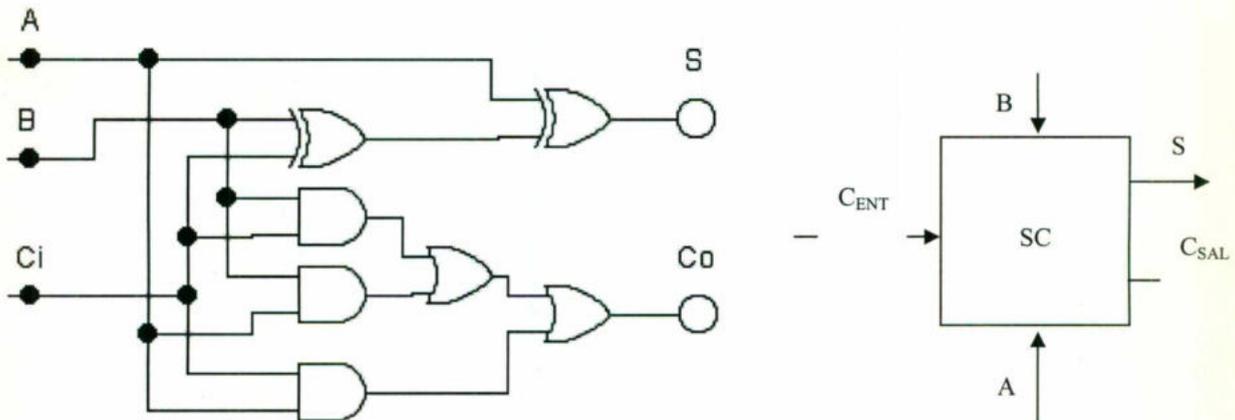
Leer en su texto el tema sobre circuitos sumadores.

**MARCO TEÓRICO**

Un circuito sumador completo, tiene tres entradas: un bit A, un bit B y un bit C de acarreo de entrada y produce dos salidas: un bit de suma y un bit de acarreo. La tabla de verdad para este circuito queda como sigue:

Entrada del bit de consumando	Entrada del bit del sumando	Entrada del bit de acarreo	Salida del bit de suma	Salida del bit de acarreo
A	B	C	S	C <sub>SAL</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Sí aplicamos el algebra correspondiente y la simplificación de las expresiones de salida S y C<sub>SAL</sub> a la tabla de verdad obtenemos el siguiente circuito combinacional equivalente. La figura de la derecha es la representación en diagrama de bloques de un circuito sumador completo.



Cent, Ci: Significa bit de acarreo de entrada.  
 Csal, Co: Significa bit de acarreo de salida.

## PROCEDIMIENTO Y MEDICIONES

Implemente el circuito de la figura SD1-P04a.

Corra el programa.

Complete la tabla de verdad.

Implemente el circuito de la figura SD1-P04b.

Corra el programa.

Complete la tabla de verdad parcial.

## CUESTIONARIO

1. ¿Qué significa Ci?
2. ¿Qué significa Co?
3. ¿Qué significa S?
4. ¿Qué significa So?
5. ¿Qué significa S1?
6. ¿Cuántos sumadores completos tendríamos que colocar en cascada para sumar palabras de 8 bits?
7. Verifique a mano la suma de la posición 5 y 6 de la tabla de verdad de la Fig. SD1-P4b.
8. Verifique a mano la suma de la posición 7 y 8 de la tabla de verdad de la Fig. SD1-P4b.
9. Verifique a mano la suma de la posición 11 y 12 de la tabla de verdad de la Fig. SD1-P4b.
10. Verifique a mano la suma de la posición 13 y 14 de la tabla de verdad de la Fig. SD1-P4b.
11. Verifique a mano la suma de la posición 15 y 16 de la tabla de verdad de la Fig. SD1-P4b.
12. ¿Cuál es la diferencia entre un sumador completo ó total y un semisumador?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



**TABLA DE VERDAD**  
Circuito Sumador Completo (Total), Fig.SD1-P04a.

Posición	Ci	B	A	S	Co
1	0	0	0		
2	1	0	0		
3	0	0	1		
4	1	0	1		
5	0	1	0		
6	1	1	0		
7	0	1	1		
8	1	1	1		

**TABLA DE VERDAD PARCIAL**  
Circuito Sumador, Fig.SD1-P04b.

Posición	Ci	B1	A1	Bo	Ao	S1	So	Co
1	0	0	0	0	1			
2	1	0	0	0	1			
3	0	0	1	0	1			
4	1	0	1	0	1			
5	0	0	1	1	0			
6	1	0	1	1	0			
7	0	0	1	1	1			
8	1	0	1	1	1			
9	0	1	0	0	0			
10	1	1	0	0	0			
11	0	1	0	0	1			
12	1	1	0	0	1			
13	0	1	1	1	0			
14	1	1	1	1	0			
15	0	1	1	1	1			
16	1	1	1	1	1			

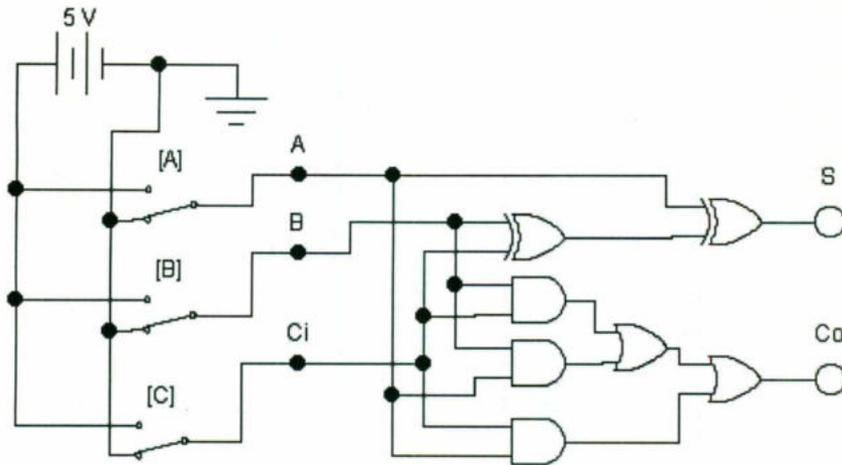


Fig. SD1-P04a.

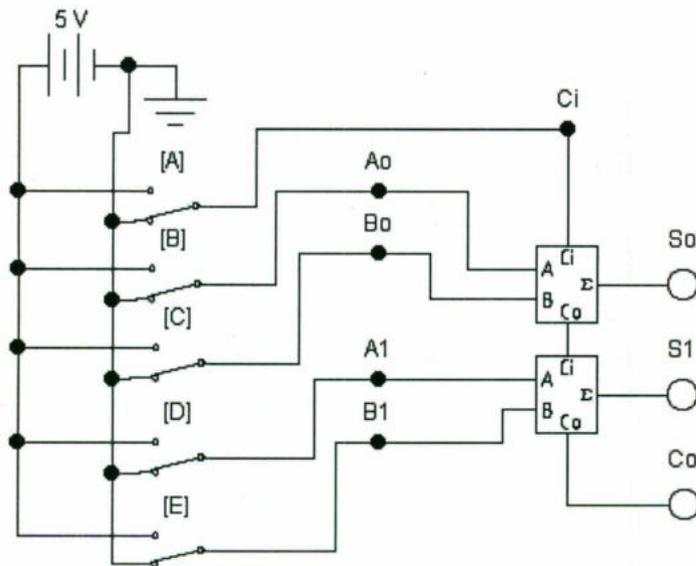


Fig. SD1-P04b.

encia:  
 Id J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
 Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRACTICA 5a**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**CONTADORES BINARIOS**

**OBJETIVO**

Estudiar y analizar el funcionamiento de circuitos contadores binarios asíncronos ó de rizo.

Leer en su texto el tema sobre circuitos contadores binarios asíncronos.

**MARCO TEÓRICO**

**CONTADORES BINARIOS SÍNCRONOS**

La figura 1 muestra un contador binario síncrono de n bits construido a base de flip-flops JK con reloj. Un contador binario de n flip-flops debe partir del estado nulo y seguir la secuencia numérica 0,1,2,3,... ,2n-1,0,1,2,..., etcétera. En otras palabras, el contador tendrá 2n estados únicos, y repetirá los estados mientras se apliquen pulsos de reloj. La secuencia de estados de la tabla 1 sugiere el diseño de la figura 1. Observe que cada bit  $X_i$  debe complementarse en el siguiente pulso de conteo si todos los bits  $X_k$  para  $k = 1, \dots, i-1$  tienen el valor 1 lógico; el bit  $X_1$  siempre se complementa en cada pulso de conteo. Por tanto, podemos utilizar una compuerta AND de dos entradas en cada flip-flop del contador para generar una señal de control de alternancia para el siguiente bit más significativo en la cadena del contador. El flip-flop contador y los circuitos de control asociados a éste son una etapa del contador. En condiciones de operación normales, las entradas J y K de cada flip-flop deben permanecer estables en 1 o 0 lógico mientras el pulso del contador experimenta sus transiciones 0 → 1 → 0. Un 1 lógico en la línea de control CLEAR obligará a todas las salidas del contador a asumir un 0 lógico y las mantendrá así hasta que la línea CLEAR regrese a 0 lógico (su valor lógico normal). La señal de control Inhibit (inhibición) sirve para bloquear los pulsos de conteo y dejar al contador en algún estado no nulo, si se requiere tal comportamiento de conservación de datos para una aplicación en particular. Cuando los contadores lleguen al estado en que todos los valores son iguales a uno la señal de desbordamiento será alta. En algunos diseños de contadores, esta señal de desbordamiento se utiliza para controlar los módulos contadores en cascada y producir contadores con mayor longitud de palabra. En estos casos, la señal de desbordamiento se llama acarreo de salida en cascada (RCO).

Tabla 1

X1	X2	X3	Xn
0	0	0	0
1	0	0	0
0	1	0	0
1	1	0	0
0	0	1	0
0	1	1	1
1	1	1	1
0	0	0	0
1	0	0	0
0	1	0	0

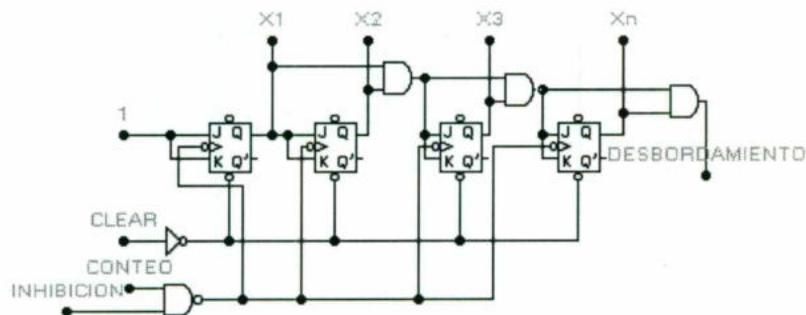


Figura 1

## CONTADORES BINARIOS ASÍNCRONOS

Un contador binario asíncrono es aquel cuyos cambios de estado no están controlados por un pulso de reloj sincronizado. Al eliminar la necesidad de la sincronización del reloj, se puede utilizar una cantidad menor de circuitos para implantar un contador binario. Consideremos el diseño asíncrono de la figura 2. Podemos eliminar las compuertas AND del diseño síncrono observando las transiciones de estado del contador desde otro punto de vista. La etapa del contador  $X_i$  se complementa cada vez que el estado  $X_{i-1}$  hace una transición  $1 \rightarrow 0$ ; la etapa  $X_1$  siempre se complementa. La figura 2 muestra un contador basado en estas observaciones. Podemos utilizar una orden CLEAR común asíncrona para inicializar el contador en el estado 0, y mantenemos la orden del control Count (Conteo) en 1 lógico para el conteo; el 0 lógico en la entrada Count (Conteo) inhibe todos los conteos y deja al contador en un estado constante; éste es el modo de retención de datos.

Tabla 2

X1	X2	X3	Xn
0	0	0	0
1	0	0	0
0	1	0	0
1	1	0	0
0	0	1	0

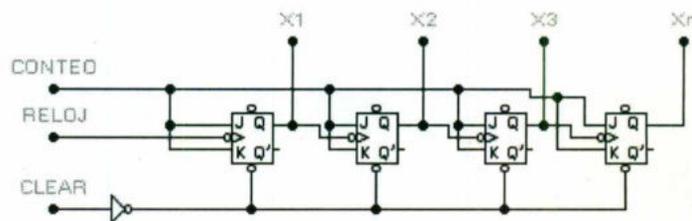


Figura 2

Examinemos ahora el comportamiento del contador binario asíncrono cuando sucede un desbordamiento. Justo antes del desbordamiento, todas las etapas del contador asumen el valor 1 lógico. Después de un pulso de reloj, el flip-flop de la etapa del contador  $X_i$  responde en  $t$  segundos. Entonces, cada etapa continúa de manera similar, hasta que todo el contador alcanza el estado lógico 0. Los contadores asíncronos se conocen como contadores en cascada.

### PROCEDIMIENTO Y MEDICIONES

Implemente el circuito de la figura SD1-P05a.

Ajuste el Clock según los siguientes valores:

Clock Properties	Value
Frequency	1Hz
Duty Cycle	50%
Voltage	5V

Ajuste el Logic Analyzer (Analizador Lógico) según los siguientes valores:

Clocks per division	16	Clock Set
		Internal clock rate
		20 Hz

Corra el programa.

Borre los registros cerrando el interruptor C a la conexión del punto común, enseguida cambie el interruptor C a la conexión del positivo de 5V.

Cuando obtenga el pulso 16 del clock detenga el programa, observe el resultado y complete la tabla de verdad.

Implemente el circuito de la figura SD1-P05b.

Corra el programa.

Borre los registros cerrando el interruptor C a la conexión del punto común, enseguida cambie el interruptor C a la conexión del positivo de 5V.

Cuando obtenga el pulso 16 del clock detenga el programa, observe el resultado y complete la tabla de verdad.

#### **CUESTIONARIO**

1. ¿Cuál es la función que desempeña el interruptor C?
2. ¿Qué significa CLR?
3. ¿Qué significa borrar los registros, colocar 0s ó colocar 1s en la salida Q de los Flip-Flops?
4. ¿Cómo sabemos en este caso que hay que colocar un nivel de 0V en la entrada CLR para borrar los registros?
5. ¿Por qué debemos de regresar al nivel de +5V con el interruptor C después de borrar los registros?
6. ¿Qué significa PRE?
7. ¿Qué significa PRESET, colocar 0s ó colocar 1s en la salida Q de los registros?
8. ¿Qué significa CLK?
9. ¿Los Flip-Flops usados en esta práctica reaccionan a flancos positivos ó negativos en sus entradas de reloj y por qué?
10. ¿Cuál es la diferencia entre un contador ascendente y un descendente?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



**TABLA DE VERDAD**  
Circuito Contador Binario Ascendente, Fig.SD1-P05a.

Pulsos de reloj	D	C	B	A
0	0	0	0	0
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				

**TABLA DE VERDAD**  
Circuito Contador Binario Descendente, Fig.SD1-P05b.

Pulsos de reloj	D	C	B	A
0	1	1	1	1
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				

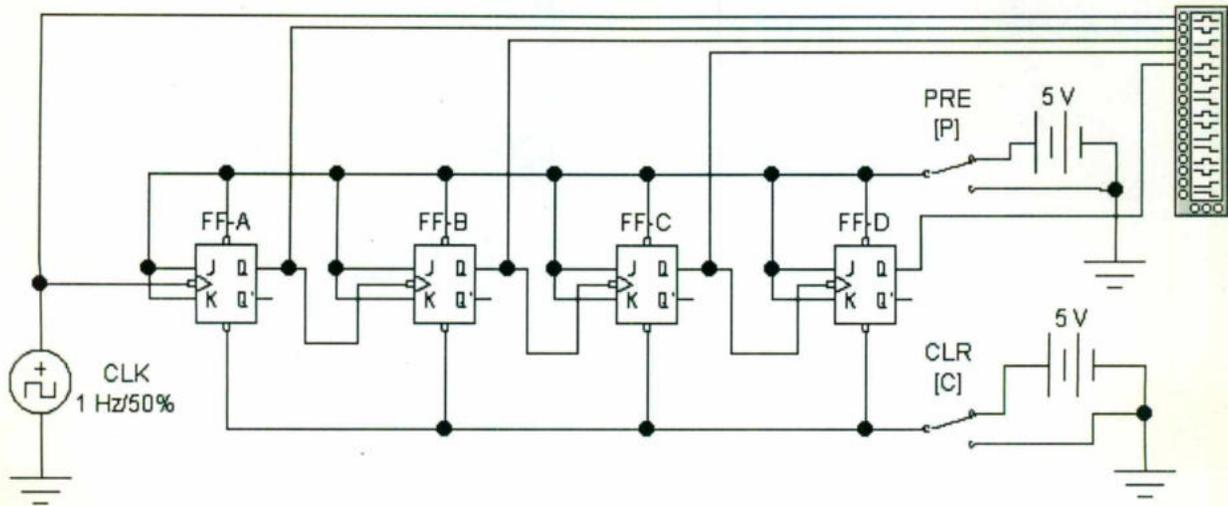


Fig. SD1-P05a.

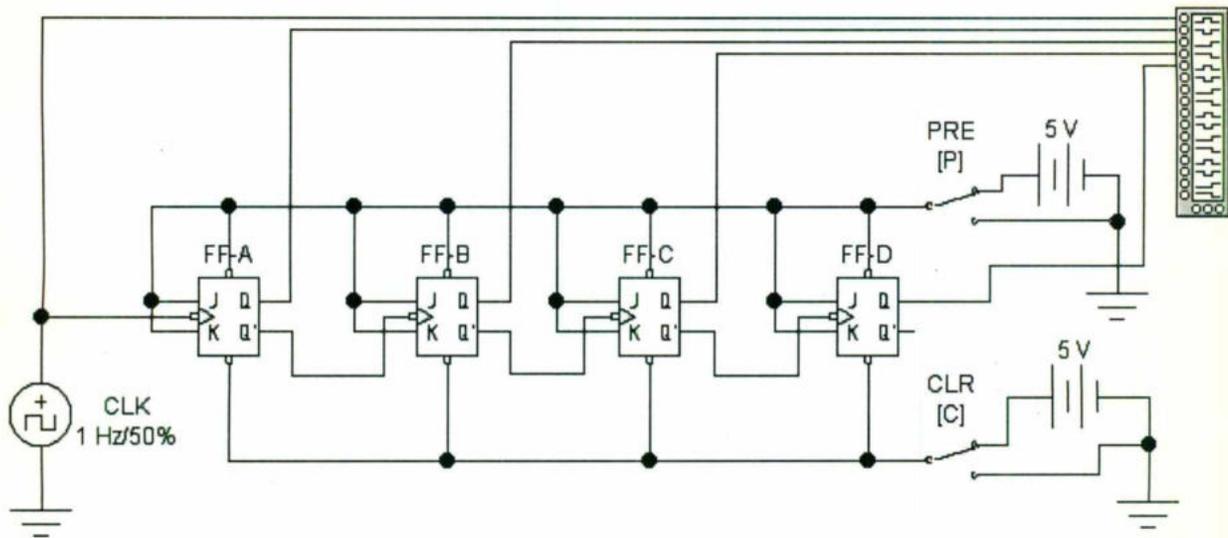


Fig. SD1-P05b.

Referencia:  
 Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
 Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

# UNIVERSIDAD AUTÓNOMA DE QUERÉTARO

## FACULTAD DE INGENIERÍA

### INGENIERÍA EN AUTOMATIZACIÓN

#### LABORATORIO DE SISTEMAS DIGITALES I

#### PRACTICA 5b

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

#### DECODIFICADORES

##### **OBJETIVO**

Estudiar y analizar el funcionamiento de los circuitos decodificadores.

Leer en su texto el tema sobre circuitos decodificadores.

##### **MARCO TEÓRICO**

El decodificador es un circuito lógico que acepta un conjunto de entradas, el cual representa un número binario y sólo activa la salida que corresponde a ese número de entrada. Es decir, un circuito decodificador analiza sus entradas, determina que número binario está represente allí y activa la salida que corresponde a ese número, y el resto de las salidas permanecen inactivas.

##### **APLICACIONES DEL DECODIFICADOR**

Los decodificadores se emplean cuando una salida o un grupo de éstas se deban activar sólo cuando ocurra una combinación específica de niveles de entrada. Estos niveles de entrada a menudo los proporcionan las salidas de un contador o de un registro. Cuando las entradas del decodificador provienen de un contador que se está pulsando de manera continua, las salidas se activan en forma secuencial y se pueden emplear como señales de sincronización para encender o apagar dispositivos en tiempos específicos

##### **PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P05b.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

Address	Pattern	Trigger	Frequency
Edit 0000	Up Counter	Internal	0.5Hz
Current 0000			
Initial 0000			
Final 000F			

Corra el programa, y complete la tabla de verdad correspondiente.

Cierre el interruptor "E" a la conexión del punto común, y observe el resultado, conteste la pregunta 2, enseguida regrese el interruptor "E" a la conexión del positivo de 5V.

##### **CUESTIONARIO**

1. ¿Cuál es la función que desempeña éste decodificador?
2. ¿Cuál es la función que desempeña la entrada E'?
3. ¿Qué significa LSB?
4. ¿Qué significa MSB?
5. ¿Qué significa INPUTS?
6. ¿Qué significa OUTPUTS?
7. ¿Qué significa ENABLE?
8. ¿Qué significa la letra X en la Tabla de Verdad?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



TABLA DE VERDAD  
 Circuito decodificador de la Fig.SD1-P05b

Decimal	ENABLE E'	INPUTS		OUTPUTS			
		(MSB)B	(LSB)A	O <sub>0</sub>	O <sub>1</sub>	O <sub>2</sub>	O <sub>3</sub>
X	1	X	X				
0	0	0	0				
1	0	0	1				
2	0	1	0				
3	0	1	1				

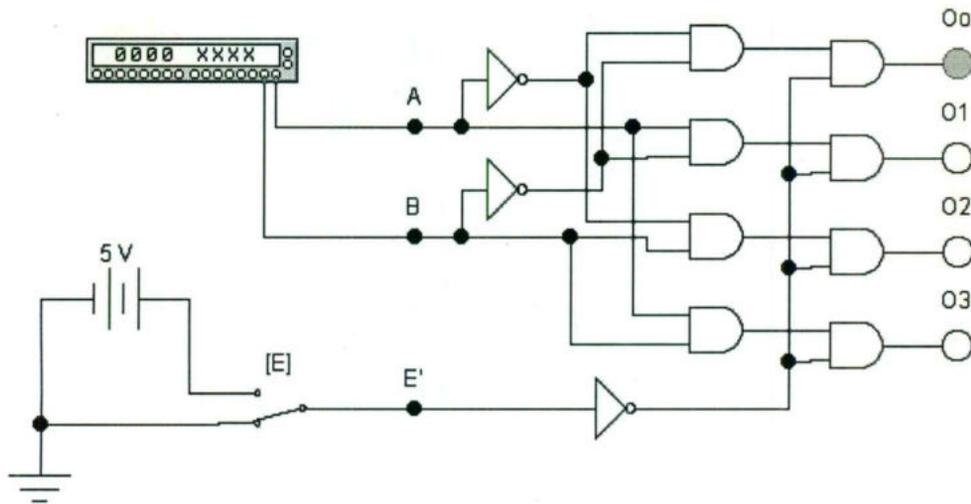


Fig. SD1-P05b

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**

**PRACTICA 6**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**DECODIFICADOR DE BCD A SEGMENTO 7 ANODO COMÚN**

**OBJETIVO**

Estudiar y analizar el funcionamiento de decodificadores para display de segmento 7 de ánodo común.

Leer en su texto el tema sobre circuitos decodificadores/ manejadores para display de segmento 7 de ánodo común.

**MARCO TEÓRICO**

El decodificador excitador de BCD a 7 segmentos se usa para tomar una entrada BCD de cuatro bits y proporcionar las salidas que pasaran corriente a través de los segmentos apropiados para desplegar visualmente el dígito decimal. Todos los ánodos de los LED'S están conectados a Vcc (+5V). Los cátodos de los LED'S están conectados mediante resistencias limitadores de corriente a las salidas correctas del decodificador excitador. El decodificador excitador tiene salidas activas en BAJO que son transistores de excitación de colector abierto, los cuales, pueden suministrar una gran cantidad de corriente.

**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P06a.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

Address	Pattern	Trigger	Frequency
Edit 0000	Up Counter	Internal	0.5Hz
Current 0000	Initial 0000	Final 000F	

Corra el programa, complete la tabla de verdad correspondiente.

Cierre el interruptor "L" a la conexión del punto común, y observe el resultado, conteste la pregunta 9, enseguida regrese el interruptor "L" a la conexión del positivo de 5V.

Cierre el interruptor "B" a la conexión del punto común, y observe el resultado, conteste la pregunta 10, enseguida regrese el interruptor "B" a la conexión del positivo de 5V.

Cierre el interruptor "R" a la conexión del punto común, y observe el resultado, conteste la pregunta 11, enseguida regrese el interruptor "R" a la conexión del positivo de 5V.

Implemente el circuito de la figura SD1-P06b.

Corra el programa, complete la Tabla 2 dibujando los segmentos que se activen para todos los posibles códigos de entrada.

Cierre el interruptor "L" a la conexión del punto común, y observe el resultado, conteste la pregunta 9, enseguida regrese el interruptor "L" a la conexión del positivo de 5V.

Cierre el interruptor "B" a la conexión del punto común, y observe el resultado, conteste la pregunta 10, enseguida regrese el interruptor "B" a la conexión del positivo de 5V.

Cierre el interruptor "R" a la conexión del punto común, y observe el resultado, conteste la pregunta 11, enseguida regrese el interruptor "R" a la conexión del positivo de 5V.

## CUESTIONARIO

1. ¿Qué es un display?
2. ¿Por qué recibe el nombre de display segmento 7 este display?
3. ¿Qué dispositivos semiconductores son los segmentos que forman éste display?
4. ¿Qué significa nivel activo bajo?
5. ¿Para conectar un display de ánodo común se debe de utilizar un decodificador con salidas de nivel activo alto o bajo?
6. ¿Qué significa la letra L en la Tabla de Verdad?
7. ¿Qué significa la letra H en la Tabla de Verdad?
8. ¿Cuál es la función que desempeña éste decodificador?
9. ¿Cuál es la función que desempeña la entrada LT?
10. ¿Cuál es la función que desempeña la entrada BI/RBO?
11. ¿Cuál es la función que desempeña la entrada RBI?
12. ¿Cómo sabemos que hay que colocar un nivel de 0V en las entrada LT, BI y BI/RBO para que éstas funcionen

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



TABLA 1  
TABLA DE VERDAD  
Circuito decodificador con salida en nivel activo bajo de la Fig.SD1-P06a.

Decimal	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	$\overline{\text{BI/RBO}}$	D	C	B	A	$\overline{\text{a}}$	$\overline{\text{b}}$	$\overline{\text{c}}$	$\overline{\text{d}}$	$\overline{\text{e}}$	$\overline{\text{f}}$	$\overline{\text{g}}$	Notas	
	0	H	H	H	L	L	L	L	L	L	L	L	L	L		L
1	H	X	H	L	L	L	H									
2	H	X	H	L	L	H	L									
3	H	X	H	L	L	H	H									
4	H	X	H	L	H	L	L									
5	H	X	H	L	H	L	H									
6	H	X	H	L	H	H	L									
7	H	X	H	L	H	H	H									
8	H	X	H	H	L	L	L									
9	H	X	H	H	L	L	H									
10	H	X	H	H	L	H	L									Invalid
11	H	X	H	H	L	H	H									Invalid
12	H	X	H	H	H	L	L									Invalid
13	H	X	H	H	H	L	H									Invalid
14	H	X	H	H	H	H	L									Invalid
15	H	X	H	H	H	H	H									Invalid
<b>BI</b>	X	X	L	X	X	X	X	H	H	H	H	H	H	H	H	
<b>RBI</b>	H	L	L	L	L	L	L	H	H	H	H	H	H	H	H	
<b>LT</b>	L	X	H	X	X	X	X	L	L	L	L	L	L	L	L	

TABLA 2  
Patrones de segmento para todos los posibles códigos de entrada del circuito de la Fig.SD1-P06b.

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	

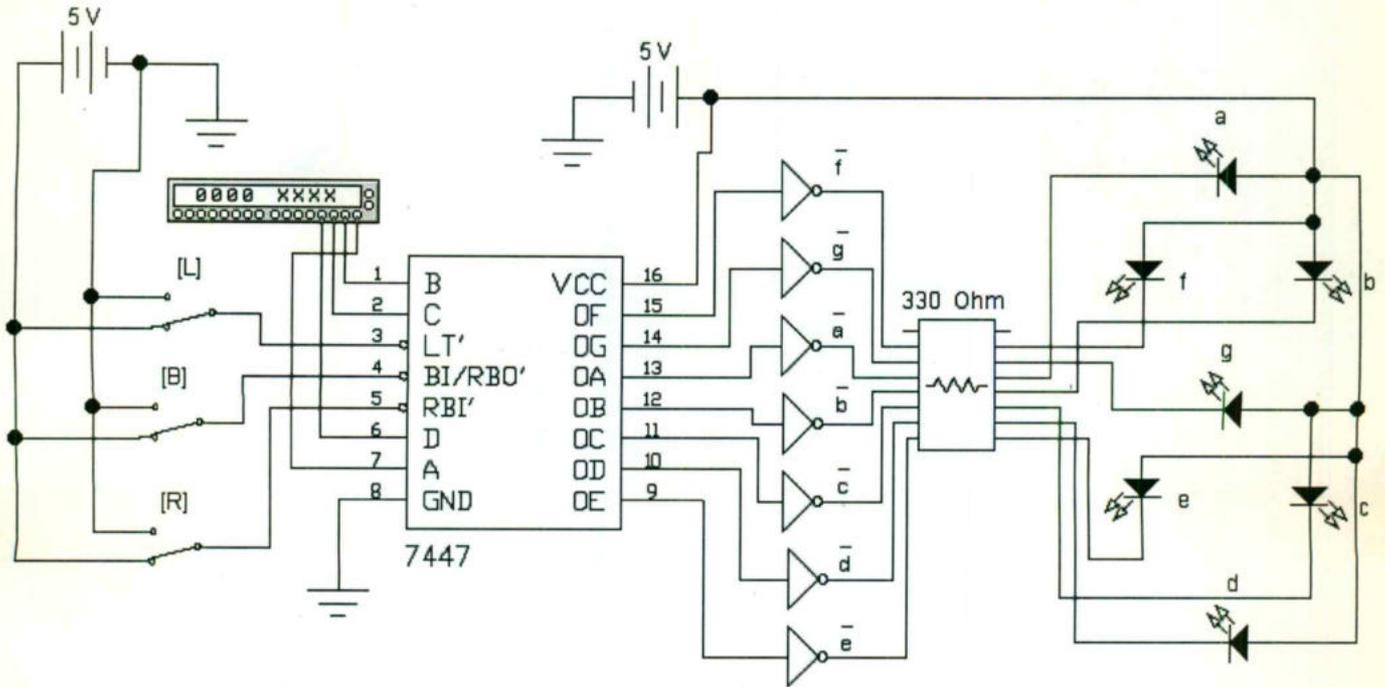


Fig. SD1-P06a.  
Display de Anodo Común

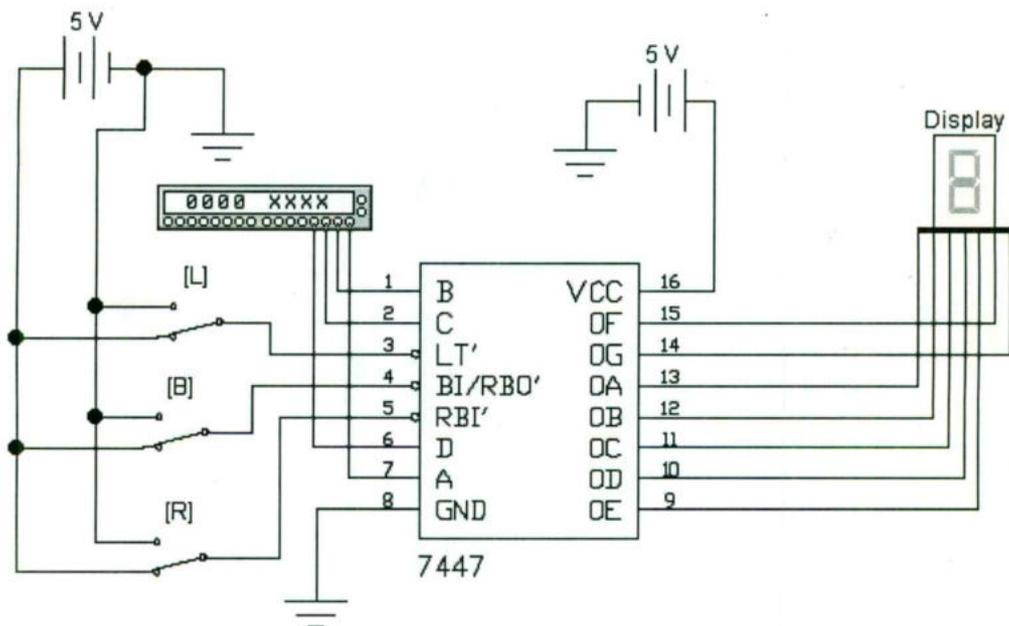


Fig. SD1-P06b.  
Display segmento

Referencia:  
Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRACTICA 7**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**DECODIFICADOR DE BCD A SEGMENTO 7 CÁTODO COMÚN**

**OBJETIVO**

Estudiar y analizar el funcionamiento de decodificadores para display de segmento 7 de cátodo común.

Leer en su texto el tema sobre circuitos decodificadores/ manejadores para display de segmento 7 de cátodo común.

**MARCO TEÓRICO**

Un tipo de decodificador de BCD a 7 segmentos de cátodo común es otro tipo de visualizador (display) de 7 segmentos se usa con una configuración de cátodo común, en la cual los cátodos de todos los segmentos están unidos y conectados a tierra. Este tipo de visualizador lo debe excitar un decodificador excitador de BCD a 7 segmentos con salidas activas en ALTO, que apliquen un voltaje alto a los ánodos de los segmentos a activar.

**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P07a.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

Address	Pattern	Trigger	Frequency
Edit 0000	Up Counter	Internal	0.5Hz
Current 0000			
Initial 0000			
Final 000F			

Corra el programa.

Complete la tabla de verdad correspondiente.

Cierre el interruptor "L" a la conexión del punto común, y observe el resultado, conteste la pregunta 11, enseguida regrese el interruptor "L" a la conexión del positivo de 5V.

Cierre el interruptor "B" a la conexión del punto común, y observe el resultado, conteste la pregunta 11, enseguida regrese el interruptor "B" a la conexión del positivo de 5V.

Cierre el interruptor "R" a la conexión del punto común, y observe el resultado, conteste la pregunta 11, enseguida regrese el interruptor "R" a la conexión del positivo de 5V.

Implemente el circuito de la figura SD1-P07b.

Corra el programa.

Complete la Tabla 2 dibujando los segmentos que se activen para todos los posibles códigos de entrada.

**CUESTIONARIO**

1. ¿Cuál es la diferencia entre un display de ánodo común y uno de cátodo común?
2. ¿Qué significa nivel activo alto?
3. ¿Para conectar un display de cátodo común se debe de utilizar un decodificador con salidas de nivel activo alto o bajo?
4. ¿Por qué podemos observar números hexadecimales en el display del circuito de la Fig. SD1-P07b?
5. ¿Cuál es la función que desempeña el decodificador de la Fig. 07a?

6. ¿Por qué no podemos observar números hexadecimales en el display del circuito de la Fig. SD1-P07a?
7. ¿Qué nivel de voltaje hay que colocar en las entradas LT, BI/RBO y RBI para que estas actúen y por qué ?
8. ¿Por qué debemos de colocar resistencias de 330 Ohms a cada segmento del display del circuito de la Fig. SD1-P07a
9. ¿Por qué no tienen resistencias de 330 Ohms cada segmento del display del circuito de la Fig. SD1-P07b?
10. ¿Qué significa la letra X en la Tabla de Verdad?
11. ¿Las entradas LT, BI/RBO y RBI son prioritarias y por qué?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



TABLA 1  
TABLA DE VERDAD  
Circuito decodificador con salida en nivel activo bajo, Fig.SD1-P07a.

Decimal	<u>LT</u>	<u>RBI</u>	<u>BI/RBO</u>	D	C	B	A	a	b	c	d	e	f	g	Notas
0	H	H	H	L	L	L	L	H	H	H	H	H	H	L	
1	H	X	H	L	L	L	H								
2	H	X	H	L	L	H	L								
3	H	X	H	L	L	H	H								
4	H	X	H	L	H	L	L								
5	H	X	H	L	H	L	H								
6	H	X	H	L	H	H	L								
7	H	X	H	L	H	H	H								
8	H	X	H	H	L	L	L								
9	H	X	H	H	L	L	H								
10	H	X	H	H	L	H	L								Invalid
11	H	X	H	H	L	H	H								Invalid
12	H	X	H	H	H	L	L								Invalid
13	H	X	H	H	H	L	H								Invalid
14	H	X	H	H	H	H	L								Invalid
15	H	X	H	H	H	H	H								Invalid
<b>BI</b>	X	X	L	X	X	X	X	L	L	L	L	L	L	L	
<b>RBI</b>	H	L	L	L	L	L	L	L	L	L	L	L	L	L	
<b>LT</b>	L	X	H	X	X	X	X	H	H	H	H	H	H	H	

TABLA 2  
Patrones de segmento para todos los posibles códigos de entrada del circuito de la Fig.SD1-P07b.

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

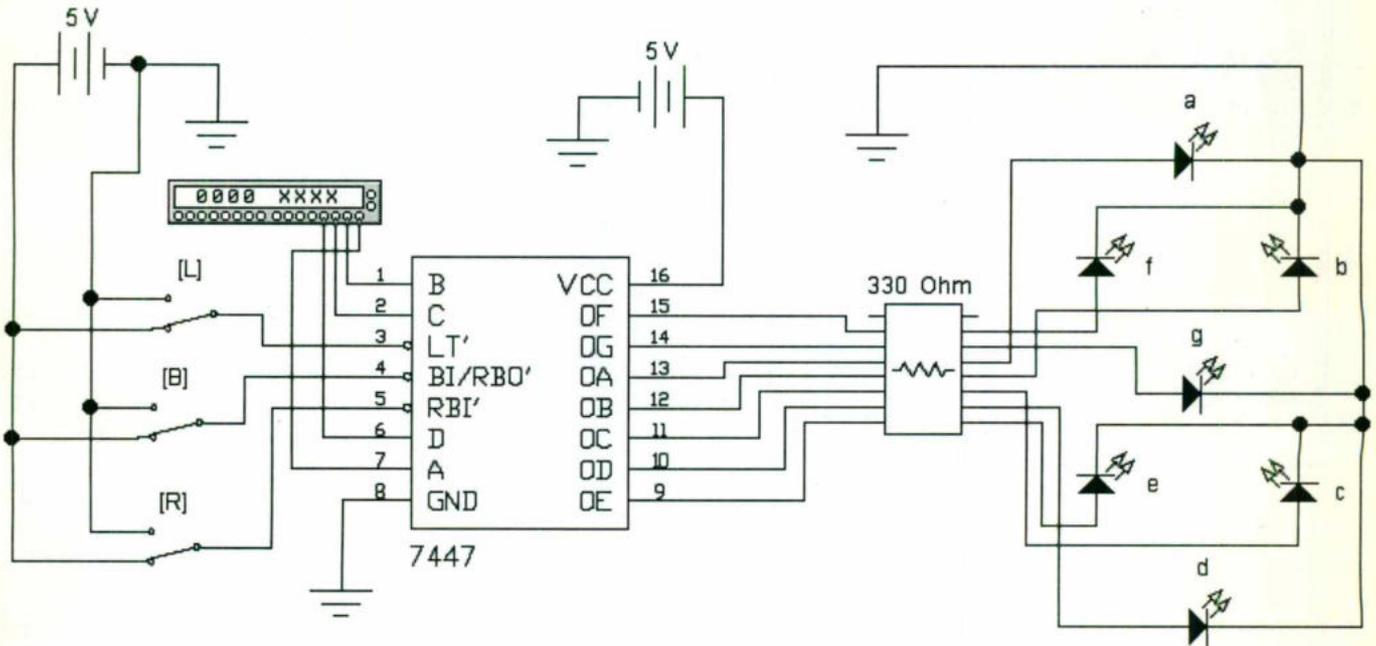


Fig. SD1-P07a.  
Display de Cátodo Común

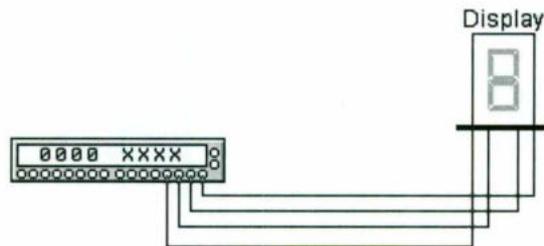


Fig. SD1-P07b.  
Display con decodificador integrado para números hexadecimales

Referencia:  
Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRACTICA 8a**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**CODIFICADORES**

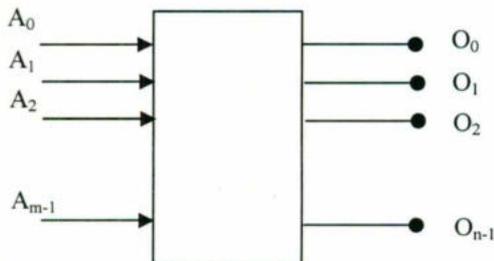
**OBJETIVO**

Estudiar y analizar el funcionamiento de circuitos codificadores binarios.

Leer en su texto el tema sobre circuitos codificadores binarios.

**MARCO TEÓRICO**

Un codificador tiene un número de líneas de entrada, de las cuales sólo una se activa en un tiempo determinado y produce un código de salida de  $n$  bits, dependiendo de cuál entrada se active.



M entradas solo una ALTA a la vez.  
N número de bits del código de salida.

Diagrama general de un codificador

**Codificadores de prioridad:** incluyen la lógica necesaria para asegurar que cuando dos o más entradas son activas al mismo tiempo, el código de salida corresponderá al de la entrada que se tiene asociado el mayor de los números.

**Codificador de prioridad de decimal a BCD 74147:** Este circuito tiene nueve líneas activas en BAJO que representan los dígitos 1 a 9, y produce a la salida el código BCD negado correspondiente a la entrada activa que tiene el mayor número. Las salidas del 74147 normalmente se encuentran en estado ALTO cuando ninguna de las entradas esta activa. Esto corresponde a la entrada de 0 decimal. No existe entrada  $A_0$  porque el codificador supone que la entrada es 0 cuando todas las demás entradas están en el estado ALTO. Las salidas negadas del 74147 pueden convertirse a BCD normal conectando a cada una de ellas un inversor.

**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P08a.

Corra el programa.

Complete la tabla de verdad correspondiente.

Cierre el interruptor "1" a la conexión del punto común, y observe el resultado, complete la Tabla de Verdad.

Cierre el interruptor "2" a la conexión del punto común, y observe el resultado, complete la Tabla de Verdad.

Y así consecutivamente hasta llegar al interruptor "9".

Con el interruptor "9" conectado a la conexión del punto común, abra y cierre los demás interruptores, y observe el resultado, conteste la pregunta 4.

Comparar la Tabla 1 con la tabla de verdad del 74147 en el Help del Electronics Work Bench, conteste la pregunta 5.

### CUESTIONARIO

1. ¿Cuál es la función que normalmente desempeña un codificador?
2. ¿El diagrama funcional (de bloques) del 74147 del Electronics Work Bench tiene la simbología adecuada que nos indique que el nivel activo es el bajo y por que?
3. ¿Cómo podemos saber el tipo de nivel activo, aparte del símbolo?
4. ¿Por qué se le llama de prioridad a este codificador?
5. ¿La Tabla 1 es igual a la tabla de verdad del 74147 mostrada en el Help del Electronics Work Bench?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



TABLA 1  
 TABLA DE VERDAD  
 Circuito codificador de prioridad, de decimal a salida BCD

ENTRADAS Nivel Activo Bajo									SALIDA Nivel Activo Bajo Antes de los inversores				SALIDA Nivel Activo Alto Después de inversores				Decimal
1	2	3	4	5	6	7	8	9	D	C	B	A	D	C	B	A	
1	1	1	1	1	1	1	1	1									0
X	X	X	X	X	X	X	X	0									.9
X	X	X	X	X	X	X	0	1									8
X	X	X	X	X	X	0	1	1									7
X	X	X	X	X	0	1	1	1									6
X	X	X	X	0	1	1	1	1									5
X	X	X	0	1	1	1	1	1									4
X	X	0	1	1	1	1	1	1									3
X	0	1	1	1	1	1	1	1									2
0	1	1	1	1	1	1	1	1									1

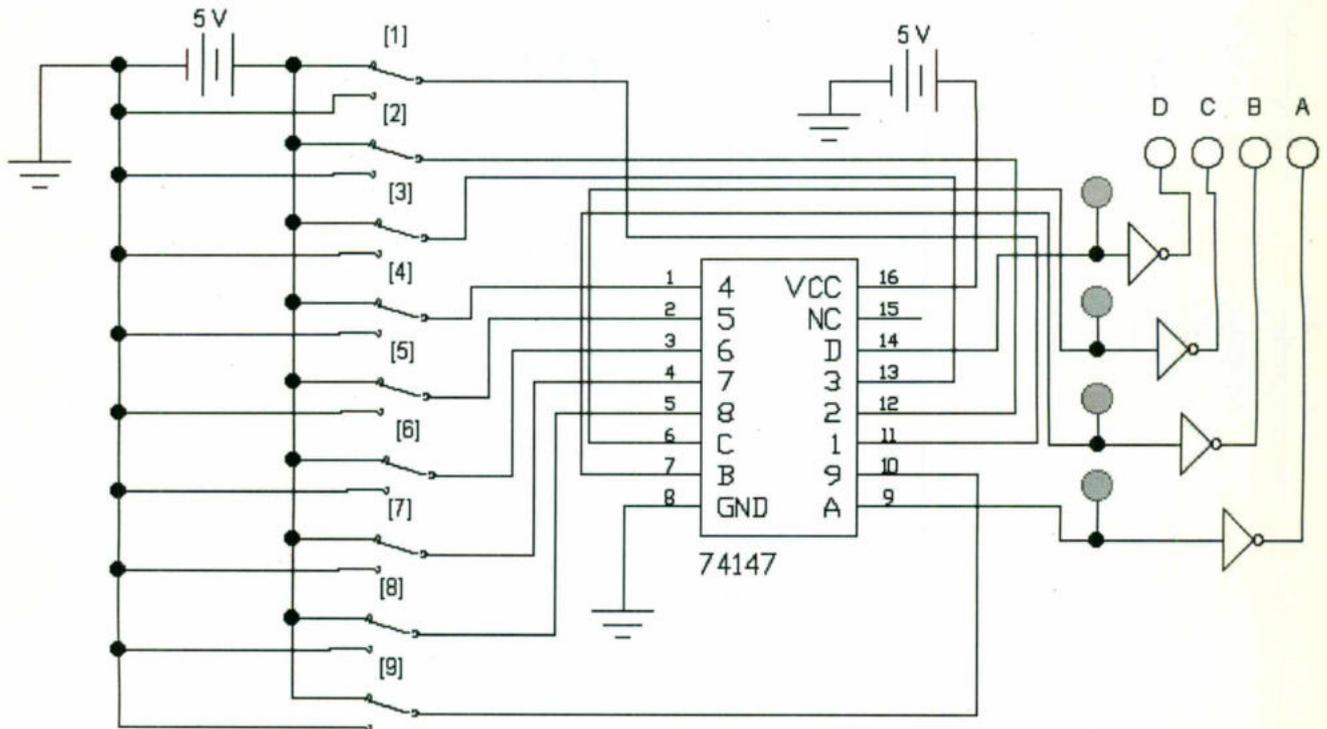


Fig. SD1-P08a.

Referencia:  
Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**

**PRACTICA 8b**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**MUX**

**OBJETIVO**

Estudiar y analizar el funcionamiento de circuitos Multiplexores (Mux) o selectores de datos binarios.

Leer en su texto el tema sobre circuitos Multiplexores binarios.

**MARCO TEÓRICO**

Los multiplexores hacen que un interruptor seleccione una de las señales electrónicas; por ejemplo de un selector de radio de cuatro fuentes (casete de cinta, disco compacto, un sintonizador de radio, o una entrada auxiliar de audio o video) y las envía al amplificador de potencia y de allí a las bocinas. En otras palabras más simples, un mux; selecciona una de varias señales de entrada y las envía a la salida.

**APLICACIÓN DE LOS MULTIPLEXORES**

Los circuitos multiplexores tienen numerosas y variadas aplicaciones en sistemas digitales de todos los tipos. Entre éstas, la selección de datos, enrutamiento de datos, secuencia de operaciones, conversión de paralelo a serial, generación de forma de ondas y generación de funciones lógicas.

**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P08b.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

<b>Address</b>	<b>Pattern</b>	<b>Trigger</b>	<b>Frequency</b>
Edit 0000	Up Counter	Internal	0.5 Hz
Current 0000			
Initial 0000			
Final 0003			

Corra el programa.

Complete la tabla de verdad de la Fig. SD1-P14, activando los interruptores correspondientes.

**CUESTIONARIO**

1. ¿Cuál es la función que normalmente desempeña un Mux?
2. ¿Qué función desempeña la entrada E'?
3. ¿Qué significa la letra E?
4. ¿Qué función desempeñan las entradas S0 y S1?
5. ¿Qué función desempeñan las entradas I0, I1, I2, I3?
6. ¿Con qué otro nombre se conocen los Multiplexores?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



TABLA DE VERDAD  
Circuito Multiplexor, Fig. SD1-P08b

ENABLE (Habilitación)	SELECT		INPUTS				OUTPUTS	
	S1	S0	I0	I1	I2	I3	Z	Z'
1	X	X	X	X	X	X		
0	0	0	0	X	X	X		
0	0	0	1	X	X	X		
0	0	1	X	0	X	X		
0	0	1	X	1	X	X		
0	1	0	X	X	0	X		
0	1	0	X	X	1	X		
0	1	1	X	X	X	0		
0	1	1	X	X	X	1		

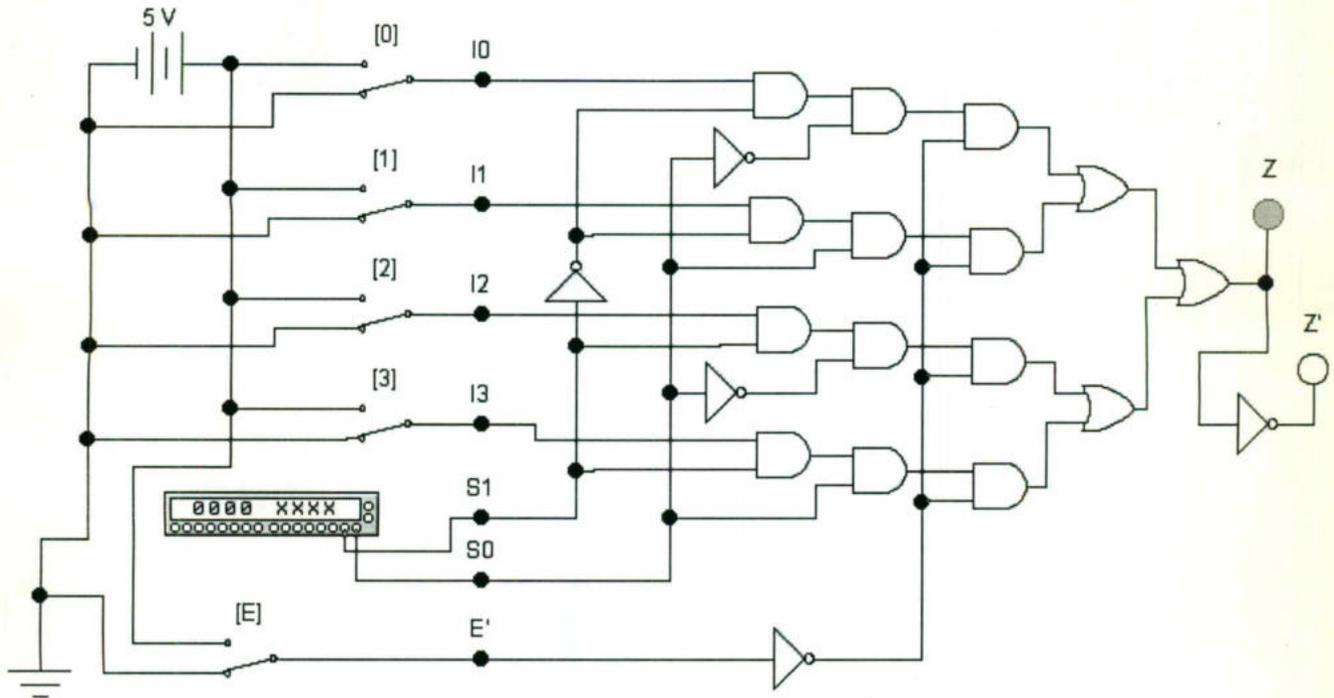


Fig. SD1-P08b

Referencia:  
 Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
 Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**

**PRACTICA 8c**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**DEMUX**

**OBJETIVO**

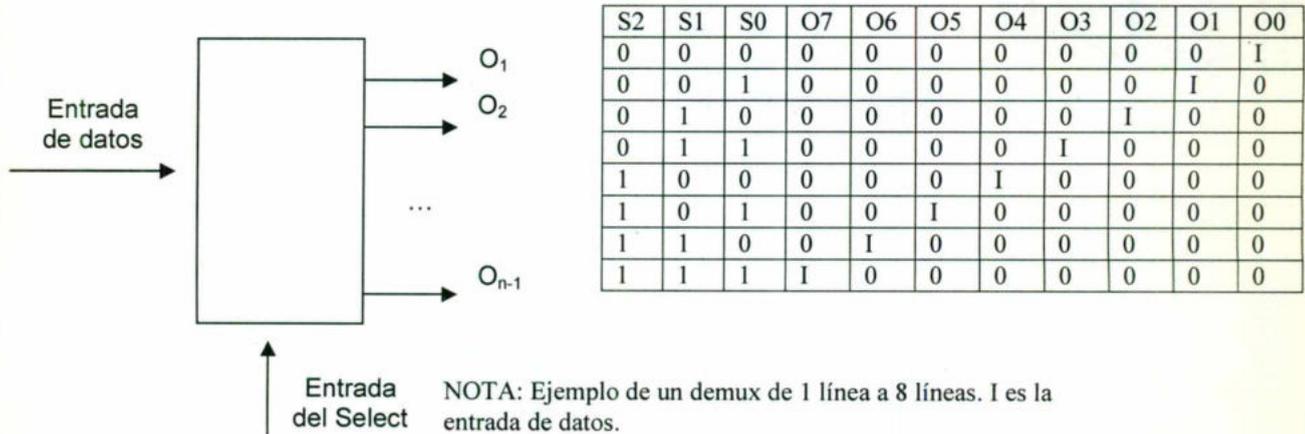
Estudiar y analizar el funcionamiento de circuitos Demultiplexores (Demux) o distribuidor de datos binarios.

Leer en su texto el tema sobre circuitos Demultiplexores.

**MARCO TEÓRICO**

**DEMÚLTIPLEXORES (DISTRIBUIDORES DE DATOS)**

Un demultiplexor (demux) hace la función inversa a un multiplexor toma una sola entrada y las distribuye sobre varias salidas; toma una fuente de datos de entrada y la distribuye de manera selectiva a 1...n canales de salida, igual que un interruptor de posiciones múltiples.



**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P08c.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

Address	Pattern	Trigger	Frequency
Edit 0000	Up Counter	Internal	1 Hz
Current 0000			
Initial 0000			
Final 0003			

Corra el programa.

Complete la tabla de verdad de la Fig. SD1-P08c, activando los interruptores correspondientes.

**CUESTIONARIO**

1. ¿Cuál es la función que normalmente desempeña un Demux?
2. ¿Qué función desempeña la entrada E'?

3. ¿Qué función desempeña la entrada E?
4. ¿Qué función desempeñan las entradas S0 y S1?
5. ¿Qué significan las letras O0, O1, O2, O3?
6. ¿Con qué otro nombre se conocen los De multiplexores?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



TABLA DE VERDAD  
Circuito Demultiplexor, Fig. SD1-P08c.

ENABLE (Habilitación)	INPUT	SELECT		OUTPUTS			
		E	S1	S0	O0	O1	O2
1	X	X	X				
0	0	0	0				
0	1	0	0				
0	0	0	1				
0	1	0	1				
0	0	1	0				
0	1	1	0				
0	0	1	1				
0	1	1	1				

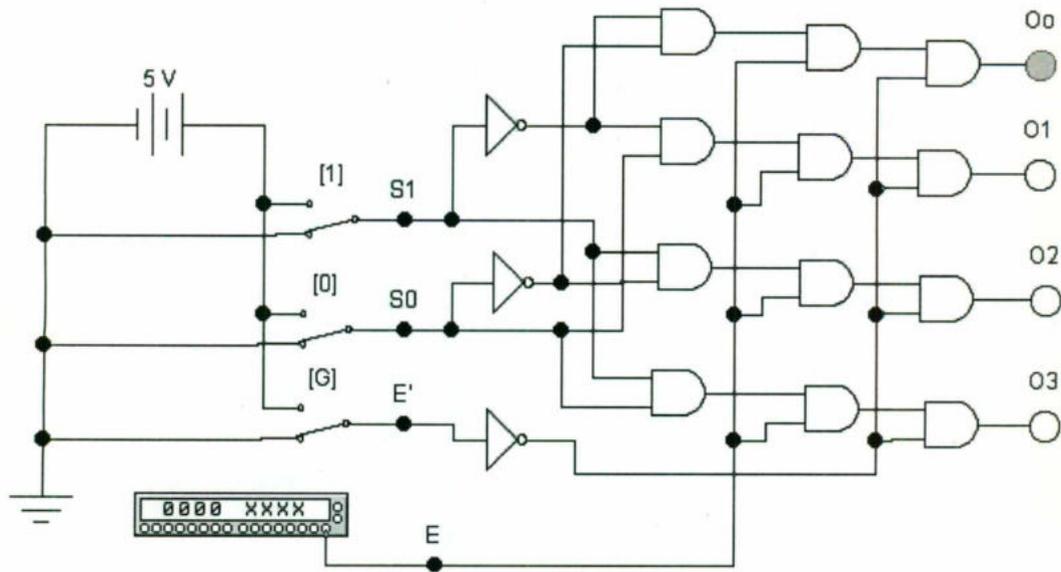


Fig. SD1-P08c.

Referencia:  
 Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
 Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRACTICA 9a**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**DAC RED EN ESCALERA**

**OBJETIVO**

Implementar, analizar y observar el funcionamiento de un DAC en la configuración de Red en Escalera.

Leer en su texto el tema sobre el funcionamiento de un DAC en la configuración de Red Tandem Binaria, en Escalera o Red R-2R.

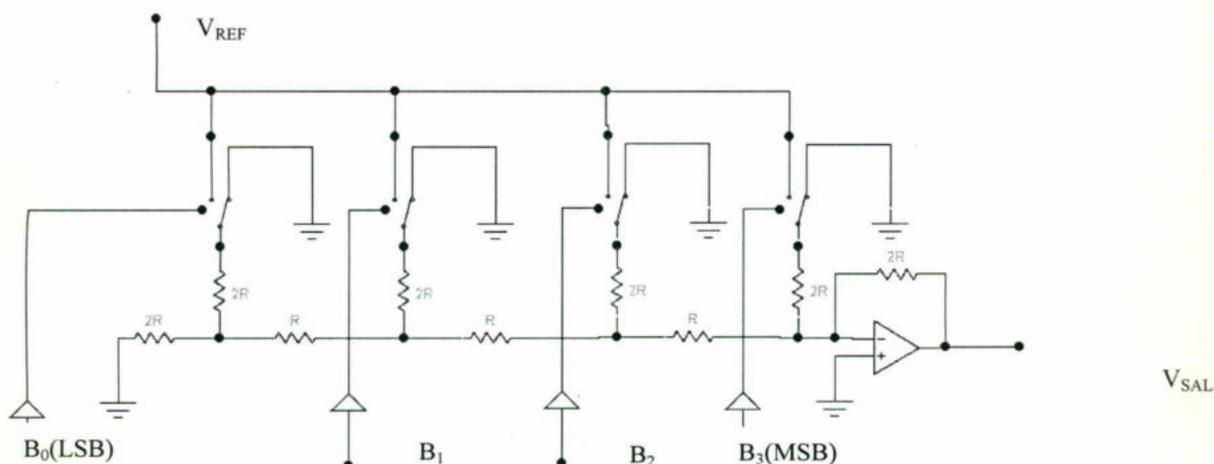
**MARCO TEÓRICO**

La resolución de un convertidor D/A se define como el cambio menor que puede ocurrir en la salida analógica como resultado de un cambio en la entrada digital. Si por ejemplo tenemos que la resolución es de 1V ya que el voltaje de salida solo puede cambiar en no menos de un volt cuando cambie el valor digital de la entrada. La resolución siempre es igual al factor de ponderación del LSB y también se le denomina tamaño del escalón, puesto que es la cantidad que el voltaje de salida se incrementara cuando aumente el valor digital de entrada de un escalón al siguiente.

En general, para un DAC de n bits el número de niveles distintos será  $2^n$  y el número de escalones será  $2^n - 1$ . Uno de los circuitos utilizados por los DAC es el de red en escalera R/2R, donde los valores de resistencias abarcan un rango de 2 a 1. La corriente de salida  $I_{SAL}$  depende de la posición de los cuatro interruptores y el estado de éstos es controlado por las entradas binarias  $B_3, B_2, B_1$  y  $B_0$ ; esta corriente se hace circular por el convertidor de corriente-voltaje basado en un amplificador operacional para obtener el voltaje de salida  $V_{SAL}$  y está dado por la expresión:

$$V_{SAL} = -\frac{V_{REF}}{8} \times B$$

Donde B es el valor de la entrada binaria, la que en este caso puede cambiar de 0 a 15V.



**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P09a.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

Address	Pattern	Trigger	Frequency
Edit 0000	Up Counter	Internal	1 KHz
Current 0000			
Initial 0000			
Final 000F			

Valores iniciales del Osciloscopio:

**CH-A** 2 V/DIV

Y posición 0.00

DC

**CH-B** -- V/DIV

Y posición 0.00

DC

**Time Base** 5.00 mS/div

X posición 0.00

Y/T

Corra el programa

Observe la forma de onda en el osciloscopio y registre las mediciones

Señal en el CH-A, V máx. = Volts, F = Hz,  
V del primer escalón = (conteste la pregunta 5 del cuestionario)

Complete la tabla de verdad (pregunta 6 y 7 del cuestionario)

Ecuaciones:

$V_o = (K)$  (entrada digital) ; donde K es un factor de proporcionalidad y es igual al voltaje del primer escalón.

### CUESTIONARIO

1. ¿Cuál es la salida analógica?
2. ¿Qué significa K?
3. ¿Qué significan las siglas LSB y MSB?
4. ¿Qué significan las siglas DAC y que función desempeña este circuito?
5. ¿Cuál es la resolución de este convertidor?
6. ¿Cuál es el voltaje de cada escalón utilizando la ecuación de  $V_o$ ? (los resultados regístrelos en la tabla de verdad)
7. ¿Cuál es el voltaje de cada escalón leído en el osciloscopio? (las lecturas regístrelas en la tabla de verdad)
8. ¿Los resultados medidos con el osciloscopio son del orden esperado y por qué?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



TABLA DE VERDAD  
DAC, Fig. SD1-P09a.

D (MSB)	C	B	A (LSB)	Vo (Volts) (Ecuación)	Vo (Volts) (Osciloscopio)
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

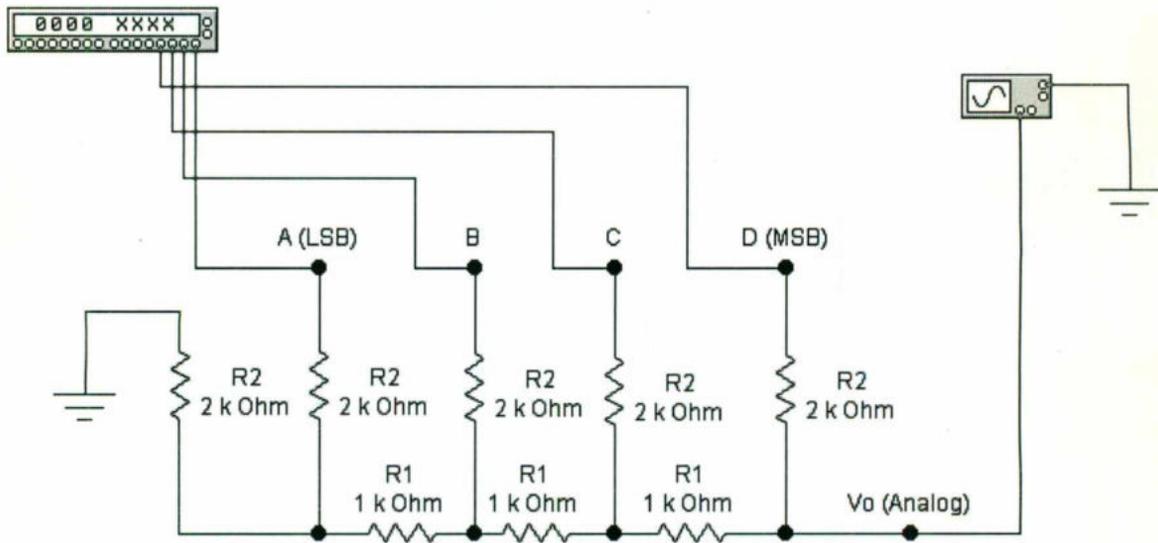


Fig. SD1-P09a

Referencia:  
Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRACTICA 9b**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**DAC CON OP-AMP**

**OBJETIVO**

Implementar, analizar y observar el funcionamiento de un op-amp utilizado en la aplicación de DAC.

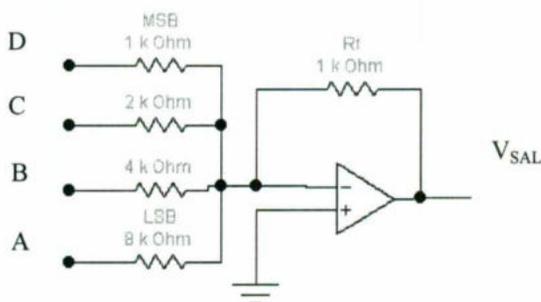
Leer en su texto el tema sobre el funcionamiento de un op-amp utilizado en la aplicación de DAC.

**MARCO TEÓRICO**

Un circuito básico para un DAC de 4 bits, con entradas A, B, C y D que son las entradas binarias que se supone tienen valores de 0 a 5V. El amplificador operacional sirve como amplificador sumador, el cual produce la suma de los factores de ponderación de éstos voltajes de entrada. La salida del amplificador sumador obviamente es un voltaje analógico que representa una suma de los factores de ponderación de las entradas digitales. La resolución de este convertidor D/A es igual a la asignación del factor de ponderación del LSB

D	C	B	A	V <sub>SAL</sub>
0	0	0	0	0
0	0	0	1	-0.625
0	0	1	0	-1.250
0	0	1	1	-1.875
0	1	0	0	-2.500
0	1	0	1	-3.125
0	1	1	0	-3.750
1	0	0	0	-5.000
1	0	0	1	-5.625
1	0	1	0	-6.250
1	0	1	1	-6.875
1	1	0	0	-7.500
1	1	0	1	-8.125
1	1	1	0	-8.750
1	1	1	1	-9.375

Valores típicos para una entrada digital codificada en binario de 0 a 15V y el voltaje analógico de salida del amplificador operacional.



**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P09b.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

Address	Pattern	Trigger	Frequency
Edit 0000	Up Counter	Internal	1 KHz
Current 0000			
Initial 0000			
Final 000F			

Valores iniciales del Osciloscopio:

<b>CH-A</b> 2 V/DIV	<b>CH-B</b> -- V/DIV	<b>Time Base</b> 5.00 mS/div
Y posición 0.00	Y posición 0.00	X posición 0.00
DC	DC	Y/T

Corra el programa

Observe la forma de onda en el osciloscopio y registre las mediciones

Señal en el CH-A, V máx. =      Volts,      F =      Hz,

V del primer escalón =      (conteste la pregunta 6 del cuestionario)

Complete la tabla de verdad (preguntas 7 y 8 del cuestionario)

Ecuaciones:

$$V_o = - ( V_D + (V_C)/2 + (V_B)/4 + (V_A)/8 )$$

### CUESTIONARIO

1. ¿Cuál es la salida analógica?
2. ¿Por qué el voltaje de salida es negativo?
3. ¿Qué tenemos que agregar para que la señal se convierta en positiva?
4. ¿Qué significan las siglas LSB y MSB?
5. ¿Qué significan las siglas DAC y que función desempeña este circuito?
6. ¿Cuál es la resolución de este convertidor?
7. ¿Cuál es el voltaje de cada escalón utilizando la ecuación de  $V_o$ ? (los resultados regístrelos en la tabla de verdad)
8. ¿Cuál es el voltaje de cada escalón leído en el osciloscopio? (las lecturas regístrelas en la tabla de verdad)
9. ¿Los resultados medidos con el osciloscopio son del orden esperado y por qué?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



TABLA DE VERDAD  
DAC, Fig. SD1-P09b.

D (MSB)	C	B	A (LSB)	Vo (Volts) (Ecuación)	Vo (Volts) (Osciloscopio)
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

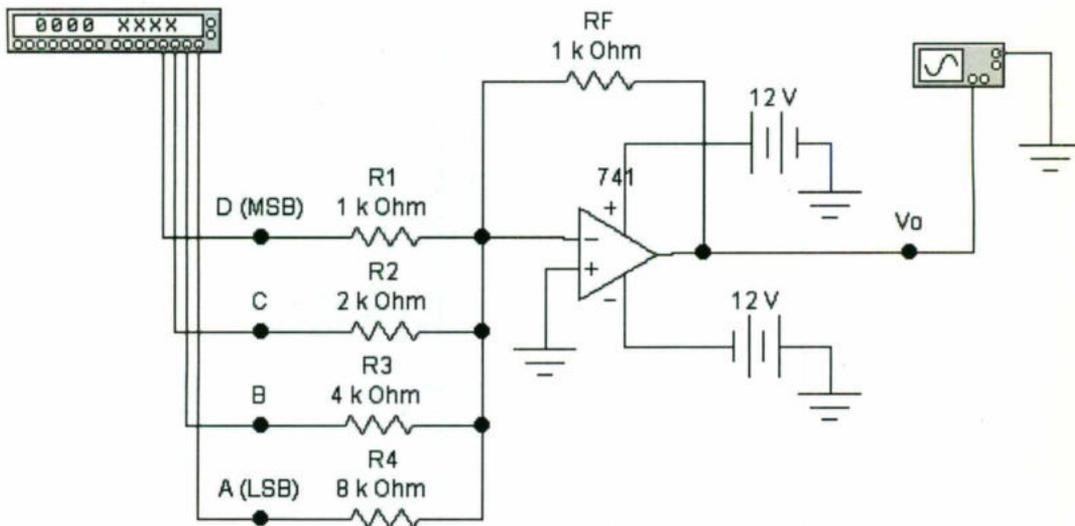


Fig. SD1-P09b

Referencia:  
Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRACTICA 9c**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**CIRCUITO INTEGRADO DAC**

**OBJETIVO**

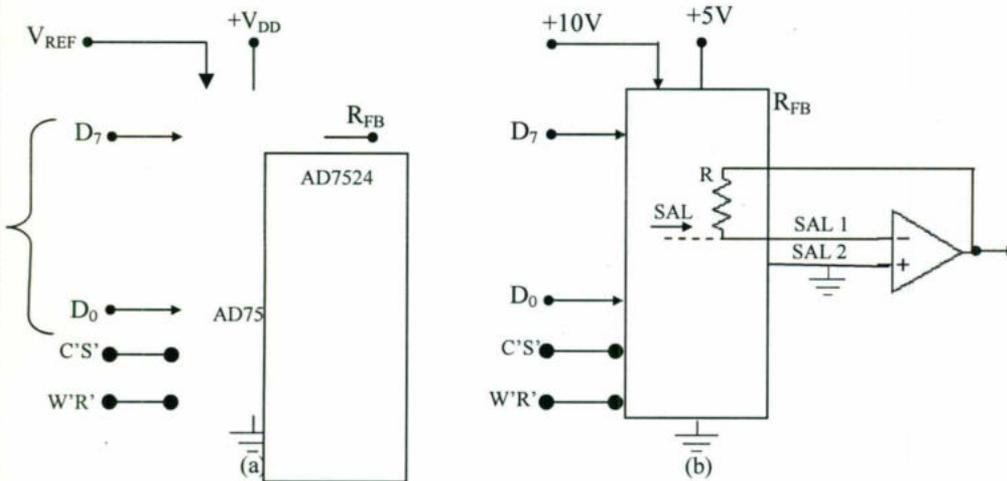
Implementar, analizar y observar el funcionamiento de un DAC como circuito integrado.

Leer en su texto el tema sobre el funcionamiento de un DAC como circuito integrado.

**MARCO TEÓRICO**

El AD7524, es un circuito integrado (CI) CMOS que tienen en existencia varios fabricantes de circuitos integrados, es un convertidor D/A (Digital a analógico) de ocho bits en el que se usa una red de escalera R/2R. Su símbolo de bloque está establecido en la figura que se muestra. Este DAC (Digital analogic converter) tiene una entrada de ocho bits que se puede (cerrar) de manera interna bajo el control de las entradas de selección del chip (~C~S) y WRITE (~W~R). Cuando estas dos entradas de control están en BAJO, las entradas digitales de datos D<sub>7</sub>-D<sub>0</sub> producen la corriente analógica de salida OUT 1. Cuando cualquier entrada de control pasa a ALTO, los datos digitales de entrada se enclavan y la salida analógica permanece en el nivel correspondiente a esos datos digitales fijos. En este estado, los cambios subsecuentes en las entradas no tendrán efecto en OUT 1

Los DAC se usan cuando la salida de un circuito digital debe proporcionar un voltaje o corriente analógica para excitar un dispositivo analógico. Algunas de las aplicaciones más comunes son las siguientes: Control, Pruebas automáticas, Reconstrucción de la señal, Conversión A/D (Analógico a digital) y DAC's seriales.



**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P09c.

Ajuste el Word Generator (Generador de palabra binaria) según los siguientes valores:

Address	Pattern	Trigger	Frequency
Edit 0000	Up Counter	Internal	100 Hz
Current 0000			
Initial 0000			
Final 00FF			

Valores iniciales del Osciloscopio:

**CH-A** 5 V/DIV  
Y position 0.00  
DC

**CH-B** -- V/DIV  
Y position 0.00  
DC

**Time Base** 0.50 S/div  
X position 0.00  
Y/T

Corra el programa

Observe la forma de onda en el osciloscopio y registre las mediciones

Señal en el CH-A, V max = Volts, F = Hz,  
V del primer escalón = (conteste la pregunta 2 del cuestionario)

Complete la tabla de verdad (preguntas 4 y 5 del cuestionario)

Ecuaciones:

$V_o = (K)$  (entrada digital) ; donde K es un factor de proporcionalidad y es igual al voltaje del primer escalón.

### CUESTIONARIO

1. ¿Cuál es la salida analógica?
2. ¿Cuál es la resolución de este convertidor?
3. ¿Por qué tenemos que agregar un op-amp a la salida de éste DAC?
4. ¿Cuál es el voltaje de cada escalón utilizando la ecuación de  $V_o$ ? (los resultados regístrelos en la tabla de verdad)
5. ¿Cuál es el voltaje de cada escalón leído en el osciloscopio? (las lecturas regístrelas en la tabla de verdad)
6. ¿Los resultados medidos con el osciloscopio son del orden esperado y por qué?
7. ¿Cómo podemos aumentar la resolución de un DAC?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)



TABLA DE VERDAD  
DAC, Fig. SD1-P09c.

Decimal	B7 (MSB)	B6	B5	B4	B3	B2	B1	Bo (LSB)	Vo (Volts) (Ecuación)	Vo (Volts) (Osciloscopio)
0	0	0	0	0	0	0	0	0		
1	0	0	0	0	0	0	0	1		
2	0	0	0	0	0	0	1	0		
3	0	0	0	0	0	0	1	1		
4	0	0	0	0	0	1	0	0		
5	0	0	0	0	0	1	0	1		
6	0	0	0	0	0	1	1	0		
7	0	0	0	0	0	1	1	1		
--	--	--	--	--	--	--	--	--		
15	0	0	0	0	1	1	1	1		
--	--	--	--	--	--	--	--	--		
31	0	0	0	1	1	1	1	1		
--	--	--	--	--	--	--	--	--		
63	0	0	1	1	1	1	1	1		
--	--	--	--	--	--	--	--	--		
127	0	1	1	1	1	1	1	1		
--	--	--	--	--	--	--	--	--		
--	--	--	--	--	--	--	--	--		
255	1	1	1	1	1	1	1	1		

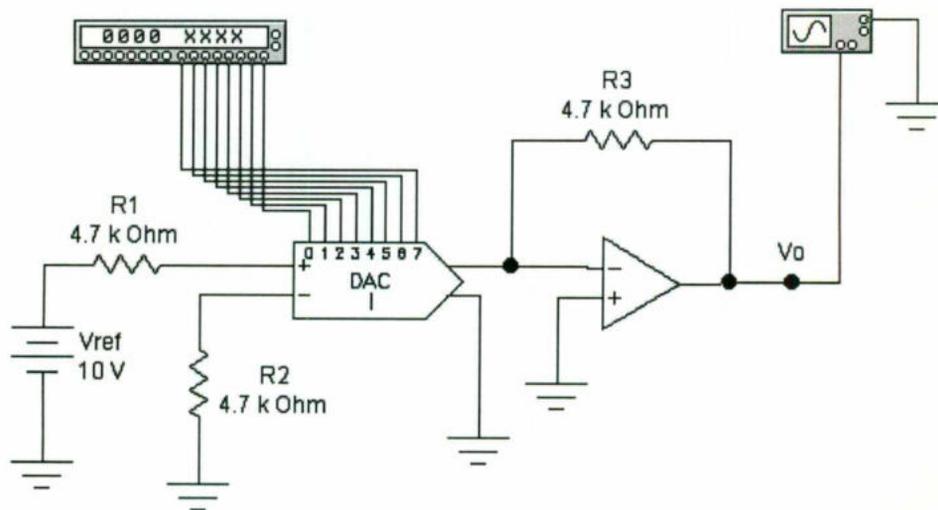


Fig. SD1-P09c

Referencia:  
Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**

**PRACTICA 10a**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**ADC DE RAMPA DIGITAL**

**OBJETIVO**

Implementar, analizar y observar el funcionamiento de un ADC en la configuración de rampa digital.

Leer en su texto el tema sobre el funcionamiento de un DAC en la configuración de rampa digital.

**MARCO TEORICO**

La rampa digital es llamada así porque la forma de onda del voltaje de salida es una rampa (en realidad una escalera) escalón por escalón, también denominada tipo contador.

Un ADC de rampa digital, contiene un contador, un DAC, un comparador analógico y una compuerta AND de control. La salida del contador sirve como la señal activa en BAJO de fin de conversión  $FDC$ . El contador binario utilizado como registro permite que el reloj incremente un escalón a la vez hasta que el voltaje analógico de salida el convertidor D/A sea mayor o igual que el voltaje analógico a convertir. El ADC de rampa digital es relativamente lento porque el contador se reestablece a cero el inicio de cada nueva conversión. La escalera siempre inicia de cero volts y su nivel se incrementa hasta el punto de conmutación donde el voltaje de salida del convertidor D/A excede al voltaje analógico y la salida del comparador cambia a BAJO.

EL ADC de rampa digital ascendente descendente utiliza un contador ascendente descendente que alimenta al DAC. Esta diseñado para contar hacia arriba cuando la salida del comparador indique que  $V_{AX} < V_A$  y para contar hacia abajo cuando  $V_{AX} > V_A$ . De esta manera la salida del DAC siempre se incrementa en la dirección del valor  $V_A$ . Cada vez que la salida del comparador cambia estados, indica que  $V_{AX}$  a cruzado el valor  $V_A$ , el equivalente digital de  $V_A$  esta en el contador y la conversión sea completado.

**PROCEDIMIENTO Y MEDICIONES**

Implemente el circuito de la figura SD1-P10a.

Valores iniciales del Generador de Función: Onda Cuadrada

Frecuencia 50 Hz

Duty Cycle 50

Amplitud 2.5 V

Offset 2.5

Valores iniciales del Osciloscopio:

**CH-A** 5 V/DIV

Y position -3.00

DC

**CH-B** 1 V/DIV

Y position -1.00

DC

**Time Base** 0.02 mS/div

X position 0.00

Y/T

Corra el programa

Observe la forma de onda en el osciloscopio

Señal en el CH-B, V del primer escalón = (conteste la pregunta 3 del cuestionario)

Ecuaciones:

$F = 1/T$ , donde T es el periodo

## CUESTIONARIO

1. ¿Qué significan las siglas ADC y que función desempeña este circuito?
2. ¿Cuál es el valor del voltaje analógico representado por  $V_a$  que se pretende digitalizar?
3. ¿Cuál es el voltaje del tamaño del escalón?
4. ¿Cuál es la resolución de este convertidor?
5. ¿Cuál fue el valor digital de la conversión del voltaje analógico  $V_a$ ?
6. ¿Cuál es la frecuencia del reloj?
7. ¿Cuántos pulsos se necesitaron para lograr la conversión?
8. ¿Cuánto tiempo se tardó en la conversión?
9. ¿Cuál es el voltaje analógico máximo que puede digitalizar de forma directa?
10. ¿Cuál sería el tiempo máximo de conversión? (de la pregunta 8).
11. ¿Explique el funcionamiento de este ADC?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)

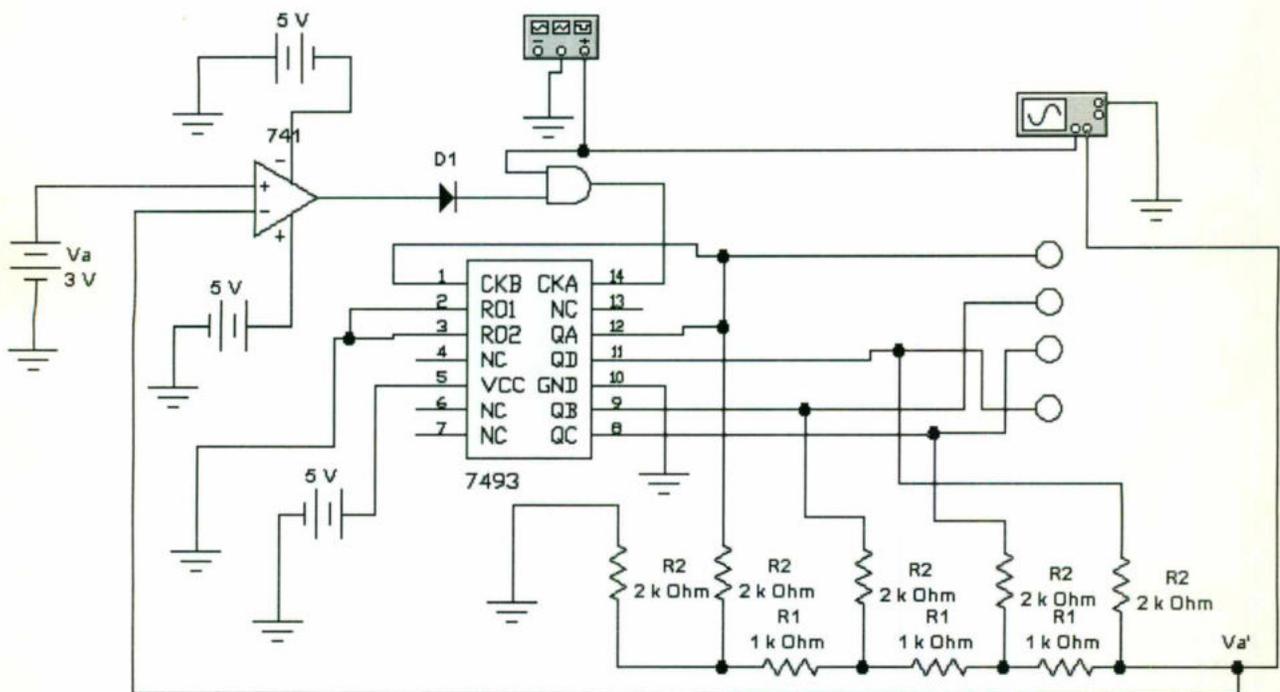


Fig. SD1-P10a.

Referencia:  
 Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
 Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRÁCTICA 10b**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

ADC SAC  
(Analogic Digital Converter Sucesive Aproximattion Converter)

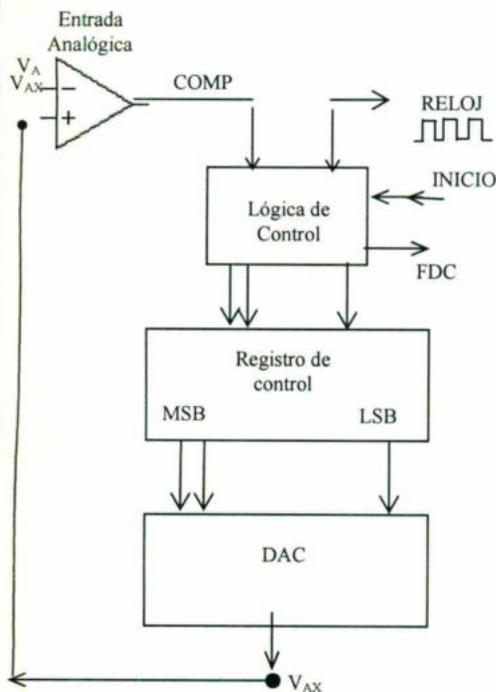
**OBJETIVO**

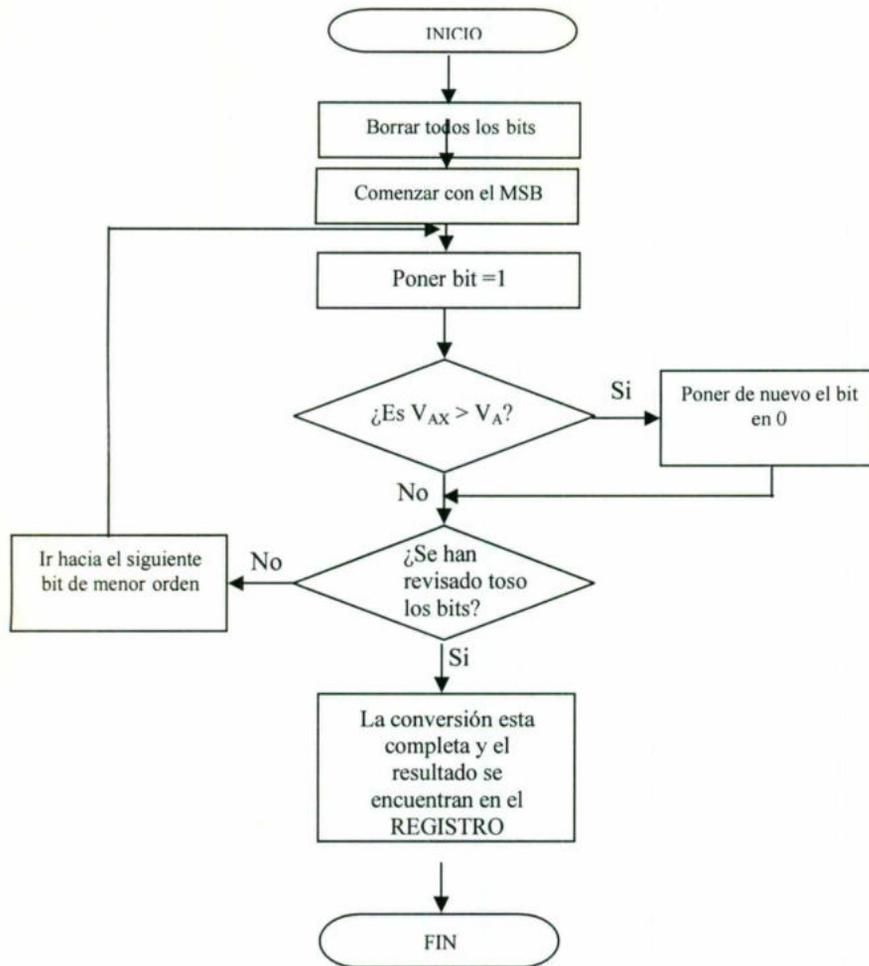
Implementar, analizar y observar el funcionamiento de un SAC ó CAS (Convertidor de aproximaciones sucesivas) como circuito integrado.

Leer en su texto el tema sobre el funcionamiento de un SAC como circuito integrado.

**MARCO TEORICO**

El convertidor de aproximaciones sucesivas es uno de los tipos de convertidor más utilizados. Tiene una circuitería más compleja que el ADC de rampa digital, pero un tiempo de conversión más pequeño. Además, los convertidores de aproximaciones sucesivas (CAS, por sus siglas en español; ó SAC, por sus siglas en inglés) tienen un tiempo fijo de conversión que no depende del valor de la señal analógica.





Los convertidores de aproximaciones sucesivas tienen tiempos de conversión relativamente rápidos, su uso en aplicaciones de adquisición de datos permitirá que se adquieran más valores de datos en un intervalo de tiempo dado. Esto puede ser muy importante cuando los datos analógicos cambian a una frecuencia relativamente rápida.

### PROCEDIMIENTO Y MEDICIONES

Implemente el circuito de la figura SD1-P10b.

Valores iniciales del Generador de Función:

Onda Triangular  
 Frecuencia 500 Hz  
 Duty Cycle 50  
 Amplitud 5 V  
 Offset 5

Valores iniciales del Osciloscopio:

<b>CH-A</b> 5 V/DIV	<b>CH-B</b> 5 V/DIV	<b>Time Base</b> 0.20 mS/div
Y position 0.00	Y position 0.00	X position 0.00
DC	DC	Y/T

Corra el programa y observe la forma de onda en el osciloscopio.

Señal en el CH-B, V del primer escalón = (conteste la pregunta 2 del cuestionario)

Ahora cambie la Frecuencia del Generador de Función a 15 Hz para poder apreciar mejor los cambios en la salida digital.

Corra el programa y observe la salida digital, el número binario mayor corresponderá al máximo voltaje alcanzado por la señal analógica (conteste la pregunta 5 del cuestionario).

### CUESTIONARIO

1. ¿Qué significan las siglas SAC y cual es la función que desempeña este circuito?
2. ¿Cuál es la resolución de este convertidor aproximadamente?
3. ¿Cuál es la frecuencia del reloj?
4. ¿Cuál es el voltaje analógico máximo que puede digitalizar de forma directa?
5. ¿Cuál es el número digital en Hexadecimal de la conversión de 10V de la señal analógica?
6. ¿Cuántos pulsos se necesitaron para lograr la conversión digital de 10V de la señal analógica?
7. ¿Cuánto tiempo se tardó el SAC en la conversión de 10V de la señal analógica?
8. ¿Qué significa EOC y que función desempeña?
9. ¿Qué significa OE y que función desempeña?
10. ¿Qué significa SOC?
11. ¿Qué significa +VREF ?
12. ¿Qué significa -VREF?
13. ¿Qué significa VIN?
14. ¿Qué significa D0 - D7?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.)

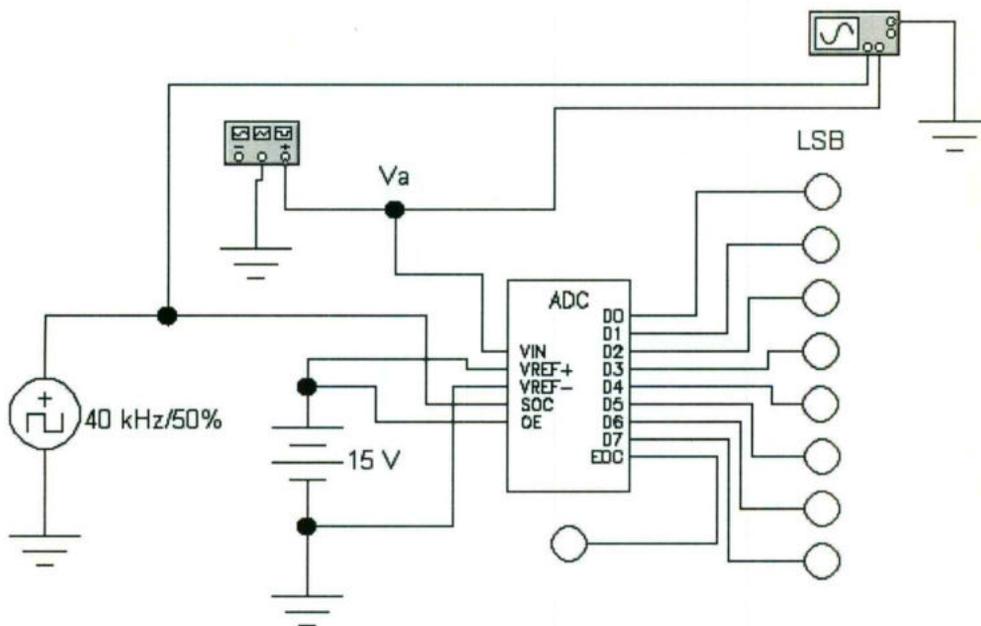


Fig. SD1-P10b

Referencia:  
Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRACTICA 10c**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**SAMPLE AND HOLD**

**OBJETIVO**

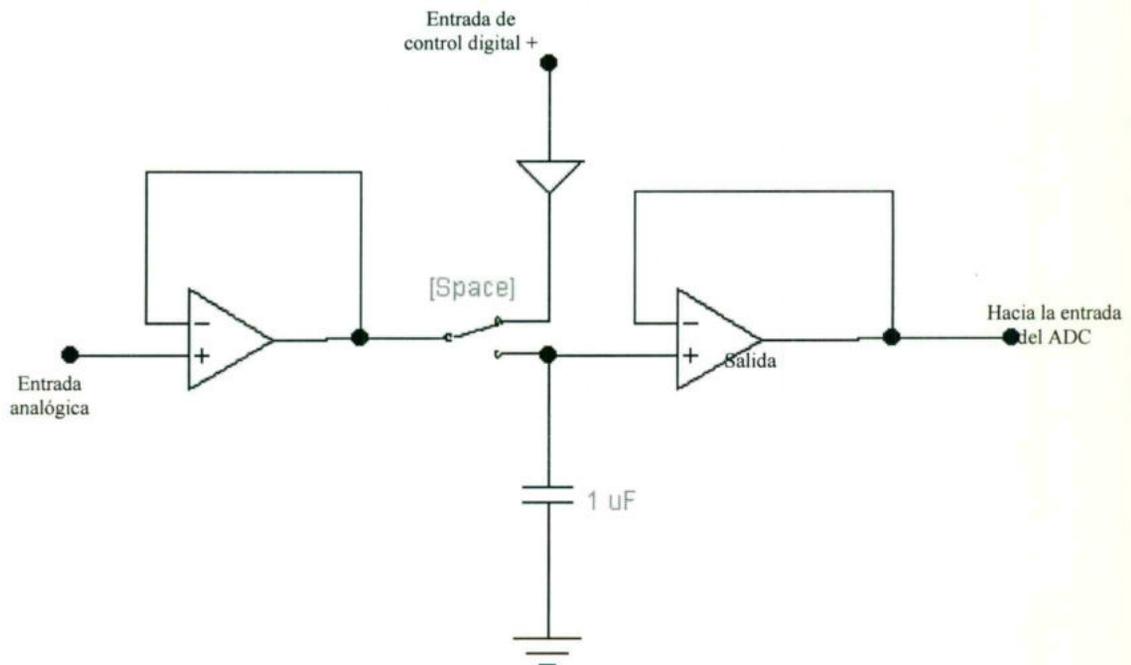
Implementar, analizar y observar el funcionamiento de un circuito de muestreo y retención.

Leer en su texto el tema sobre el funcionamiento de un circuito de muestreo y retención.

**MARCO TEORICO**

**CIRCUITOS DE MUESTREO Y RETENCION (SAMPLE AND HOLD)**

Cuando un voltaje analógico se conecta directamente a la entrada de un ADC, el proceso de conversión puede ser afectado desfavorablemente si este varía durante el momento de la conversión. La estabilidad del proceso de conversión puede mejorarse utilizando un circuito de muestreo y retención para tener constante el voltaje analógico mientras la conversión A/D se lleva a cabo.



El circuito S/H contiene un amplificador de entrada A, que presenta una alta impedancia a la señal analógica y tiene una impedancia de salida baja que puede cargar rápidamente al capacitor de retención,  $C_h$ . El capacitor será conectado a la salida A, cuando el interruptor digitalmente controlado esté cerrado. Esto se llama operación de muestreo. El interruptor estará cerrado el tiempo suficiente para que  $C_h$  se cargue al valor en curso de la entrada analógica.

## PROCEDIMIENTO Y MEDICIONES

Implemente el circuito de la figura SD1-P10c.

Valores iniciales del Generador de Función: Onda Senoidal

Frecuencia 100 Hz

Duty Cycle 50

Amplitud 2.5V

Offset 2.5

Valores iniciales del Osciloscopio:

**CH-A** 2 V/DIV

Y position 0.00

DC

**CH-B** 2 V/DIV

Y position -3.00

DC

**Time Base** 1.00 mS/div

X position 0.00

Y/T

Corra el programa

Observe la forma de onda en el osciloscopio

Coloque ahora los siguientes valores en el Osciloscopio:

**CH-A** 2 V/DIV

Y position 0.00

DC

**CH-B** 5 V/DIV

Y position -2.00

DC

**Time Base** 1.00 mS/div

X position 0.00

Y/T

Y conecte el CH-B a la salida del generador de pulsos, en el punto B.

Corra el programa

Observe la forma de onda en el osciloscopio

## CUESTIONARIO

1. ¿Cuál es la frecuencia de muestreo?
2. ¿Qué nos dice el teorema del muestreo?
3. ¿Estamos dentro de lo que marca este teorema?
4. ¿Para que se necesita muestrear la señal en algunos casos?
5. ¿Qué significan las siglas S-H?
6. ¿Qué significa muestrear?
7. ¿Explique el funcionamiento del circuito?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.).

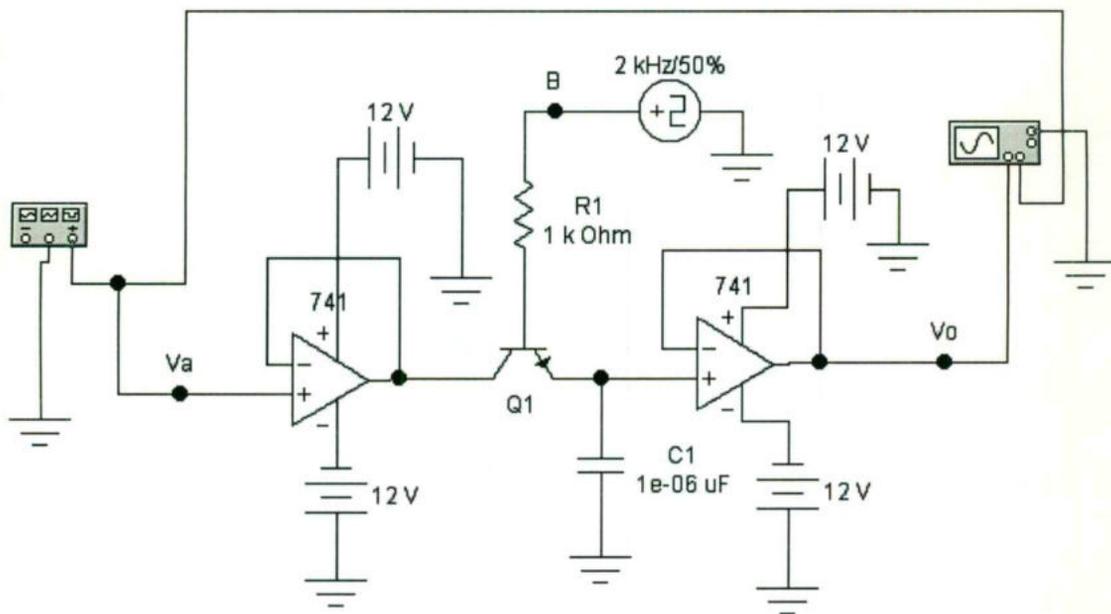


Fig. SD1-P10c

Referencia:

Ronald J. Tocci, "Sistemas Digitales, Principios y Aplicaciones", Prentice Hall Hispanoamericana.  
Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**UNIVERSIDAD AUTÓNOMA DE QUERÉTARO**  
**FACULTAD DE INGENIERÍA**  
**INGENIERÍA EN AUTOMATIZACIÓN**

**LABORATORIO DE SISTEMAS DIGITALES I**  
**PRACTICA 11**

Prof. Ing. Sergio Zavaleta Guerrero, M. en I. Sergio Eduardo Cervantes Pérez.

**MEMORIAS EPROM Y EEPROM**

**OBJETIVO**

Grabar datos en una memoria EPROM y EEPROM con el Programador Universal de Memorias.

Leer en su texto el tema sobre el funcionamiento de las memorias EPROM y EEPROM.

**MARCO TEORICO**

Una EPROM la puede programar el usuario, y también la puede borrar y reprogramar tan seguido como desee. Una vez programada, la EPROM es una memoria *no volátil* que mantendrá sus datos almacenados indefinidamente. El proceso para programar una EPROM implica la aplicación de niveles de voltaje especiales (comúnmente en un rango de 10 a 25V) a las entradas apropiadas del chip durante determinada cantidad de tiempo. El proceso de programación por lo general se realiza mediante un circuito especial de programación que está separado del circuito, en la cual EPROM finalmente estará trabajando.

Las celdas de almacenamiento en una EPROM son transistores MOS con una compuerta de silicio que no tiene conexiones eléctricas. En su estado normal cada transistor está apagado y cada celda está almacenando 1 lógico. Durante el proceso de programación de los pines de dirección y datos de la EPROM se usan para seleccionar qué celdas de memoria serán programadas como ceros y cuáles quedarán como unos.

Una vez que la celda EPROM ha sido programada, se puede borrar exponiéndola a la luz ultravioleta (UV) aplicada a través de una ventana en el paquete del chip. No existe forma para borrar sólo celdas seleccionadas; la luz UV borra todas las celdas al mismo tiempo, de modo que una EPROM borrada almacena únicamente unos. Una vez borrada, la EPROM puede ser reprogramada.

El proceso de programación escribe una palabra de ocho bits en la ubicación de dirección una solo vez como sigue: (1) la dirección se aplica a los pines de dirección; (2) los datos deseados se colocan en los pines de datos, a los cuales funcionan como entradas durante el proceso de programación; (3) un voltaje de programación mayor de 12.75 V se aplica a  $V_{PP}$ ; (4)  $C'E'$  se mantiene en BAJO; (5)  $P'G'M'$  se pulsa a BAJO durante 100  $\mu s$

y los datos se leen de regreso. Si los datos no se almacenaran con éxito, se aplicaría otro pulso  $P'G'M'$ . Esto se repite en la misma dirección, hasta que los datos de almacenen de manera correcta. Dicho proceso se repite para todas las ubicaciones de memoria.

	ENTRADAS				SALIDAS
<i>MODO</i>	<i>C'E'</i>	<i>O'E'</i>	<i>P'G'M'</i>	<i>VPP</i>	<i>D<sub>7</sub>-D<sub>0</sub></i>
<i>Lectura</i>	0	0	1	0-5V	<i>DATOS<sub>SAL</sub></i>
<i>Deshabilitar salida</i>	0	1	1	0-5V	<i>ALTA Z</i>
<i>Espera</i>	1	X	X	X	<i>ALTA Z</i>
<i>Programa</i>	0	1	0	12.75V	<i>DATOS<sub>ENT</sub></i>
<i>Verificación de Programa</i>	0	0	1	12.75V	<i>DATOS<sub>SAL</sub></i>

### PROCEDIMIENTO Y MEDICIONES

Implemente el circuito de la figura SD1-P11.

Utilizando la PC entre al software del programador universal de memorias, elija el fabricante, el tipo de memoria (EPROM) y el número de la memoria (2764).

Ingresa en cada dirección (celda) cada letra de su nombre en código ASCII, de forma manual.

Conecte el programador universal de memorias a la PC y grabe la EPROM 2764 con los datos.

Repita el procedimiento para una EEPROM 2864.

### CUESTIONARIO

1. ¿Cuál es la función que desempeña el programador universal de memorias?
2. ¿Cuál es la función que desempeña la PC conectada al programador universal de memorias?
3. ¿Cuál es la capacidad de la EPROM 2764?
4. ¿Cuánto tiempo tarda en borrarse una EPROM con luz ultravioleta?
5. ¿Cuántas veces se puede borrar y programar una EPROM aproximadamente?
6. ¿Qué significan las siglas EPROM?
7. ¿Cuál es la capacidad de la EEPROM 2864?
8. ¿Cuánto tiempo tarda en borrarse una EEPROM?
9. ¿Cuántas veces se puede borrar y programar una EEPROM aproximadamente?
10. ¿Qué significan las siglas EEPROM?
11. ¿Qué significan las siglas ASCII?
12. ¿Qué función desempeña el código ASCII?

Conclusiones (Interpretación de resultados, ¿se alcanzó el objetivo?, aplicaciones, etc.).

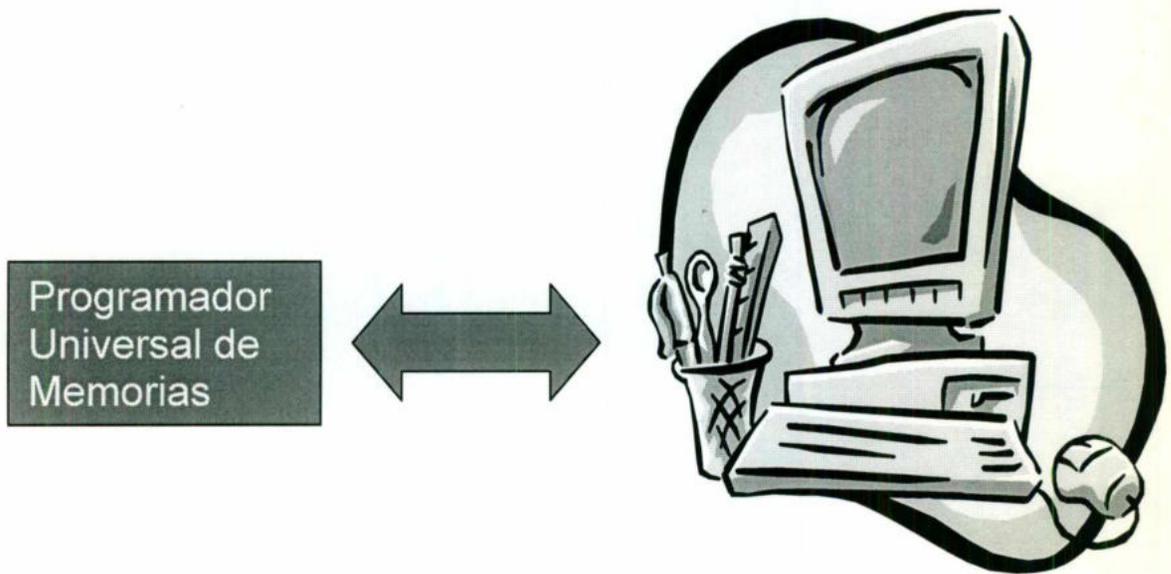


Fig. SD1-P11