



Universidad Autónoma de Querétaro
Facultad de Ingeniería
Doctorado en Ingeniería

UNIDAD EN ARQUITECTURA FPGA MODULAR Y ACOPLABLE A SISTEMAS CIENTÍFICOS Y TECNOLÓGICOS QUE REQUIERAN ANÁLISIS DE FASE Y AMPLITUD

TESIS

Que como parte de los requisitos para obtener el grado de

Doctor en Ingeniería

Presenta:

M. en C. Gonzalo Macias Bobadilla

Dirigido por:

Dr. Ibrahim Serroukh

SINODALES

Dr. Ibrahim Serroukh

Presidente

Firma

Dr. Luis Alfonso Franco Gasca

Secretario

Firma

Dr. René de Jesús Romero Troncoso

Vocal

Firma

Dr. Roque Alfredo Osornio Ríos

Suplente

Firma

Dr. Mauricio López Romero

Suplente

Firma

Dr. Gilberto Herrera Ruiz
Director de la Facultad de
Ingeniería

Dr. Luis Gerardo Hernández Sandoval
Director de Investigación y
Posgrado

Centro Universitario
Querétaro, Qro.
Agosto del 2011
México

RESUMEN

En el campo de la investigación de materiales y sistemas físicos, las funciones de detección de amplitud y fase de señal son ampliamente utilizadas para realizar una caracterización de los mismos. Para llevar a cabo el análisis de la señal de respuesta del sistema o material de estudio, es común utilizar un Amplificador Lock-In, estos dispositivos son capaces de medir señales periódicas, de voltaje o de corriente, de amplitudes muy pequeñas (del orden de los nanovolts) y en presencia de altos niveles de ruido. El análisis de este tipo de señales requiere de operaciones complejas, lo que involucra el uso de múltiples circuitos para el análisis y proceso de las señales medidas. El funcionamiento de los Amplificadores Lock-In modernos comerciales (Digitales) por lo general se basa en Microcontroladores (μC) o Procesadores Digitales de Señales (DSP), pero estos con el tiempo quedan descontinuados. En este trabajo de investigación se presenta el desarrollo de un Amplificador Lock-In basado en Arquitectura FPGA, lo que le permite disponer de reconfigurabilidad del hardware, además de una alta capacidad de procesamiento información de manera simultánea. Se presentan los criterios que se tomaron en cuenta para el desarrollo del mismo y se detalla el proceso diseño desde la parte en la lógica digital como en la parte analógica. Se presentan los resultados de diferentes pruebas y simulaciones. Finalmente los resultados permiten apreciar que el dispositivo es factible para uso en experimentos de Fotoacústica y Radiometría a bajas frecuencias.

(Palabras Clave: Amplificador Lock-In, FPGA, Fotoacústica y Radiometría, Fase, Amplitud, Frecuencia)

SUMMARY

In the Material and Physical System Research, the phase and amplitude detection are widely used to determine its characteristics. In order to analyze the signal response from material or study system, it is common to use Lock-In Amplifiers; these devices allow measuring Voltage or Current periodic signal waves, at nanovolts order in presence of high noise levels. The analysis of this kind of materials requires of complex mathematical operations and are involved too many circuits to analyze and process the measured signals. The digital commercial Lock-In amplifiers usually employ Microcontrollers (μC) or Digital Signal Processors (DSP), but after a time this kind of circuits are no longer used or made by the Companies. In this research work a FPGA based Lock-In Amplifier is presented, this allows to modify the hardware inside the FPGA, also allow processing a large amount of information simultaneously. The criteria to develop these devices are presented and the manufacturing design from the digital logic to analog section. Results of different kind of test and simulation are presented. Finally the results allow determining that the developed device can be implemented in Photoacoustic and Radiometry experiment at low frequencies.

(Keywords: Lock-In Amplifier, FPGA, Photoacoustic, Radiometry, Phase, Amplitude, Phase, Frequency)

DEDICATORIA

Dedicado a:

“Todos aquellos que hicieron posible este trabajo...”

Gonzalo M. B.

AGRADECIMIENTOS

Al CONACYT por el financiamiento de esta Investigación Doctoral.

“Seguramente sería necesario otro trabajo de tesis para expresar el agradecimiento a todas aquellas personas que hicieron posible este trabajo, cuyas páginas estarían llenas exclusivamente de nombres y aun así estoy seguro no estarían todos a quien debo agradecer...”

...GRACIAS

Gonzalo M.B.

INDICE

RESUMEN	i
SUMMARY	ii
DEDICATORIA	iii
AGRADECIMIENTOS	iv
INDICE	v
INDICE DE FIGURAS	vii
1. INTRODUCCION	1
1.1 Antecedentes	2
1.2 Hipótesis	12
1.3 Objetivos	13
1.4 Justificación	14
1.5 Bosquejo de la Tesis	16
1.6	
1.7	
2. REVISION DE LITERATURA	17
2.1 Amplificadores Lock-In (ALIs)	17
2.2 Funcionamiento Básico de una ALI	18
2.3 Modelo Matemático	22
2.4 Principio básico de una ALI Digital – Multiplicación Digital	23
2.5 Los FPGA	25
2.6 Síntesis Digital Directa (DDS) para generación de señales de Frecuencia arbitraria	27
2.7 Configuración Básica utilizada en experimentos Fotoacústicos	32
2.8 Configuración Básica utilizada en experimentos de Radiometría	38
3.	

METODOLOGIA	43
3.1 Bloque Esquemático general del Sistema	45
3.2 Pad Numérico 4x4	49
3.3 Pantalla LCD	52
3.4 Buzzer del Sistema	54
3.5 Modulo de Generación de Funciones (GF(x))	56
3.6 Driver del Doble DAC del Sistema	61
3.7 Modulo de Convolución (CONVOL)	66
3.8 Modulo de Promedio Dinámico (DAV)	68
3.9 Driver de los Convertidores Analógico Digital del Sistema	72
3.10 Modulo de CORDIC	76
3.11 Modulo de Despliegue y Transmisión RS-232	80
3.12 Proceso de Diseño de la Tarjeta de Adquisición de Datos	81
3.13 Calibración de la Señal Generada por Síntesis Digital Directa ⁸⁹	
3.14 Pruebas Experimentales con señal Auto-Simulada	90
3.15 Pruebas experimentales con análisis de Materiales	92
4. RESULTADOS	94
4.1 Resultados de Análisis de Estabilidad en Frecuencia	94
4.2 Resultados de Análisis de Fase con señal puramente digital	96
4.3 Resultados de Análisis de Fase con señal Analógica Controlada	98
4.4 Resultados de Análisis de Fase para la Película de Aluminio Delgada	100
5. CONCLUSIONES	102
6. BIBLIOGRAFIA	104
APENDICE A – G	107

INDICE DE FIGURAS

1. INTRODUCCIÓN

Figura 1.1 – SRS510/530	2
Figura 1.2 – SRS810/830	3
Figura 1.3 – SRS810/830	3
Figura 1.4 – SRS850	4
Figura 1.5 – Signal Recovery 5209	4
Figura 1.6 – Signal Recovery 5106	5
Figura 1.7 – Signal Recovery 7280	5
Figura 1.8 – Diagrama esquemático del lock-in contador de fotones desarrollado por Gökmen en 1995.	6
Figura 1.9 – Diagrama esquemático del Lock-in modular basado en DSP desarrollado por Barragán en 2001.	7
Figura 1.10 – Diagrama funcional del Lock-In para puerto ISA desarrollado por Gaspar en 2003.	8
Figura 1.11 – Diagrama Funcional del Lock-in desarrollado por Restelli en 2005.	8

Figura 1.12 – Maquina de promedio dinámico desarrollada por Macias en 2008 para el caculo del desfaseamiento de la señal medida y la señal de referencia	9
Figura 1.13 – Diagrama Funcional del Lock-in digital desarrollado por Lascos en 2008.	10
Fig. 1.14 – Diagrama del Detector de Fase-Frecuencia de B. Alecsa	10
Fig. 1.15 – Diagrama a bloques del Interferometro Heterodinon 2-colores 1-Canal presentado por L. Esteban	11
Fig. 1.16 – Diagrama a bloques del Sistema presentado por Zeng	12

2. REVISION DE LITERATURA

Figura 2.1 – Diagrama en bloques de las conexiones básicas de un ALI. a) Sin entrada de referencia externa. b) Con entrada de referencia externa.	19
Figura 2.2 Diagrama en bloques básico de un ALI.	21
Figura 2.3. Calculo de la fase de la señal de entrada.	21
Figura 2.4. Demodulación de una señal de entrada con desfaseamiento igual a 0 (“cero”), se aprecia que el valor promedio de la señal obtenida es máximo.	23

Figura 2.5. Demodulación de una señal de entrada con desfasamiento igual a 90° (negativos), se aprecia que el valor promedio de la señal obtenida es “cero”.	24
Figura 2.6. Estructura interna de un FPGA, diagrama general	26
Figura 2.7 – Acumulador de Fase	28
Figura 2.8 – Forma de onda de la señal Q del acumulador de fase	28
Figura 2.9 – Diagrama a bloques del Sintetizador digital de formas de onda arbitrarias	29
Figura 2.10 – Estructura pipeline del acumulador de fase de 32 bits	30
Figura 2.7 – Configuración básica para experimentos de Fotoacústica con celda sellada simple	32
Figura 2.8 – Configuración básica para experimentos de Fotoacústica con celda abierta simple.	33
Figura 2.9 – Configuración Diferencial de celdas Fotoacústicos	34
Figura 2.10 – Configuración utilizada por Zbingniew S. et. Al, para el análisis de la estructura cristalina en Tiristores	34
Figura 2.11 – Resultados de la variacion de Amplitud obteniados por Zbingniew S. et. Al	35

Figura 2.12 – Resultados de la variacion de Fase obtenidos por Zbingniew S. et. Al.	35
Figura 2.13 – Comparativa de la variacion en Amplitud de los resultados experimentales con respecto a los datos teoricos obtenidos por Zbingniew S. et. Al.	36
Figura 2.14 – Comparativa de la variacion en Fase de los resultados experimentales con respecto a los datos teoricos obtenidos por Zbingniew S. et. Al.	36
Figura 2.15 – Configuración para experimento de Radiometría usada por J.A. García.	38
Figura 2.16 – Valores normalizados de las variaciones en amplitud en relación con las USJ obtenidas por J.A. García.	39
Figura 2.17 – Configuracion utilizada por A. Bendada para experimentos de Radiometria	40
Figura 2.18 – Fase normalizada vs Frecuencia en diferentes capas de Tungsteno con grosores de 123 μ m (cudro obscuro), 223 μ m (triangulo), 449 μ m (circulo) y 835 μ m (cuadro claro) obtenidas por A. Bendada.	41

Figura 2.19 – Ajuste numerico correlacional entre las variaciones de fase obtenidas de la difusividad y efusividad termica para capas de Tungsteno con un grosor de 123 μ m obtenidas por A. Bendada.	41
---	----

3. METODOLOGIA

Figura 3.1 – Diagrama general a bloques del sistema diseñado: a) Módulo Generador de Funciones, b) Módulo de Convolución, c) Módulo de Promedio Dinámico, d) Módulo de CORDIC, e) Módulo RS-232, f) Módulo de Despliegue, g) ADC y h) DAC.	44
---	----

Figura 3.2 – Bloque Esquemático general que contiene todas las entradas y salidas del Sistema, a la izquierda se muestran las entradas y a la derecha las salidas, con sus anchos de palabras especificados entre paréntesis para cada etiqueta.	45
--	----

Figura 3.3 – Driver del Pad Numérico utilizado para el control de las funciones del equipo, se pueden apreciar las entradas a la izquierda y salidas a la derecha del Esquemático.	49
--	----

Figura 3.4 – Contador de 8 Bit utilizado para controlar los diferentes estados del Driver del Pad Numérico.	50
---	----

Figura 3.5 – Pad Numérico utilizado en el proyecto	51
--	----

Figura 3.6 – Bloque Esquemático del Driver de la pantalla LCD	
Para el control de la pantalla y los estados de la misma se utilizó un	
contador de 8 bits similar al que se muestra en la figura 3.4.	52
Figura 3.7 - Pantalla LCD utilizada en el Desarrollo del proyecto	53
Figura 3.8 – Multiplexor selector de valores de la pantalla LCD	53
Figura 3.9 – Configuración interna del Buzzer del Sistema	54
Figura 3.10 – Divisor de frecuencia del reloj principal utilizado para	
generar la frecuencia fundamental del Buzzer del Sistema y la	
segunda frecuencia de modularidad para la primera.	55
Figura 3.11 – Buzzer implementado en el Sistema	55
Figura 3.12 – Diagrama a bloques del módulo GF(x)	58
Figura 3.13 – Diagrama esquemático simplificado del Sintetizador	
Digital de formas de onda utilizado para generar las formas de onda	
Senoidal y Cosenoidal respectivamente	59
Figura 3.14 – Controlador de Desfasamiento conectado al Sintetizador de	
formas de onda, el cual permite al usuario generar una señal con fase	
arbitraria para pruebas experimentales con el mismo equipo, sin	
necesidad de un experimento externo.	60
Figura 3.15 – Diagrama Esquemático del Driver de control para el AD5545	61

Figura 3.16 – Configuración pines del AD5545	63
Figura 3.17 – Diagrama de tiempos generado por la máquina de estados para enviar los datos de la LUT hacia el DAC	64
Figura 3.18 – Etapa de compensación de potencia para cada salida del DAC AD5545	64
Figura 3.19 – Amplificador de Ajuste de nivel agregado a cada canal del DAC	65
Figura 3.20 – Diagrama a bloques del módulo de Convolución	67
Figura 3.21 – Diagrama Esquemático del Multiplicador Intrínseco de 36 bits	67
Figura 3.22 – Diagrama a bloques del módulo de Promedio Dinámico (DAV).	69
Figura 3.23 – Diagrama Esquemático del Sumador Intrínseco de 32 bits.	70
Figura 3.24 – Diagrama esquemático simplificado del Divisor por aproximaciones sucesivas diseñado por el Dr. René de Jesús Romero Troncoso.	71
Figura 3.25 – Diagrama Esquemático Simplificado del Driver del MAX1162	72
Figura 3.26 – Contador Ascendente – Descendente utilizado para controlar los pasos de la máquina de estados del Driver del MAX1162.	73

Figura 3.27 – Diagrama de Tiempos generado por la máquina de estados del Driver del MAX1162	74
Figura 3.28 – Configuración de Pines del MAX1162	74
Figura 3.29 – Configuración típica para alimentación eléctrica del MAX1162	75
Figura 3.30 – Etapa de Acoplamiento para las entradas del MAX1162	75
Figura 3.31 – Bloque general del módulo de CORDIC	79
Figura 3.32 – Diagrama a bloques general de los módulos de Transmisión RS-232 y Despliegue	80
Figura 3.33 – Ruteo de pistas en CAD de la Tarjeta base a la que se conecta las mini tarjetas con los convertidores ADC y DAC, la modularidad de esta tarjeta permite el fácil recambio de los componentes en caso de falla o daño de los mismos.	82
Figura 3.34 – Ruteo de pistas en CAD del encapsulado μ MAX para el MAX1162, puede observarse a la derecha de los pines dos espacios ruteados para colocar una resistencia y un led indicador de alimentación eléctrica.	83
Figura 3.35 – Ruteo de pistas en CAD del AD5545	84
Figura 3.36 – Vista superior de la Tarjeta base terminada y con la capa de estaño	84

Figura 3.37 – Vista Inferior de la tarjeta base terminada, pueden observarse los conectores atornillables y los potenciómetros de ajuste.	85
Figura 3.38 – Mini tarjeta diseñada para el MAX1162	85
Figura 3.39 – Mini tarjeta diseñada para el AD5545	86
Figura 3.40 – Tarjeta base incluyendo las mini tarjetas y los amplificadores operaciones	86
Figura 3.41 – Tarjeta base de adquisición diseñada conectada a la Tarjeta Spartan 3 a través del cable plano de 40 pines	87
Figura 3.42 – Vista del chasis del equipo diseñado, se observa la pantalla LCD y el Pad Numérico, pueden observarse a la derecha los conectores BNC para la Entrada y Salida de las señales	88
Figura 3.43 – Configuración Experimental para el análisis experimental en frecuencia	89
Figura 3.44 – Pruebas Auto - Generadas para comprobar fase y amplitud puramente digitales	90
Figura 3.45 – Pruebas Auto - Generadas para comprobar fase y amplitud analógicas controladas	91
Figura 3.46 – Configuración del experimento realizado en el CFATA – UNAM para análisis por Fotoacústica de Laminas delgadas de Aluminio	92

4. RESULTADOS

Figura 4.1 – Resultados de la Varianza de Alan realizados para el análisis de estabilidad en frecuencia del equipo diseñado para 1kHz	94
Figura 4.2 – Resultados de la Varianza de Alan realizados para el análisis de estabilidad en frecuencia del equipo diseñado para 5kHz	95
Figura 4.3 – Coordenada X resultado de la Convolución de la señal de entrada con la señal Senoidal de la referencia	96
Figura 4.4 – Coordenada X resultado de la Convolución de la señal de entrada con la señal Cosenoidal de la referencia	96
Figura 4.5 – Coordenadas X y Y, resultado de la Convolución de la señal de entrada con la señal Senoidal y Cosenoidal de Referencia Interna, puede observarse que el corrimiento de fase de 90° se mantiene constante en los 360°	97
Figura 4.6 – Se muestran los resultados comparativos obtenidos por el SR-830 versus los resultados de la función instrumental obtenida en el módulo de CORDIC.	98
Figura 4.7 – Se muestran los resultados comparativos obtenidos por el SR-830 versus los resultados de la función instrumental obtenida en el módulo de CORDIC.	99

Figura 4.8 – Fase medida en el barrido de Frecuencia de 600 a 900Hz obtenido por el SR – 830	100
Figura 4.9 – Fase medida en el barrido de Frecuencia de 600 a 900Hz obtenido por el Dispositivo Experimental	100
Figura 4.10 – Barrido de Frecuencia de 600 a 900Hz obtenido por el SR – 830 y el Dispositivo Experimental	101

5. CONCLUSIONES

BIBLIOGRAFIA

APENDICES

1. INTRODUCCIÓN

En el campo de la investigación de materiales y sistemas físicos, las funciones de detección de amplitud y fase de señal son ampliamente utilizadas para realizar una caracterización de los mismos.

Para llevar a cabo el análisis de la señal de respuesta del sistema o material de estudio, es común utilizar un Amplificador Lock-In, estos dispositivos son capaces de medir señales periódicas, de voltaje o de corriente, de amplitudes muy pequeñas (del orden de los nanovolts) y en presencia de altos niveles de ruido. Funcionan como un filtro pasa banda muy selectiva que, idealmente, mide una única componente de Fourier (una única frecuencia, donde el error máximo oscila 0.125Hz). Es decir, las mediciones no se ven afectadas por señales ubicadas en otras partes del espectro de entrada como por ejemplo ruido blanco, interferencias causadas por las líneas eléctricas o ruido de sistemas de cómputo.

El análisis de este tipo de señales requiere de operaciones complejas, lo que involucra el uso de múltiples circuitos para el análisis y proceso de las señales medidas. El funcionamiento de los ALIs modernos (Digitales) por lo general se basa en Microcontroladores (μ C) o Procesadores Digitales de Señales (DSP).

No obstante aunque el funcionamiento de este tipo de equipos ha demostrado ser muy bueno para diversas aplicaciones como la Radiometría, Fotoacústica y Fotoluminiscencia, existe una desventaja, debido al tamaño de estos equipos y a que por lo general son diseñados para el análisis de señales en laboratorio, es difícil acoplarlos de manera permanente a un sistema o material que se desee analizar constantemente, además su altos costos por unidad lo hace aun mas imposible.

Otro punto que cabe señalar es que los ALI comerciales por lo general disponen de muchas funciones especiales y medios de comunicación que en caso de ser implementado éste de manera permanente en un sistema o material de estudio, dichas funciones y sistemas de comunicación se desperdiciarían y no se sacaría el máximo provecho de la unidad.

1.1 Antecedentes

Dispositivos Comerciales.

Existen varias compañías que diseñan ALIs pero en este caso para fines prácticos los dispositivos mencionados a los que se hará referencia, serán dispositivos de las marcas Stanford Research Systems (SRS) y Signal Recovery.

SRS - SR510/530. Es un ALI Analógico, basado en un multiplicador analógico de señales senoidales para realizar la demodulación de la señal de entrada. El despliegue de la información se realiza mediante una escala analógica. Su rango de trabajo es de los 0.5Khz – 100KHz, emplea protocolos de comunicación RS-232 y GPIB [1]. Su precio es de \$3,295.00 USD.



Figura 1.1 – SR510/530

SRS - SR830. Es un ALI Digital, basado en un DSP para realizar la demodulación de la señal de entrada y realizar el cálculo de la fase y amplitud de la misma en la frecuencia seleccionada. Su despliegue de información es mediante displays 7segmentos. Su rango de trabajo es desde 1mHz – 102.5 KHz, emplea protocolos de comunicación RS-232 y GPIB [2]. Su precio es de \$4,950.00 USD.



Figura 1.2 – SR830

SRS - SR810. Es un ALI Digital, basado en un DSP y convertidores ADC de 16-Bits para realizar la demodulación de la señal de entrada y realizar el cálculo de la fase y amplitud de la misma en la frecuencia seleccionada. Sus Aplicaciones principales son el análisis de señales en RF. Su despliegue de información es mediante displays 7segmentos. Su rango de trabajo es desde 25KHz – 200MHz, emplea protocolos de comunicación RS-232 y GPIB [2]. Su precio es de \$9, 250.00 USD.



Figura 1.3 – SRS810

SRS - SR850. Es un ALI Digital, basado en un DSP y convertidores ADC de 18-Bits para realizar la demodulación de la señal de entrada y realizar el cálculo de la fase y amplitud de la misma en la frecuencia seleccionada. Su despliegue de información es mediante una pantalla CRT que permite el despliegue del proceso y las señales en diferentes formatos. Su rango de trabajo es desde 1mHz – 102.4 KHz, emplea protocolos de comunicación RS-232 y GPIB [3]. Su precio es de \$8,250.00 USD.



Figura 1.4 – SRS850

SIGNAL RECOVERY – 5209. Es un ALI Analógico, basado en un sistema de interruptores analógicos de señales para realizar la detección de la fase de la señal de entrada. El despliegue de la información se realiza mediante displays 7 segmentos. Su rango de trabajo es de los 0.5Khz – 120KHz, emplea protocolos de comunicación RS-232 y GPIB [4].



Figura 1.5 – Signal Recovery 5209

SIGNAL RECOVERY – 5106. Es un ALI en una tarjeta impresa capaz de adaptarse a un sistema de análisis. Su principio de operación está basado en un demodulador analógico de señal cuadrada. Requiere ser controlado por computadora y un software especial para controlar sus funciones y obtener sus salidas. Su rango de trabajo es de los 5Hz – 20KHz, emplea el protocolo de comunicación RS-232 [5].

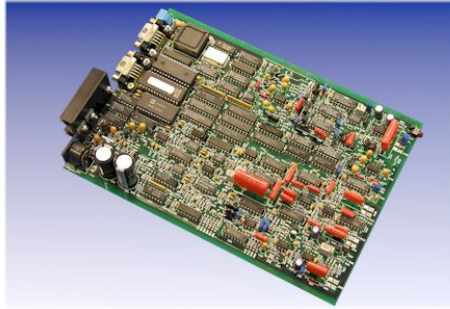


Figura 1.6 – Signal Recovery 5106

SIGNAL RECOVERY – 7280. Es un ALI Digital, basado en un DSP y convertidores ADC de alta velocidad (muestreos a velocidades de 7.5MHz) para realizar la demodulación de la señal de entrada y realizar el cálculo de la fase y amplitud de la misma en la frecuencia seleccionada. Su despliegue de información es mediante una pantalla LCD que permite el acceso al menú de las funciones del equipo y a las señales de salida en diferentes formatos. Su rango de trabajo es desde 0.5Hz – 2MHz, emplea protocolos de comunicación RS-232 y GPIB [6].



Figura 1.7 – Signal Recovery 7280

Dispositivos Experimentales y Publicaciones.

A continuación se muestran algunas publicaciones que hacen referencia al diseño de ALIs y sus implementaciones.

En 1995, Gökmen presenta los resultados de un Lock-In amplifier diseñado para conteo de fotones en técnicas de espectrometría. El ALI que presenta esta basado en electrónica analógica. Donde el principio de operación utiliza un chip para el conteo de pulsos emitidos por las descargas fotónicas de un material en estudio [7].

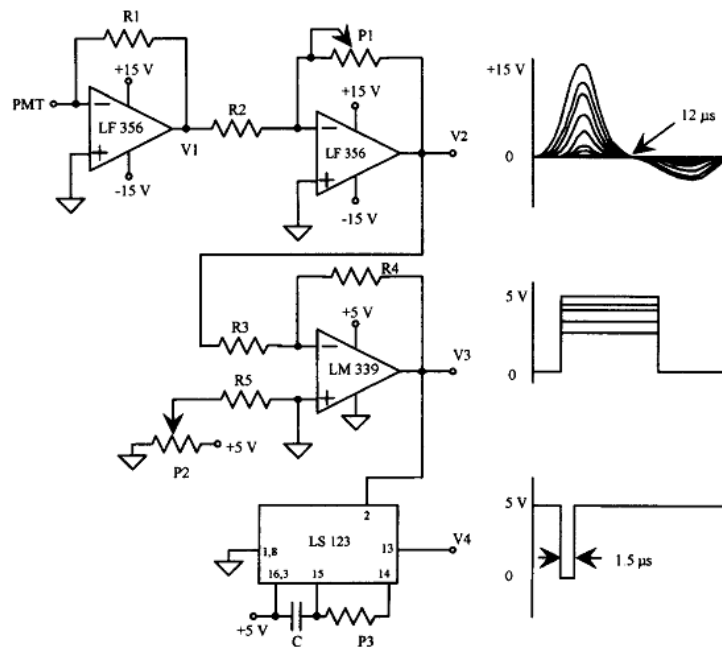


Figura 1.8 – Diagrama esquemático del lock-in contador de fotones desarrollado por Gökmen en 1995.

En 2001, Barragán presenta en su artículo el diseño e implementación de un amplificador Lock-In Digital basado en una tarjeta DSP (Digital Signal Processor), las aplicaciones principales a las que atribuye su desarrollo son la medición de la atenuación óptica. La implementación se realizó utilizando como circuito principal el DSP56002EVM de Motorola, un procesador digital de señales de uso general, y un convertidor ADC de 24Bits. Refiere que en sus resultados se obtienen valores de respuesta similares a los probadores ópticos de atenuación comerciales [8].

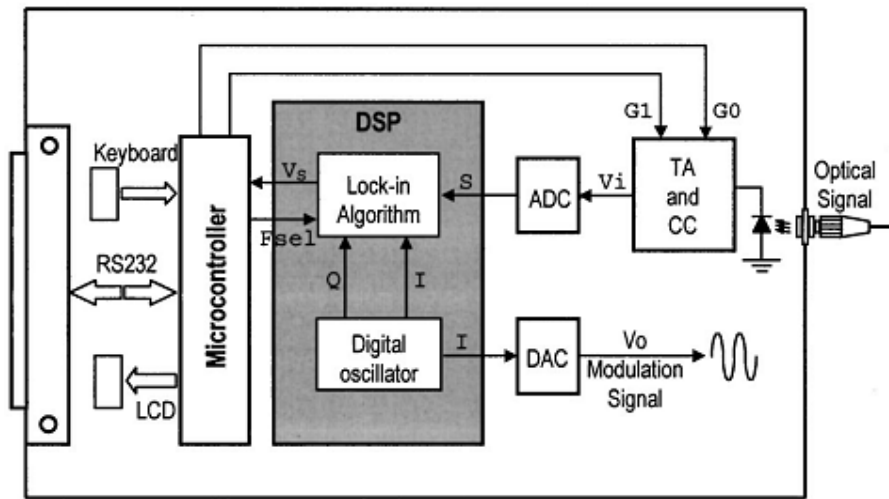


Figura 1.9 – Diagrama esquemático del Lock-in modular basado en DSP desarrollador por Barragán en 2001.

En 2003, Gaspar presenta un prototipo de Lock-In y un PLL Digitales basados en un DSP, el desarrollo se realiza sobre una tarjeta de procesamiento de señales que se conecta a la computadora por medio del puerto ISA, el equipo requiera además de una interfase por computadora para poder realizar las operaciones. Entre sus resultados menciona que el PLL Digital puede realizar detecciones de señales de 0.5Hz – 20KHz. Las señales de entrada que puede medir oscilan entre los -3.5V y los 3.5V, lo que le da una sensibilidad de 75uV RMS. Alcanza una reserva dinámica de 60dB [9].

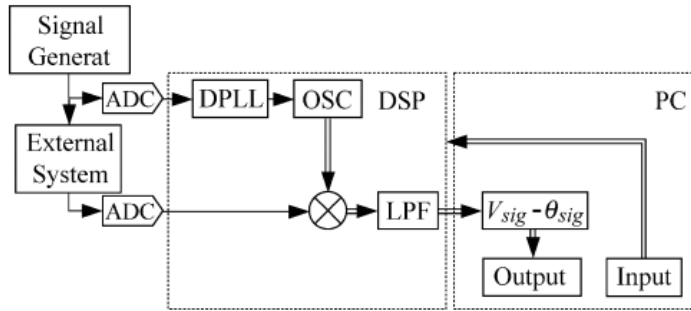


Figura 1.10 – Diagrama funcional del Lock-In para puerto ISA desarrollado por Gaspar en 2003.

En 2005, Restelli presenta los resultados del diseño de un Lock-In Digital basado en un arreglo programable de compuertas (FPGA), menciona en su artículo las ventajas de utilizar las técnicas digitales en lugar de utilizar técnicas analógicas. En sus resultados refiere que el ALI desarrollado puede ser utilizado en conteo de fotones. Además, menciona que una de las principales ventajas de la unidad es que es reconfigurable, puede operar en un amplio rango de parámetros aunado al bajo costo del desarrollo de la unidad sobre la arquitectura de arreglo programable de compuertas (FPGA) [10].

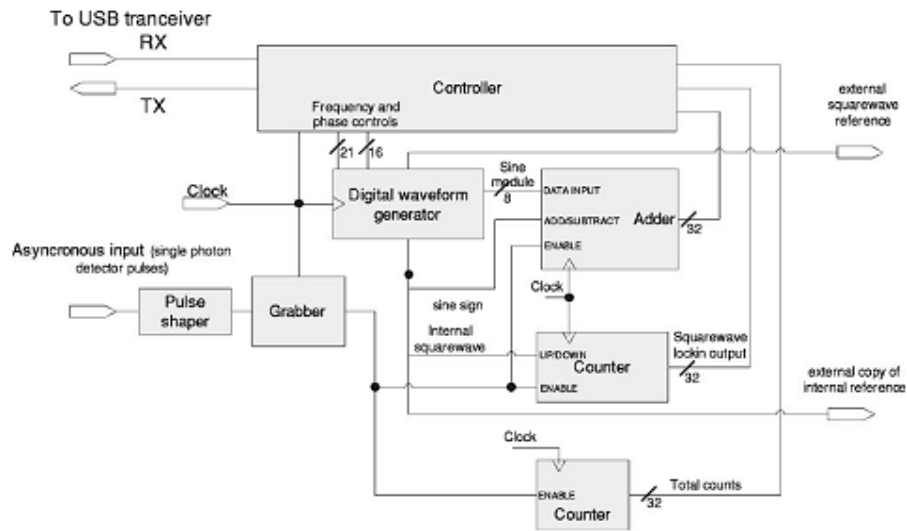


Figura 1.11 – Diagrama Funcional del Lock-in desarrollado por Restelli en 2005.

En 2008, Macias presenta resultados de un dispositivo para análisis de fase a bajas frecuencias basado en FPGA, el promedio del resultado de la convolución el cual es directamente proporcional al desfase de la señal medida con respecto a la de referencia es calculado dinámicamente y en tiempo real por cada ciclo de la señal de referencia, el artículo muestra los resultados del estudio de estabilidad en frecuencia para la señal generada, realizados en el Centro Nacional de Metrología (CENAM) – México. Además se muestran los resultados de detección de fase y amplitud con una señal generada sintéticamente y comparando los resultados con un Timer-Counter-Analyzer CNT-91 50ps/300MHz sincronizado con un Primary Frequency-Standard-Cesium 5071A de Hewlett Packard [11].

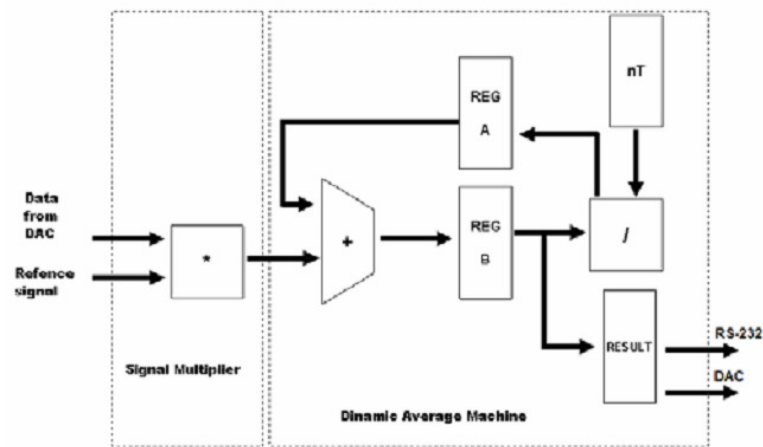


Figura 1.12 – Máquina de promedio dinámico desarrollada por Macias en 2008 para el cálculo del desfase de la señal medida y la señal de referencia.

En 2008, Lascos presenta los resultados de un detector de fase para bajas frecuencias basado en FPGA, utilizando un convertidor de ADC de baja velocidad (200ksps) y una resolución de 16 bits, la función para realizar la detección de fase la realiza por el método de cuadratura, utilizando una señal de referencia interna en fase y la otra desfasada 90° , refiere obtener sensibilidades de hasta 0.001° de desfase y una desviación estándar de hasta 0.01% [12].

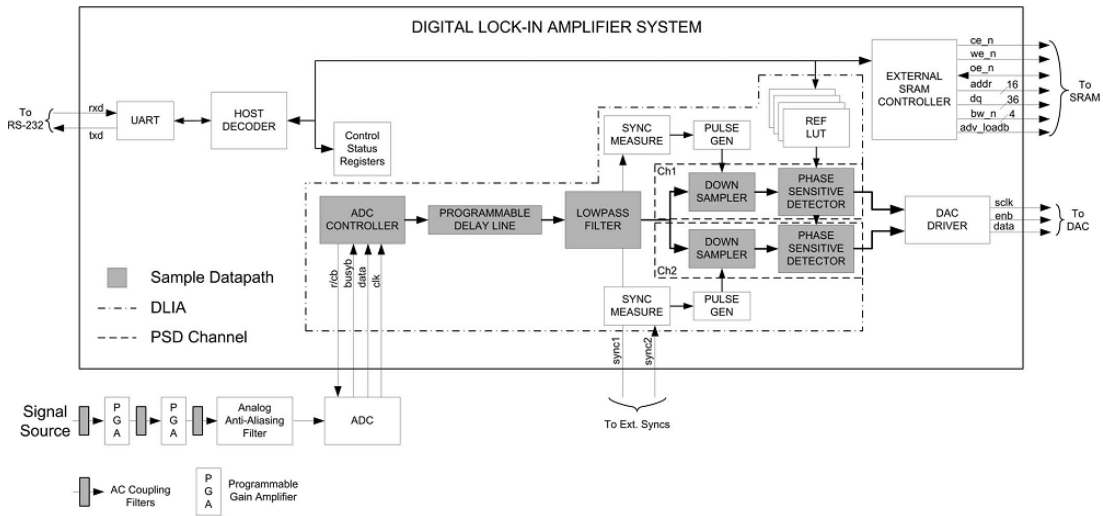


Figura 1.13 – Diagrama Funcional del Lock-in digital desarrollado por Lascos en 2008.

En 2009, B. Alecsa muestra los resultados de un detector de fase de lazo cerrado (PLL) digital aplicados a la detección y medición de velocidad por medio de un tacómetro óptico. La salida del tacómetro es comparada a una señal de referencia obteniendo como resultado una señal de modulada por ancho de pulso (PWM) correspondiente al error, correlacionada con la fase y frecuencia de la salida, y permitiendo de esta manera ajustar las mediciones calculadas por el tacómetro óptico. El desarrollo se realizó en FPGA [13].

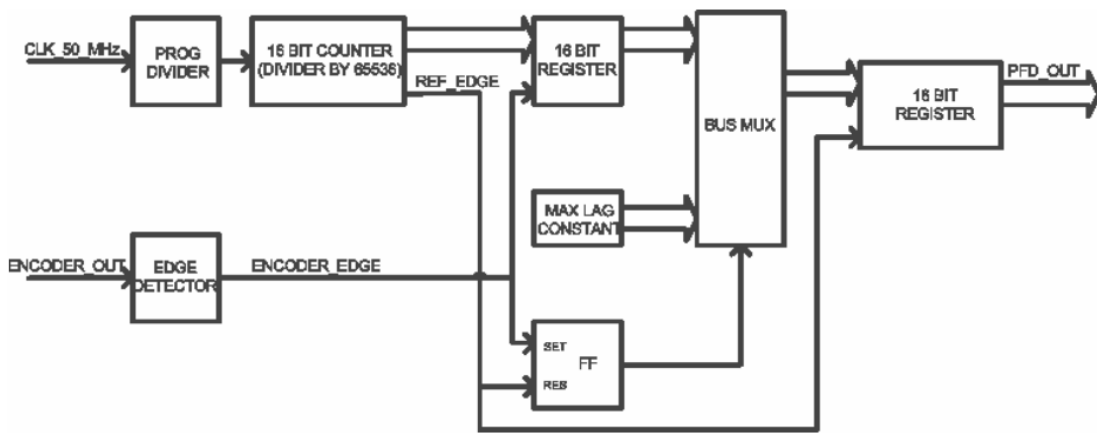


Fig. 1.14 – Diagrama del Detector de Fase-Frecuencia de B. Alecsa

En 2010, L. Esteban presenta los resultados obtenidos de un detector de fase diseñado para el control y medición de un interferómetro infra-rojo (IR), donde justifica la implementación del desarrollo en FPGA debido a que los microprocesadores no permiten un cálculo real de los datos, además de que el desarrollo en FPGA permite una integración de los controladores de los ADC de alta velocidad en el mismo sistema, se puede observar que la resolución obtenida no depende de la lógica implementada en el hardware reconfigurable, sino de los dispositivos externos como los convertidores ADC [14].

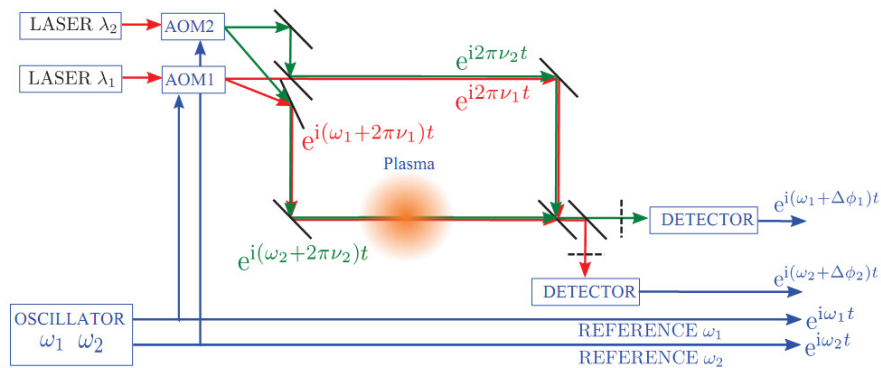


Fig. 1.15 – Diagrama a bloques del Interferómetro Heterodinon 2-colores 1-Canal presentado por L. Esteban

En 2010, Zeng presenta los resultados del desarrollo de un dispositivo multicanal y multifrecuencia para la medición de señales a niveles de μV en presencia de altos niveles de ruido basado en FPGA. Para el desarrollo del dispositivo se utilizó un ADSP-21992 de Analog Devices el cual contiene un ADC de 8 canales a 14 bits y 20MSPS para la adquisición de los datos y un FPGA de Actel. En los resultados se obtuvieron detecciones de hasta $4 \mu\text{V}$ en presencia de altos niveles de ruido [15].

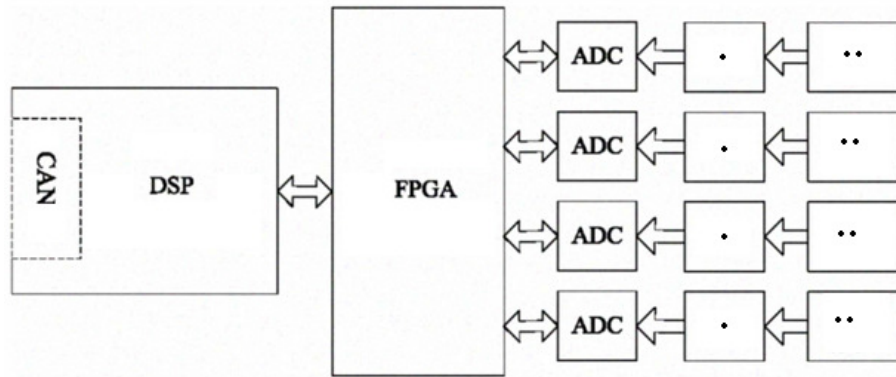


Fig. 1.16 – Diagrama a bloques del Sistema presentado por Zeng

En 2011, Guo J. presenta resultados de un sincronizador binario utilizando las características de un PLL y las técnicas de Síntesis Digital Directa (DDS) para la generación de señales. El dispositivo desarrollado permite ajustar diferentes parámetros digitalmente como la fase y la frecuencia, el desarrollo se realizó completamente sobre la arquitectura FPGA, los resultados y la metodología permiten demostrar de igual manera que la sensibilidad del dispositivo no está determinada por la lógica implementada en FPGA sino por los dispositivos físicos externos [16].

1.2 Hipótesis

Es posible implementar en un arreglo programable de compuertas (FPGA) una unidad de detección de Fase y Amplitud, como lo es el principio fundamental de los ALIs, permitiendo la implementación del dispositivo por su reducido tamaño y bajo costo, en sistemas y materiales de estudio, contando con la posibilidad de comunicación externa para recibir y transmitir información usando protocolos estándar.

1.3 Objetivos

Objetivo Especifico. Diseñar una unidad Digital de Análisis de Fase y Amplitud capaz de estimular materiales y sistemas de estudio, generando las señales periódicas de estimulación a diferentes frecuencias seleccionables por el usuario, bajo una arquitectura de Arreglo Programable de Compuertas (FPGA) y leer las señales de respuesta para su análisis cualitativo y cuantitativo.

Objetivo Particular 1. Diseñar una unidad capaz de ser instalada en el material o sistema de estudio permitiendo de esta manera la monitorización in-situ del mismo, además de poder transmitir la información leída o recibir comandos de control a través del protocolo RS-232.

Objetivo Particular 2. Perfilar la unidad para manejar protocolos estándar de comunicación, en donde no será necesario utilizar ningún software especial para realizar el control de la unidad o extraer datos de la misma.

Objetivo Particular 3. Generar la posibilidad de implementar la unidad como un elemento en Línea de algún sistema de control que requiera mediciones de fase o amplitud, proporcionando señales estándar ajustables al sistema en que sea implementado.

Objetivo Particular 4. Obtener resultados que podrían tener nivel de competencia con los equipos comerciales y en el estado de arte de los dispositivos de análisis de Fase y Amplitud como lo son los amplificadores Lock-In Digitales.

Objetivo Particular 5. Proponer la unidad como una alternativa confiable para el análisis de señales en los campos de la Radiometría, Fotoacústica o Fotoluminiscencia a bajo costo con una arquitectura adaptable, escalable y totalmente reconfigurable. Aplicabilidad tanto al campo Científico y Tecnológico.

Objetivo Particular 6. Implementar experimentalmente la unidad en Sistemas que requieran análisis de fase y amplitud como lo es el campo de la Radiometría, Fotoacústica y Fotoluminiscencia entre otros, logrando resultados a nivel publicable de las aplicaciones propuestas.

1.4 Justificación

En los dispositivos comerciales hasta el momento ninguno ofrece trabajar bajo la arquitectura FPGA, pues todos mencionan en sus especificaciones técnicas que trabajan con DSPs.

Las ALIs comerciales en su mayoría son desarrolladas para trabajar en ambientes de laboratorio y su diseño de gran tamaño no permite que sean elementos fáciles de acoplar de manera permanente a sistemas o materiales de análisis. Su costo que oscila entre los \$3000 USD y los \$9500 USD hacen aun más imposible por lo incostruable su implementación permanente [1-6].

Algunos modelos en formato tipo tarjeta, ofrecen la posibilidad de ser implementados en línea o como un elemento de análisis en algún sistema de estudio. Sin embargo dentro de sus especificaciones mencionan que su principio de operación es analógico y que requiere de una conexión a la computadora para dar salida a sus datos y recibir los comandos de operación, lo cual hace indispensable a su vez el uso de un software específico para el control de la unidad [5].

En la Revisión de Literatura realizada para esta investigación, los autores hacen referencia al uso de procesadores digitales de señales (DSP) de uso general, donde mencionan que las técnicas de análisis y demodulación de señales se basan en subrutinas programadas en el DSP. Los resultados que obtienen aunque son buenos de acuerdo a las aplicaciones que proponen, se ven limitados al uso de “la marca y familia” del DSP en uso. Mismos que después de un tiempo son descontinuados por las

compañías distribuidoras del circuito por llegar a ser estos obsoletos con el paso del tiempo [9].

La ventaja del equipo que se desea desarrollar en esta investigación, es que emplea técnicas digitales para el análisis y procesamiento de señales. Las técnicas digitales ofrecen muchas ventajas sobre las técnicas analógicas, donde las principales se ubican en los bajos costos del desarrollo del demodulador de señal y del premediador de la misma, así como mayor exactitud de las operaciones.

Otra gran ventaja del equipo que se desea desarrollar es que al estar diseñado bajo una arquitectura de arreglo programable de compuertas (FPGA), no esta limitada al uso exclusivo de una familia de circuitos y mucho menos a una marca distribuidora de los mismos. El código descriptivo del hardware (VHDL) que se desea utilizar es aplicable e implementable a una amplia gama de FPGAs de Distintas Compañías que cumplan con la cantidad disponible de compuertas, por ser este un estándar de la IEEE.

Además por el reducido tamaño y bajo costo que se busca de la implementación, debido a que en el equipo se implementaran solo las funciones indispensables, el dispositivo podrá ser acoplable a sistemas y materiales de estudio de forma permanente, sin olvidar que por tener esta comunicación por medios y protocolos estándar sin la necesidad de un software específico, lo harán ideal para diversas aplicaciones de propósito general, sin la necesidad fundamental de un equipo externo que controle su operación.

1.5 Bosquejo de la Tesis

El presente trabajo se ha redactado de la siguiente manera: El capítulo 2 comprende la Revisión de Literatura correspondiente a las últimas publicaciones respecto al tema, de igual manera se presentan como antecedentes teóricos para esta investigación. En el capítulo 3 se menciona detalladamente la Metodología utilizada en el desarrollo de esta investigación. El capítulo 4 muestra los resultados obtenidos con el método propuesto en el capítulo 3 sin abordar conclusiones. El capítulo 5 contiene las Conclusiones de esta investigación en la que se discuten diferentes premisas. Finalmente se incluye en este documento una sección de Apéndices que contienen información adicional a esta investigación la cual permite tener una mejor comprensión de la misma, así como el código fuente (Lenguaje VHDL) desarrollado para la unidad reconfigurable.

2. REVISIÓN DE LITERATURA

El objetivo de esta sección es presentar la información necesaria que facilita la comprensión de la investigación. De igual manera presenta información de las más recientes publicaciones al momento de la redacción de este documento concernientes al tema. Se presenta la definición de los Amplificadores Lock-In y las diferencias de sus principios de operación. Se muestran algunos ejemplos de técnicas no invasivas como Fotoacústica, experimentos Fototérmicos y Radiometría en los cuales es fundamental el uso de los Amplificadores Lock-In. Finalmente, se muestra el alcance que puede tener la aplicación de las tecnologías de hardware reconfigurable en las técnicas de detección de Fase y Amplitud.

2.1 Amplificadores Lock-In (ALIs)

Los amplificadores de enganche o más comúnmente llamados Amplificadores Lock-In (ALIs) son instrumentos muy usados en la ciencia y la ingeniería. Son capaces de medir señales periódicas, de voltaje o de corriente, de amplitudes muy pequeñas (del orden de los nanovolts) y en presencia de altos niveles de ruido. Funcionan como un filtro pasa banda muy selectiva que, idealmente, mide una única componente de Fourier (una única frecuencia). Es decir, las mediciones no se ven afectadas por señales ubicadas en otras partes del espectro de entrada (como por ejemplo ruido blanco, interferencias causadas por las líneas eléctricas o ruido de sistemas de cómputo).

La técnica utilizada por estos instrumentos es llamada detección sensible a la fase (DSF), la cual trabaja en forma sincronizada con una señal de referencia. Consiste en la demodulación sincrónica de la señal a medir, utilizando una referencia interna. Esta señal de referencia posee alta pureza espectral y la misma frecuencia de la señal a medir. En ALIs modernos se realiza una detección con la componente en fase de la referencia interna y otra con la componente en cuadratura. Esto hace posible una medición muy precisa de la amplitud y la fase de la señal de entrada, como se explica más adelante.

Los primeros ALIs funcionan en base a electrónica analógica. Sin embargo, al igual que la mayoría de las áreas de la electrónica, la implementación de ALIs utilizando DSPs presenta numerosas ventajas, tales como mayor inmunidad al ruido, precisión, inmunidad al paso del tiempo y condiciones climáticas, facilidad de fabricación, mayores prestaciones, etc. Es por esto que los ALI diseñados en los últimos años están basados en DSPs. En general, el procesamiento es implementado usando procesadores digitales de señal (DSPs), que son microprocesadores diseñados para ejecutar operaciones matemáticas (fundamentalmente sumas y productos) en forma eficiente. (Oswaldo Sonnaiillon, 2007)[17].

2.2 Funcionamiento Básico de una ALI

Como ya se mencionó, los ALIs utilizan una técnica llamada detección sensible a la fase (DSF). Para esto se usa una señal de referencia que debe poseer exactamente la misma frecuencia que la señal a medir. Esta referencia que sincroniza el ALI puede ser generada por el propio instrumento o puede ser generada externamente, dependiendo de la aplicación.

En la Figura 2.1 se muestran dos diagramas básicos. En la parte a) se muestra las conexiones de un ALI a un sistema desconocido para el caso en que no se utiliza referencia externa. En este caso el ALI genera una señal senoidal de muy baja distorsión, la cual es utilizada en el Detector Sensible de Fase (DSF) interno y además es la señal de excitación del sistema a medir. Luego de atravesar el sistema, la señal senoidal sufre distorsiones en amplitud y fase (representados por la escala A y la fase \emptyset) en el caso que sea un sistema lineal, y además sufre de distorsión armónica y agregado de ruido en el caso general de sistemas no-lineales. La parte b) de la figura muestra la conexión del ALI cuando utiliza una señal de referencia externa. En este caso normalmente se utiliza un generador de señales de muy baja distorsión y bajo ruido. El ALI utiliza una señal externa para sincronizar su generador interno. Esta sincronización normalmente es llevada a cabo por un lazo de enganche de fase (phase locked loop, PLL).

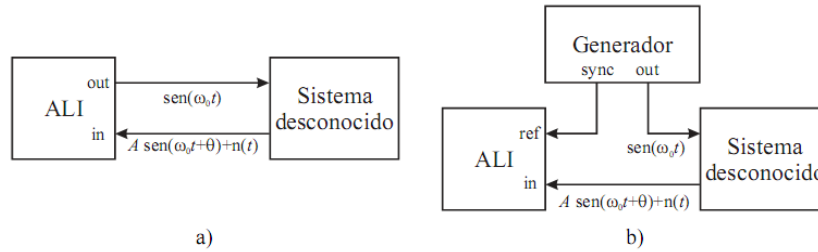


Figura 2.1 – Diagrama en bloques de las conexiones básicas de un ALI. a) Sin entrada de referencia externa. b) Con entrada de referencia externa.

La referencia utilizada por un ALI moderno consiste en dos señales senoidales en cuadratura, cuyas expresiones ideales son las siguientes:

$$r_x(t) = \text{sen}(\omega_0 t) \quad \text{Ecuaci} \quad (2.1)$$

$$r_y(t) = \text{cos}(\omega_0 t) \quad \text{Ecuaci} \quad (2.2)$$

La señal de entrada, en (t), esta compuesta por una senoidal de frecuencia ω_0 sumada a una función genérica que representa el ruido y la distorsión armónica, llamada n (t):

$$en(t) = A \text{sen}(\omega_0 t + \theta) + n(t) \quad l \quad (2.3) \quad 2.8$$

Un ALI digital amplifica esta señal y luego la digitaliza. En el dominio digital, un microprocesador calcula el producto de la entrada por las frecuencias de referencia (demodulación):

$$Px(t) = en(t) \cdot r_x(t) = \frac{1}{2} A \cos(\theta) - \frac{1}{2} A \cos(2\omega_0 t + \theta) + n_x(t) \quad (2.4) \quad 2.9$$

$$Py(t) = en(t) \cdot r_y(t) = \frac{1}{2} A \text{sen}(\theta) - \frac{1}{2} A \text{sen}(2\omega_0 t + \theta) + n_y(t) \quad (2.5) \quad n \quad 2.10$$

Las componentes de alterna son filtradas utilizando filtros pasa bajos (LPF, siglas en ingles), para obtener una estimación del valor promedio o componente de continua. De esta forma se obtienen dos señales con estimaciones de las componentes en fase y en cuadratura de la señal de entrada:

$$X = 2\bar{p}_x \approx A\cos(\theta) \quad (2.6)$$

$$Y = 2\bar{p}_y \approx A\sin(\theta) \quad (2.7)$$

Las componentes de ruido cercanas a la frecuencia de referencia introducen errores de medición. Estos errores dependen del espectro del ruido, y pueden ser disminuidos reduciendo la frecuencia de corte de los Filtros Pasa Banda (FPB, siglas en ingles). Sin embargo, una menor frecuencia de corte requiere de un mayor tiempo de establecimiento en los filtros y consecuentemente mayor tiempo de medición.

A partir de las señales X e Y, se puede calcular la magnitud y fase de la señal de entrada con respecto a la referencia.

$$A = \sqrt{X^2 + Y^2} \quad (2.8)$$

$$\theta = \text{atan2}(Y, X) \quad (2.9)$$

Donde la función atan2 (Y, X) calcula el ángulo del vector formado por las componentes X e Y.

En la figura 2.2 se muestra un diagrama en bloques básico de un ALI. Las entradas son la señal a medir y la señal de referencia. Esta última es opcional, ya que el ALI puede estar sincronizado con una referencia interna, en cuyo caso se utiliza la salida de referencia. Las salidas son las mediciones dadas por las ecuaciones 2.6 y 2.7 o 2.8 y 2.9.

En caso de utilizar una referencia externa, el generador interno utiliza un PLL para sincronizarse. Esta sincronización es crítica ya que un desfase entre ambas produce error de fase a la salida del instrumento. La calidad de la señal generada internamente influye significativamente en el desempeño del instrumento. Esta señal debe ser estable en frecuencia, esto se traduce en un error de magnitud en las mediciones. Si contiene armónicos significativos, el instrumento detecta no solo la componente fundamental de la señal medida sino también sus armónicos [17].

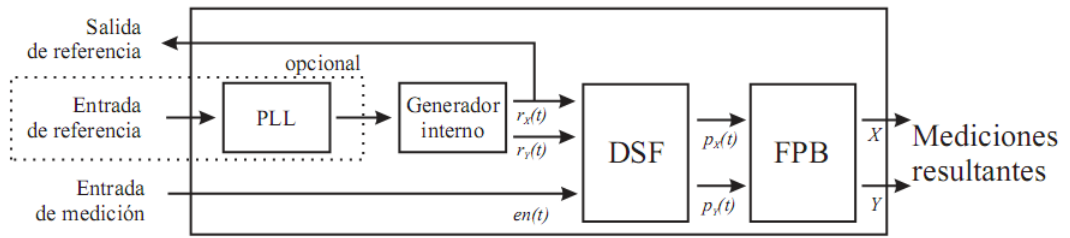


Figura 2.2 Diagrama en bloques básico de un ALI.

Las características principales de un ALI son las siguientes:

Sensibilidad: es la mínima señal (expresada en V o A) que es capaz de medir con la precisión especificada. Este parámetro está limitado por el pre-amplificador a la entrada el instrumento y la resolución del convertor analógico/digital (ADC).

Ancho de banda: determina las frecuencias de referencia mínima y máxima a las que puede trabajar. La frecuencia máxima está limitada por la frecuencia de muestreo del procesamiento y los circuitos analógicos de entrada. La frecuencia mínima de un ALI digital está limitada generalmente por el procesamiento de las señales.

Reserva Dinámica: Es la relación entre el máximo nivel de ruido tolerable (por ejemplo, sin que la entrada sature) y la mínima señal “medible”. En instrumentos digitales este parámetro está limitado fundamentalmente por el rango dinámico del ADC de la entrada.

Filtros de Salida: Valores máximos y mínimo de la frecuencia de corte de los filtros de salida (normalmente expresados como constantes de tiempo). Estos parámetros están limitados por el procesamiento interno.[18]

2.3 Modelo Matemático

En la siguiente ilustración se muestra el principio de operación de un amplificador ALI, donde el ALI genera su propia señal senoidal, mostrada como la señal de referencia [14]. Donde la señal de referencia es igual a:

$$V_L \sin(\omega_L t + \theta_{ref}) \quad (2.10)$$

En la Figura 2.3 se muestra el caso gráficamente:

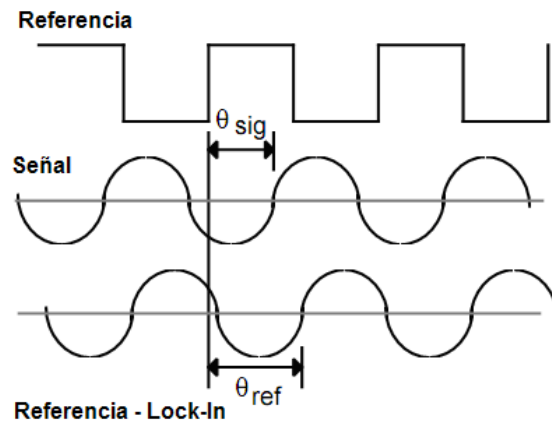


Figura 2.3. Cálculo de la fase de la señal de entrada.

La señal de entrada es multiplicada por la referencia interna del Lock-In, la salida corresponde al múltiplo de las dos señales:

$$\begin{aligned} V_{psd} &= V_{sig} V_L \sin(\omega_r t + \theta_{sig}) \sin(\omega_L t + \theta_{ref}) \\ &= \frac{1}{2} V_{sig} V_L \cos([\omega_r - \omega_L]t + \theta_{sig} - \theta_{ref}) - \\ &\quad \frac{1}{2} V_{sig} V_L \cos([\omega_r + \omega_L]t + \theta_{sig} + \theta_{ref}) \end{aligned} \quad (2.11)$$

De esta manera se generan dos señales alternas (AC), una que corresponde la diferencia de frecuencias ($\omega_r - \omega_L$) y la otra que corresponde a la suma de las frecuencias ($\omega_r + \omega_L$).

Si ω_r es igual a ω_L , la componente de diferencia de frecuencia será una señal de corriente directa (DC), de manera que si al resultado anteriormente mostrado en la ecuación 7.2 se le aplica un filtro pasa bajas, la señal de salida será:

$$V_{psd} = 1/2 V_{sig} V_L \cos(\theta_{sig} - \theta_{ref}) \quad (2.12)$$

Esta señal de DC será proporcional a la amplitud de las señales y su vez a la diferencia de Fase entre la señal de entrada y la señal de referencia del Lock-In.

2.4 Principio básico de una ALI Digital – Multiplicación Digital

Un método comúnmente utilizado por las ALIs Digitales es el método de multiplicación (convolución – demodulación) de la señal de referencia por la señal de entrada (en ambos casos de la misma frecuencia), de esta forma se obtiene que el valor promedio de la señal resultante es directamente proporcional a la fase y varia linealmente. Esta es una operación que puede realizarse muy fácilmente en una ALI Digital, pues una vez transformada la señal analógica a digital es muy sencillo y barato realizar esta operación, comparado con las ALIs Analógicas cuya operación de multiplicación analógica es mucho mas cara y compleja [8-11].

En la Figura 2.4 se ilustra el caso para cuando la fase de la señal medida con respecto a la señal de referencia es “cero”, donde puede observarse que el valor promedio corresponde a la multiplicación de las señales es máximo. En la Figura 2.5 se ilustra el caso para cuando la fase de la señal medida con respecto a la señal de referencia es de 90° (negativos).

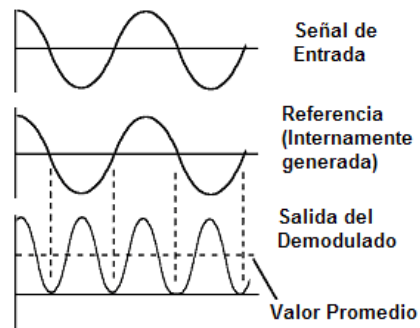


Figura 2.4. Demodulación de una señal de entrada con desfase igual a 0 (“cero”), se aprecia que el valor promedio de la señal obtenida es máximo.

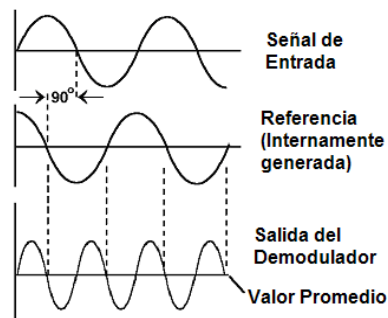


Figura 2.5. Demodulación de una señal de entrada con desfase igual a 90° (negativos), se aprecia que el valor promedio de la señal obtenida es “cero”.

Como ya se menciono anteriormente, por lo general se utilizan DSPs para analizar las señales de entrada y de referencia en los ALI, lo cual consiste en ejecutar operaciones matemáticas (fundamentalmente sumas y productos). Estas operaciones anteriormente mencionadas también son implementables en FPGAs (Field Programmable Gate Arrays), los cuales permiten la flexibilidad de diseñar funciones y operaciones a la medida del sistema que se desea controlar o analizar, permitiendo generar de esta forma un sistema Single On a Chip (SOC), es decir, todo un sistema en un solo chip. Lo cual es una de las aportaciones de esta Tesis, diseñar toda la unidad de control en un solo chip. Además de tener la flexibilidad de poder ser implementado en otros sistemas

diferentes a la determinación de OD que requieran la detección de la fase y la amplitud de la señal, como el caso de la Fotoacústica, Radiometría, Fotoluminiscencia entre otros. En la siguiente sección se analizara de manera breve el potencial de los FPGAs.

2.5 Los FPGA

Para la década de 1970, los dispositivos de lógica estándar estaban en su auge y las tarjetas de circuitos impresos estaban repletas de ellos. Entonces alguien pregunto “¿Qué pasa si le damos a los diseñadores la habilidad de implementar diferentes interconexiones en un solo dispositivo?” Esto permitiría a los diseñadores integrar muchos dispositivos de lógica estándar en una sola pieza [19].

Para ofrecer lo último en flexibilidad para el diseño, Ron Cline de Signetics (la cual fue comprada después por Philips y finalmente por Xilinx) vino con la idea de dos planos programables. Esos dos planos programables permitían cualquier combinación de compuertas “AND” y “OR”, así como la posibilidad de compartir términos AND pasando por múltiples OR.

De esta manera nacieron los PLA (Programables Logic Array), con el paso del tiempo algunas modificaciones en los planos programables dieron origen a los PAL (Programable Array Logic), ambos dispositivos inicialmente tenían poca capacidad de integración de manera que se podían crear muy pocas combinaciones lógicas con ellos, no obstante eran muy flexibles para el diseño. Otras arquitecturas que le siguieron fueron los PLD (Programable Logic Device) los cuales se dividen en SPLD (Simple Programable Logic Device) y CPLD (Complex Programable Logic Device) los cuales contienen un mayor número de integración de compuertas programables que a su vez permiten crear un mayor número combinaciones lógicas para muchas aplicaciones en la actualidad.

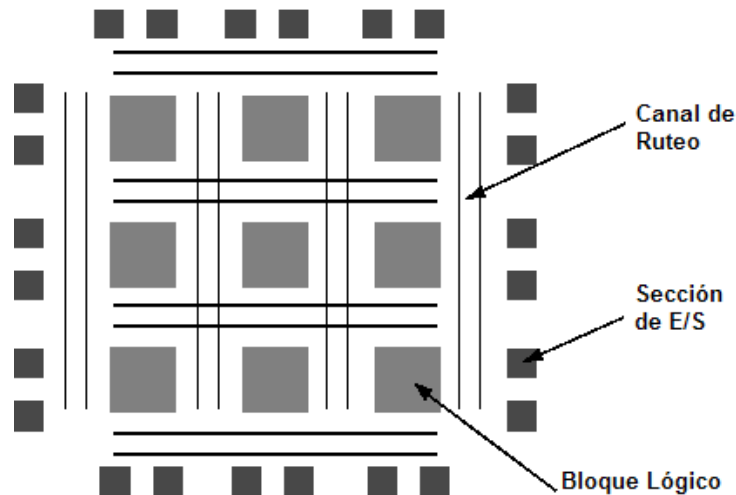


Figura 2.6. Estructura interna de un FPGA, diagrama general

En 1985, la compañía Xilinx introdujo los FPGA (Fiel Programmable Gate Arrays) los cuales combinan los beneficios de los PLDs pero con densidades de integración mucho mayores y a precios muy accesibles.

Un FPGA es una estructura regular de celdas lógicas (o módulos) e interconexiones, mismas que pueden ser completamente controladas por el diseñador lo que permite tener una gran flexibilidad en el diseño de sistemas lógicos de muy alta complejidad.

Los FPGA se dividen en Reprogramables (Basados en SRAM) y No Reprogramables (One-Time Programmable), la ventaja de los sistemas reprogramables es que conceden una gran facilidad al diseñador de reprogramar el circuito una gran cantidad de veces, lo que permite corregir errores en diseños iniciales o proveer características nuevas o actualizaciones sin necesidad de cambiar todo el hardware de los equipos basados en FPGA. De hecho ni siquiera es necesario desmontar el circuito FPGA, pues con el sistema ISP (In System Programming) el circuito FPGA puede ser reprogramado estando instalado en el mismo equipo. [19]

El potencial de este tipo de dispositivos es muy amplio así como sus campos de aplicación. Una de las grandes ventajas de esta tecnología es que permite realizar procesos en paralelo (simultáneamente), a diferencia de los microprocesadores o los DSPs que solo pueden realizar una tarea a la vez. Esta enorme ventaja se ha aprovechado en gran manera sobre todo para el tratamiento de señales. Algunos de las implementaciones para el tratamiento de señales desarrolladas en FPGA consisten en diseños de filtros digitales de muy alto orden o muy sensibles, mismos que al ser desarrollados con arquitecturas de procesamiento en paralelo permiten trabajar a frecuencias muy altas. Otras de las muchas implementaciones consisten en unidades de control y transmisión de datos de alta velocidad.

La gran flexibilidad de los FPGAs y su gran capacidad de procesamiento de información aunado a la integración de muchas otras ventajas en un solo chip, hacen a este dispositivo ideal para la implementación de este trabajo de Investigación, debido a que es necesaria la generación de una señal idealmente senoidal de Frecuencia estable para la experimentación a continuación se analizan las técnicas de Generación de Señal por medio de Síntesis Digital Directa.

2.6 Síntesis Digital Directa (DDS) para generación de señales de frecuencia arbitraria

Como ya se mencionó anteriormente las ventajas que ofrecen los FPGAs permiten la implementación de nuevas tecnologías y lógica compleja debido a su alta densidad de integración de una manera más sencilla y directa [20].

A continuación se muestra el principio básico de un Sintetizador de formas de onda, el cual basa su funcionamiento en un acumulador de Fase como el que se muestra a continuación.

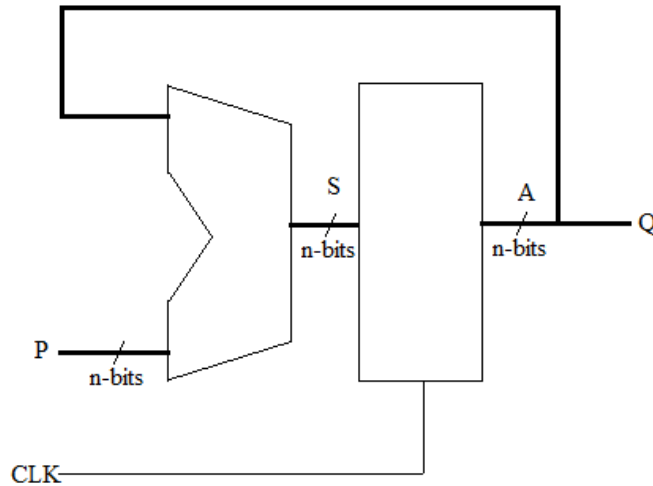


Figura 2.7 – Acumulador de Fase

El acumulador de fase es un sistema digital que a cada pulso activo de reloj suma el valor de la fase P con el valor acumulado previamente en A y lo vuelve a almacenar en A para producir la salida Q. De esta forma, la Señal Q tiene un comportamiento de rampa digital como se muestra en la figura 2.8 y cuya frecuencia está dada por la ecuación 2.13.

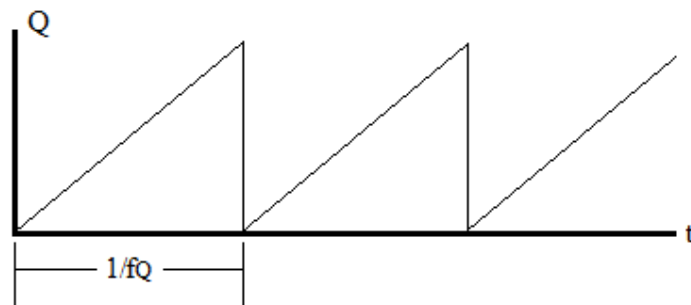


Figura 2.8 – Forma de onda de la señal Q del acumulador de fase

$$f_Q = (P / 2^n) f_{CLK} \quad (2.13)$$

La característica principal de la ecuación 2.13 es que ahora se puede producir un generador de base de tiempo cuya frecuencia de salida sigue un patrón directamente proporcional a la frecuencia base de reloj. Esta característica puede ser comparada con la generación de base de tiempo por medio de un contador donde la frecuencia es inversamente proporcional al módulo N del mismo como aparece en la ecuación 2.14. Las frecuencias que se pueden obtener con un contador modulo N no se encuentran espaciadas de manera uniforme, mientras que las frecuencias obtenidas con el acumulador de fase si se encuentran espaciadas de manera uniforme [].

$$f_{CNT} = (1/N)f_{CLK} \quad (2.14)$$

Con el acumulador de fase es posible obtener de manera directa las formas de onda: cuadrada y rampa o diente de sierra mediante un DAC, sin embargo, la onda sinusoidal no se puede obtener de forma tan directa y es necesario procesar la información para generar esta señal. La técnica más simple para generar la forma de onda sinusoidal o cualquier forma de onda arbitraria consiste en la definición de una LUT (Look Up Table) que convierta la fase a la forma de onda deseada, de tal manera que el sintetizador digital de formas de onda arbitrarias quede como se muestra en la figura 2.9 [].

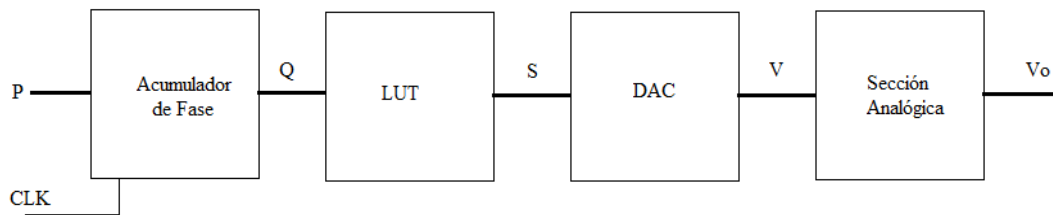


Figura 2.9 – Diagrama a bloques del Sintetizador digital de formas de onda arbitrarias

El sintetizador digital de formas de onda arbitrarias de la figura 2.9, en función de la frecuencia base de la señal CLK, produce una rampa (diente de sierra) digital Q con una frecuencia proporcional P. La LUT convierte o codifica la señal Q en una forma de onda arbitraria S [].

El DAC convierte la señal digital S en un tensión analógica V y la sección analógica de salida se encarga de proporcionar los niveles de tensión y acoplamiento de impedancias para dar como resultado final la señal V_o que es la forma de onda deseada [].

Al diseñar de forma directa el acumulador de fase de 32 bits como se muestra en la figura 2.7 requiere del uso de un sumador de cadena larga el cual en cualquier tecnología de integración genera retardos en la señal que deterioran el desempeño final del sistema.

Para poder llevar a cabo el acumulador de fase, tanto en funcionalidad como en desempeño en frecuencia, es necesario plantear una estructura digital en pipelines. Un Planteamiento razonable entre recursos y desempeño se puede lograr, estableciendo cuatro líneas pipeline de 8 bits, como se muestra en la figura 2.10.

En esta estructura pipeline son necesarios tres bloques constructores: un registro incondicional de 8 bits, un registro incondicional de 1 bit para el acarreo y un sumador completo de 8 bits.

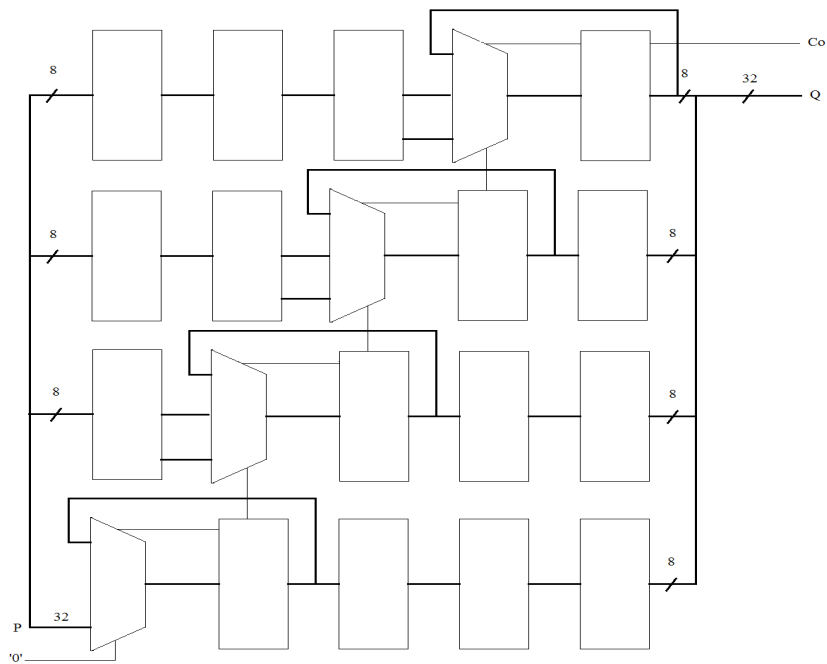


Figura 2.10 – Estructura pipeline del acumulador de fase de 32 bits

Este sintetizador de formas de onda ofrece muchas ventajas sobre otras configuraciones lógicas utilizadas para generar formas de onda, la principal de todas es la estabilidad en frecuencia y la posibilidad de generar un amplio rango de frecuencias, es por ello que su implementación en el sistema de desarrollo de este trabajo de investigación es fundamental y queda plenamente justificado.

En los experimentos Fotoacústicos y Fototérmicos es muy común utilizar una señal de referencia para modular la señal de excitación producida por láser u otras fuentes de alta energía. Esta señal de referencia por lo general se obtiene del mismo amplificador Lock-in, en el caso de que este así lo disponga, o desde un generador de funciones externo como se explicó en la sección 2.2 de este capítulo.

Variaciones en la estabilidad de la frecuencia podrían producir errores de fase o amplitud en las mediciones lo cual reduciría considerablemente el desempeño del amplificador Lock-In, podría reducir considerablemente la precisión del equipo al estar variando en un rango mayor al que podría tener con una fuente de generación de señal estable.

A continuación se explica el principio básico de los experimentos Fotoacústicos y Fototérmicos, los criterios que se toman al momento de analizar las variaciones de Fase y Amplitud según el experimento y la correlación que puede generar entre estas y las características físicas del material de estudio.

2.7 Configuración Básica utilizada en experimentos Fotoacústicos

Es muy importante definir el rango de los parámetros utilizados en los experimentos Fotoacústicos como parte de la justificación del rango de operación del sistema desarrollado.

En el caso de los experimentos Fotoacústicos, se utiliza comúnmente una celda sellada que contiene el material de análisis, este material es radiado por un láser modulado a una determinada frecuencia. Esta frecuencia de modulación puede variar de acuerdo a las condiciones del experimento y principalmente del tipo de material que se desea analizar [23, 24, 30].

A la celda se conecta un micrófono electret, la señal eléctrica producida por el micrófono se conecta a una sección de pre-amplificación o amplificación, la señal amplificada se analiza con un amplificador Lock-In que se encuentra enganchado a la misma frecuencia de modulación de la señal del láser, de manera que solo esta frecuencia es analizada discriminando todas las demás frecuencias del espectro.

Finalmente la información analizada por el Amplificador Lock-In se almacena en una computadora para un posterior análisis. La Figura 2.7 muestra la configuración básica utilizada en los experimentos de Fotoacústica.

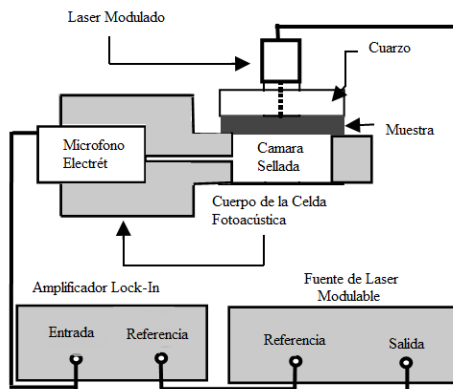


Figura 2.7 – Configuración básica para experimentos de Fotoacústica con celda sellada simple.

En algunos el experimento puede llevarse a cabo con una celda abierta y contener el material al descubierto, como se muestra en la Figura 2.8, este tipo de configuración puede ser utilizado dependiendo del material que se desee estudiar, puesto que al no estar sellada la celda, la respuesta acústica puede perderse o ser afectada en mayor grado con ruido de fondo.

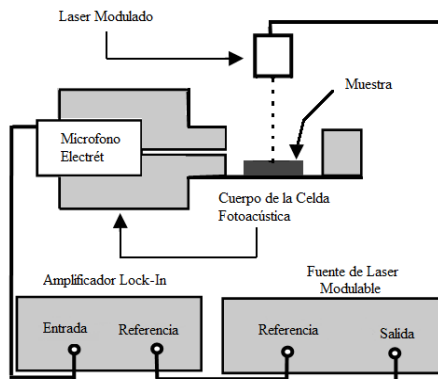


Figura 2.8 – Configuración básica para experimentos de Fotoacústica con celda abierta simple.

Otra manera de realizar el experimento fotoacústico, es utilizando una configuración diferencial de celdas selladas como se muestra en la Figura 2.9, lo que permite que el ruido de fondo sea restado por un proceso digital o analógico ya sea posterior o en el instante en que se lleva a cabo el proceso experimental. Esto requiere el uso de dos amplificadores Lock-in, uno de ellos se encarga de analizar la señal proveniente de la celda que contiene la muestra y el otro se encarga de analizar la señal proveniente de la celda vacía, la señal medida en esta última corresponde al ruido de fondo.

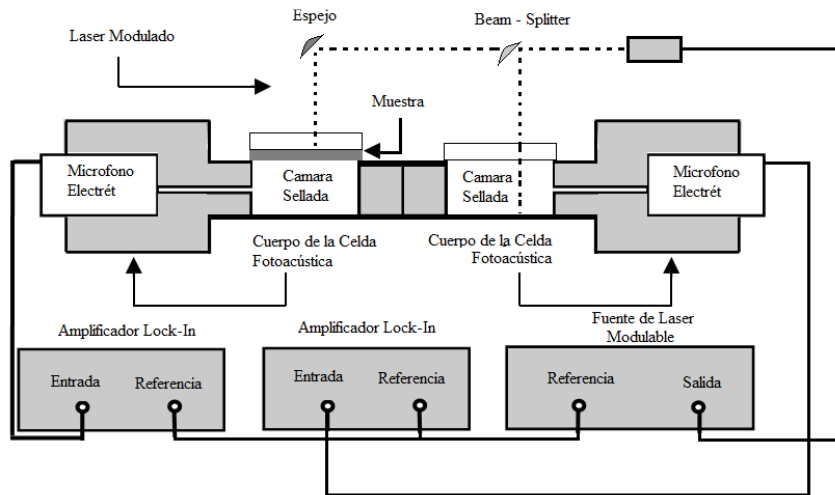


Figura 2.9 – Configuración Diferencial de celdas Fotoacústicos

En su artículo titulado “The method of Linear Distortion Elimination in Photoacoustic Investigation of High Power Thyristor Structure”, Zbingniew S. et. Al, utiliza una configuración similar a la antes mencionada, obteniendo resultados del análisis de la estructura cristalina de Tiristores mediante photoacustica [32].

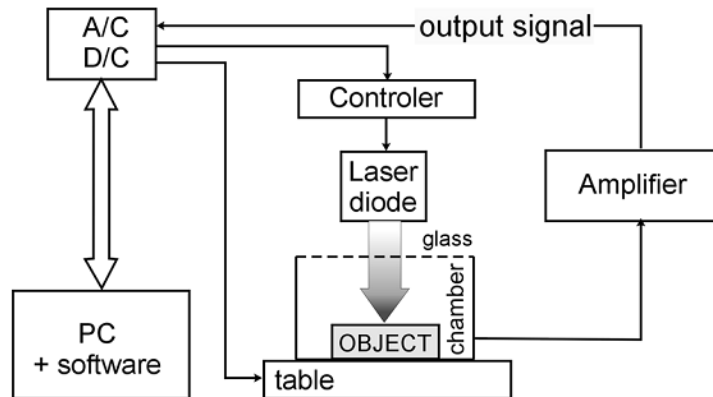


Figura 2.10 – Configuración utilizada por Zbingniew S. et. Al, para el análisis de la estructura cristalina en Tiristores

Los resultados obtenidos por Zbingniew S. et. Al, del material analizado se muestran a continuación, donde se puede apreciar el rango de frecuencias utilizado para

la modulación del diodo laser, cabe mencionar que el rango de frecuencias utilizado para experimentos de Fotoacústica puede ir desde el Infrasonido (<20Hz) hasta el Ultrasonido (>20kHz) y las variaciones puede observarse tanto en Amplitud como en Fase [32].

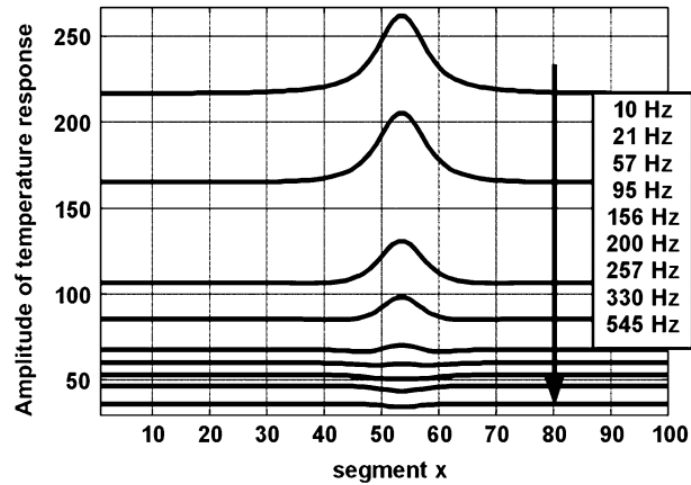


Figura 2.11 – Resultados de la variacion de Amplitud obteniados por Zbingniew S. et. Al

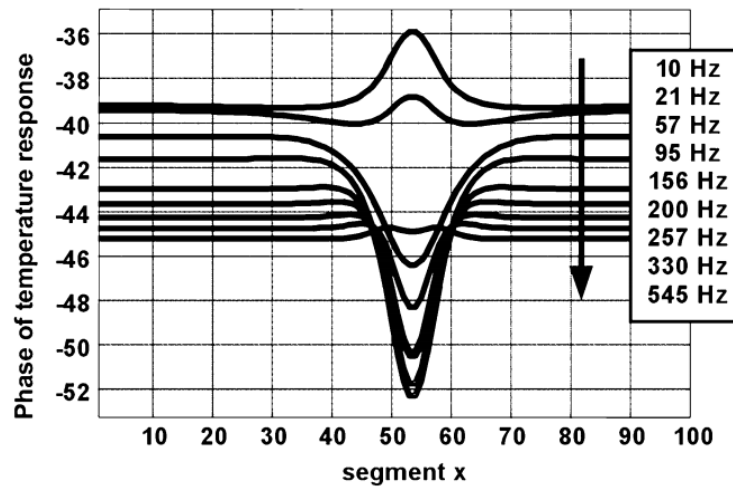


Figura 2.12 – Resultados de la variacion de Fase obteniados por Zbingniew S. et. Al.

Por otro lado, los niveles de Amplitud o Fase pueden variar de un experimento a otro, aun cuando se utilice el mismo material. Sin embargo se conservan las tendencias de variación tanto en Amplitud como en Fase en las mismas frecuencias. Inclusive los valores experimentales pueden variar con respecto a los calculados teóricamente, no obstante las tendencias a la variación a determinadas frecuencias se conservan como lo muestra los resultados de Zbingniew S. et. Al [32].

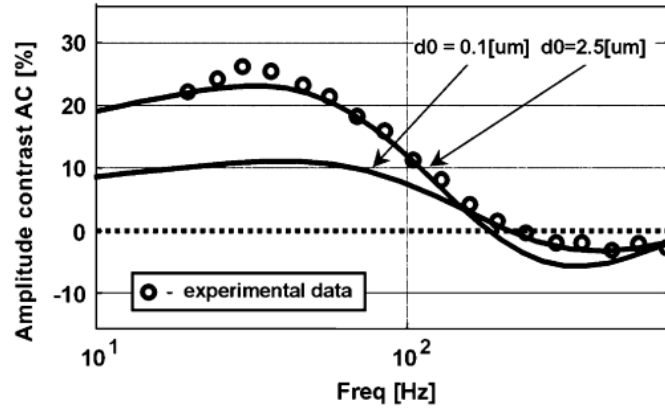


Figura 2.13 – Comparativa de la variacion en Amplitud de los resultados experimentales con respecto a los datos teoricos obtenidos por Zbingniew S. et. Al.

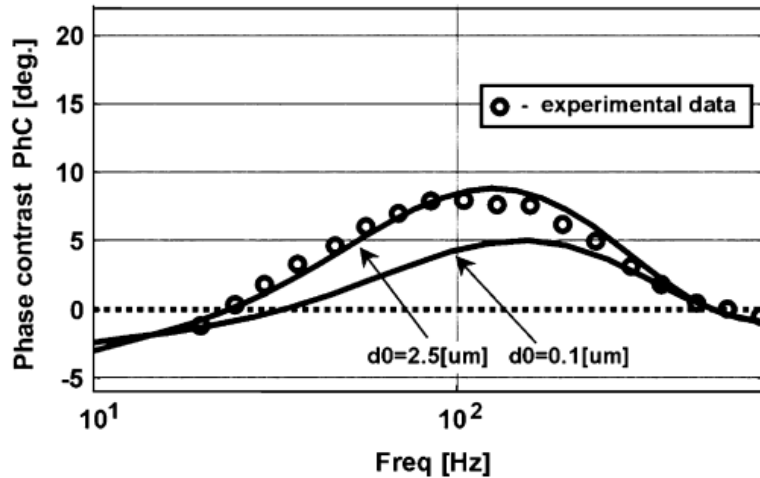


Figura 2.14 – Comparativa de la variacion en Fase de los resultados experimentales con respecto a los datos teoricos obtenidos por Zbingniew S. et. Al.

De esta manera puede concluirse que si los resultados se normalizan pueden observarse las mismas tendencias entre en experimento y otro, o entre los valores experimentales y los valores teóricos.

La mayoría de los artículos publicados se limitan a explicar las tendencias de las variaciones obtenidas, correlacionando ciertas variaciones en la Amplitud o Fase a determinada frecuencia a propiedades específicas de los materiales, antes bien que realizar una regresión lineal para correlacionar cada Volt (V) o Grado (°) medido con alguna característica cuantizable del material[22-28].

Esto último no quiere decir que no sea posible realizar esta regresión lineal para correlacionar las características físicas a los valores obtenidos, pero esto limitaría al experimento a utilizar exactamente los mismos componentes implementados en otras pruebas como por ejemplo: las celdas Fotoacústicos de la misma medida y mismo material, los mismos micrófonos, los mismos amplificadores y pre-amplificadores para el micrófono, el mismo equipo Amplificador Lock-In, etc. Lo cual no siempre sería viable y limitaría en gran medida la experimentación en dichos materiales.

Sin embargo, esto no quiere decir que no sea importante tener una buena resolución en el amplificador Lock-In para la detección de Amplitud y Fase, más bien corrobora que entre mayor resolución tengan las mediciones obtenidas mejor podrán observarse las tendencias de cambio debidas a la excitación a diferentes frecuencias en el material.

2.8 Configuración Básica utilizada en experimentos de Radiometría

En el caso de los experimentos basados en técnicas de Radiometría, la muestra es radiada sobre una superficie plana o un porta muestras con un láser modulado, a manera similar que en los experimentos de Fotoacústica, pero en este caso en lugar de utilizar un micrófono como elemento sensor, se utilizar un sensor IR o un sensor de Arseniuro de Galio (InGaAs) enfriando con nitrógeno.

El montaje convencional para un experimento de Radiometría se muestra en la Figura 2.10 como lo reporto en el 2008 J. A. García [33] en su artículo titulado "Characterization of nano-depth junctions in silicon by using Photo-Carrier Radiometry (PCR)", en su experimentos para detectar uniones ultra superficiales (USJ, por sus siglas en ingles) en obleas de Silicio.

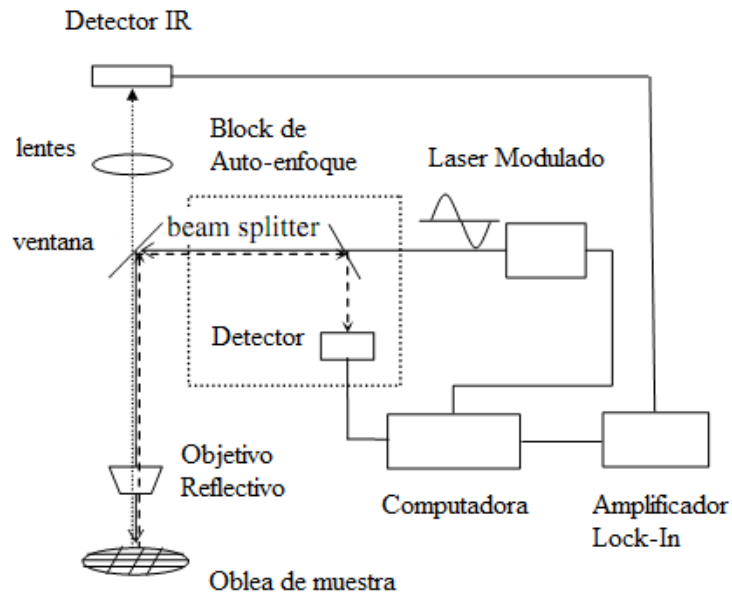


Figura 2.15 – Configuración para experimento de Radiometría usada por J.A. García.

Los resultados obtenidos con diferentes laser de diferentes longitudes de onda fueron normalizados en Amplitud, obteniéndose una correlación casi lineal entre la profundidad en nm de las USJ y los valores medidos por el Amplificador Lock-In [33].

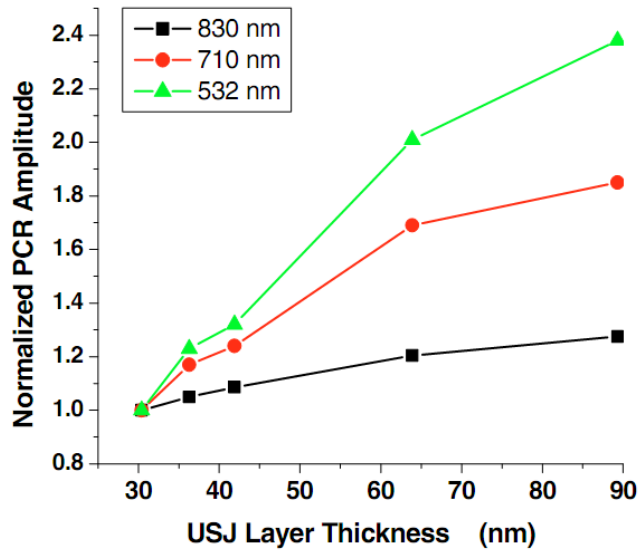


Figura 2.16 – Valores normalizados de las variaciones en amplitud en relación con las USJ obtenidas por J.A. Garcia.

En otros experimentos como el presentado en 2005 por A. Bendada es común que se utilice un detector de Cadmio – Teluro – Mercurio (HgCdTe) enfriado con nitrógeno, permitiendo de esta manera aumentar la sensibilidad del detector. En su artículo titulado “Experimental Investigation on the Reliability of Thermal Wave Interferometry in the Thermophysical Characterization of Plasma Sprayed Coatings” se enfoca a comprar los datos obtenidos de la difusividad y efusividad termica obtenida por Interferometria Termica (TWI) en capas de Tungsteno de diferentes grosores [29].

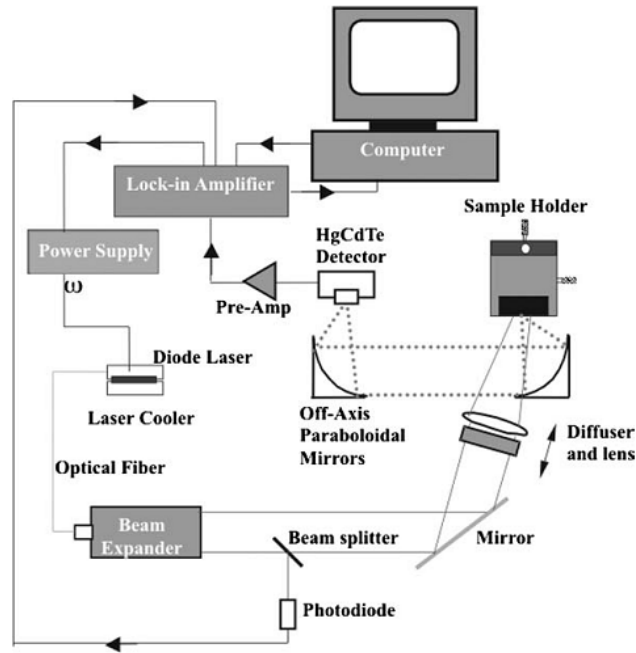


Figura 2.17 – Configuración utilizada por A. Bendada para experimentos de Radiometría

En los resultados publicados en su artículo, puede observarse que pone especial atención a las variaciones de Fase causadas por las diferentes capas de Tungsteno, puede observarse que hace una correlación directa entre los μm de grosor de las capas de Tungsteno y los grados ($^\circ$) de desfaseamiento entre la señal de referencia y la señal medida por el detector, a la vez que hace referencia a las tendencias de comportamiento de las curvas, correlacionando las tendencias de cambio en fase normalizada con los grosores de las capas de manera general [29].

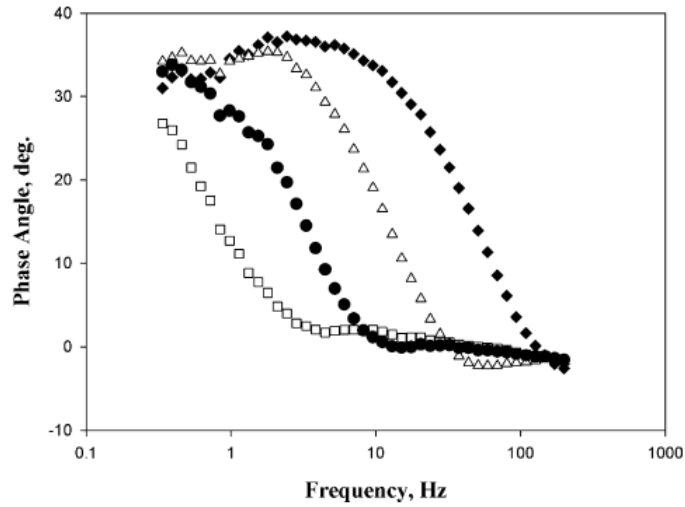


Figura 2.18 – Fase normalizada vs Frecuencia en diferentes capas de Tungsteno con grosores de $123\mu\text{m}$ (cuadro oscuro), $223\mu\text{m}$ (triangulo), $449\mu\text{m}$ (circulo) y $835\mu\text{m}$ (cuadro claro) obtenidas por A. Bendada.

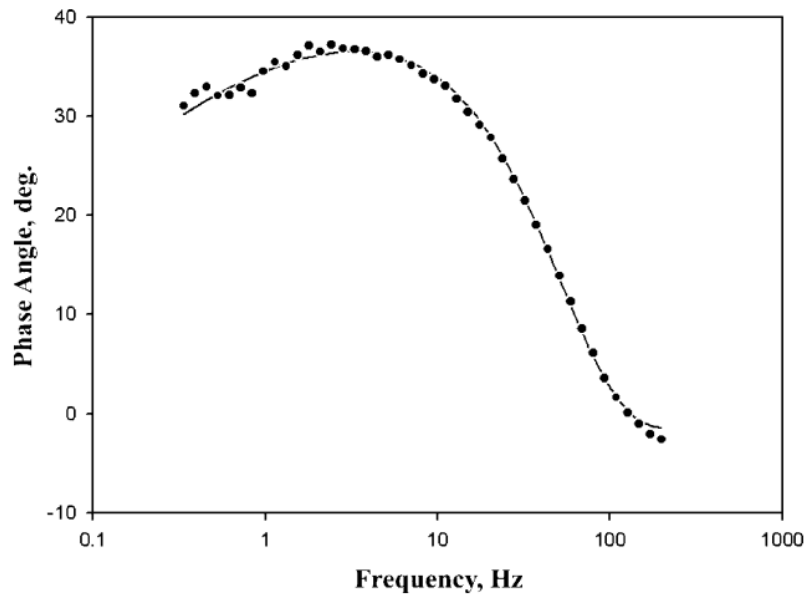


Figura 2.19 – Ajuste numerico correlacional entre las variaciones de fase obtenidas de la difusividad y efusividad termica para capas de Tungsteno con un grosor de $123\mu\text{m}$ obtenidas por A. Bendada.

Como puede observarse el interés por la resolución de la Fase o la Amplitud puede variar de un experimento a otro tanto en experimentos de Fotoacústica como de Radiometría.

En algunos pueden correlacionarse directamente las características físicas del material de estudio con las variaciones de Fase o Amplitud, pudiendo calcularse numéricamente una ecuación para dicho propósito como en el de A. Bendada. En otros experimentos como el de J. A. García se buscan más bien las tendencias de comportamiento para relacionarlo con algunas características físicas del material de estudio[29-33].

Sin embargo cabe resaltar que los valores obtenidos están estrechamente relacionados con la configuración del equipo utilizada, de allí que en las publicaciones como en las de J.A. García o A. Bendada se describa el montaje experimental utilizado, mencionando detalles sobre el tipo de Laser, los amplificadores y el tipo de Sensor implementado. El cambio o la adición de un amplificador de señal podría introducir hasta 180° de desfase en las señales medidas [29-33].

3. METODOLOGÍA

En este capítulo se analizarán las técnicas empleadas para el desarrollo del dispositivo propuesto. Tomando en consideración los requerimientos básicos para los experimentos Fototérmicos a bajas frecuencias, como puede ser el caso de los experimentos Fotoacústicos u otros experimentos que involucren la excitación de un material o sistema de análisis por medio de una señal pulsante a baja frecuencia.

El capítulo describe los siguientes módulos: El módulo de Generación de Funciones, módulo de Convolución, módulo de Promedio Dinámico, módulo de cálculo del Algoritmo de CORDIC (Coordinated Rotation Digital Computer), y el módulo de Transmisión y Recepción de señales. Cada uno de estos módulos digitales fue diseñado bajo la plataforma de Hardware Reconfigurable, para ello se empleó una tarjeta SPARTAN-3-XCS200 de XILINX.

Esto con la finalidad de cumplir con los objetivos originales de esta investigación los cuales implican abrir la posibilidad de mejorar el diseño y la funcionalidad del equipo propuesto sin necesidad de realizar cambios físicos al Hardware externo.

En la figura 3.1 puede apreciarse el diagrama de bloques que comprende las secciones diseñadas.

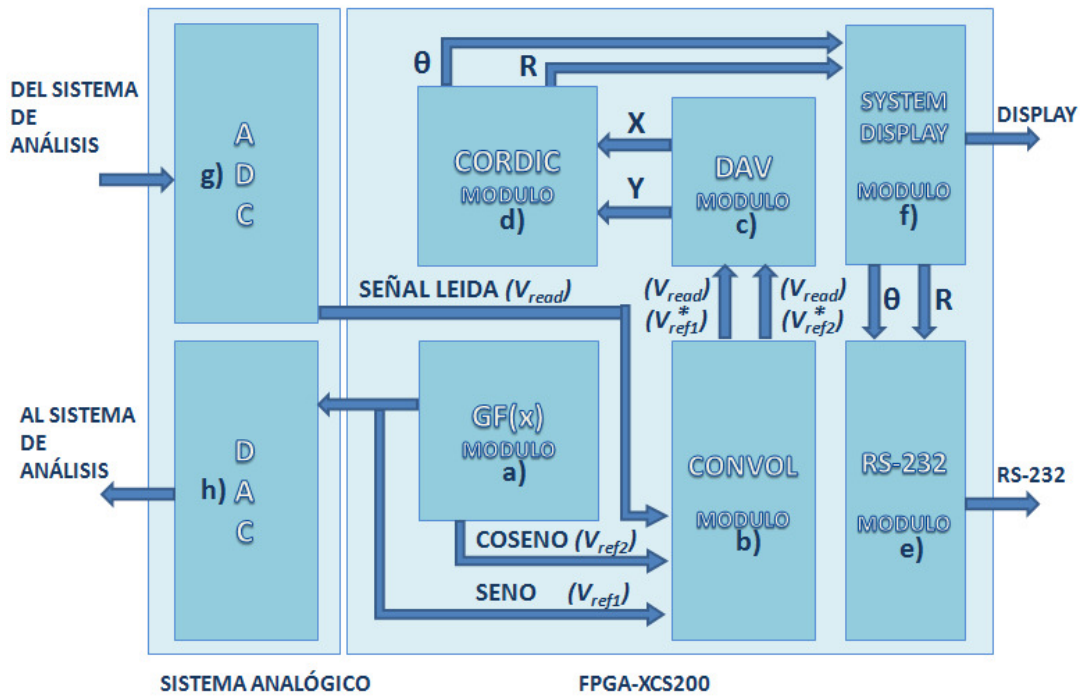


Figura 3.1 – Diagrama general a bloques del sistema diseñado: a) Módulo Generador de Funciones, b) Módulo de Convolución, c) Módulo de Promedio Dinámico, d) Módulo de CORDIC, e) Módulo RS-232, f) Módulo de Despliegue, g) ADC y h) DAC.

3.1 Bloque Esquemático general del Sistema

El bloque general del sistema desarrollado creado por el Xilinx – ISE Project Navigator quedo de la siguiente se muestra en la figura 3.2.

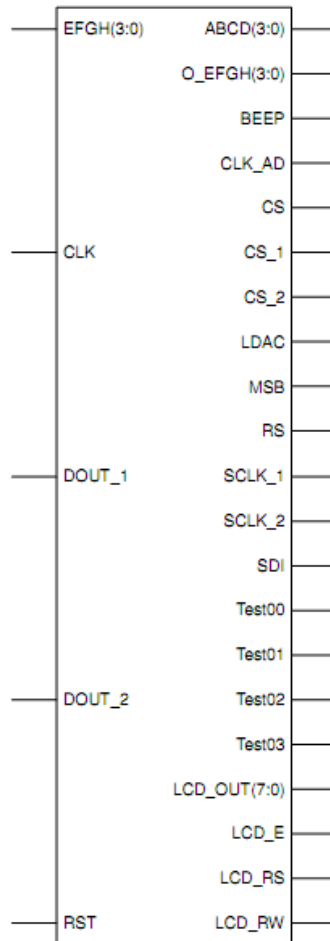


Figura 3.2 – Bloque Esquemático general que contiene todas las entradas y salidas del Sistema, a la izquierda se muestran las entradas y a la derecha las salidas, con sus anchos de palabras especificados entre paréntesis para cada etiqueta.

El ancho de palabra está especificado en cada una de las etiquetas de los nombres de las entradas o salidas utilizadas en el proyecto, el primer número entre paréntesis seguido por los dos puntos y el número final indican la longitud.

Por ejemplo, para el caso de la entrada EFGH (Correspondiente al Pad Numérico del sistema desde el cual se dan las instrucciones para el funcionamiento del equipo) la cual está precedida por un paréntesis que indica (3:0) hace referencia a una entrada de 4 bits.

La descripción de las Entradas y Salidas del bloque general se mencionan en el siguiente subtema.

Descripción de las entradas y salidas del Bloque Esquemático General del Sistema

Las entradas del sistema se describen en la siguiente tabla, la explicación detallada de las funciones de cada entrada se describe en cada una de las secciones correspondientes a los bloques operativos del sistema:

ENTRADA	DESCRIPCIÓN
EFGH (3:0)	Entrada de 4bits para el Driver del Pad Numérico
CLK	Entrada Principal de Reloj del Sistema (50 MHz)
DOUT_1	Entrada de datos proveniente del primer convertidor ADC
DOUT_2	Entrada de datos proveniente del segundo convertidor ADC
RST	Reset General

Las salidas del sistema se describen en la siguiente tabla, la explicación detallada de las funciones de cada entrada se describe en cada una de las secciones correspondientes a los bloques operativos del sistema:

ENTRADA	DESCRIPCIÓN
ABCD (3:0)	Salida de 4bits del Driver del Pad Numérico
O_EFGH (3:0)	Salida a LEDs como monitor de las entradas recibidas desde el Pad Numérico
BEEP	Salida a la Bocina del Sistema
CLK_AD	Reloj Principal del DAC Doble
CS	Chip Select del DAC Doble
CS_1	Chip Select del primer ADC
CS_2	Chip Select del primer ADC
LDAC	Instrucción LOAD para el DAC Doble
MSB	Indicador de Sobre-flujo del DAC Doble
RS	Reset del DAC Doble
SCLK_1	Señal de Reloj del Primer ADC
SCLK_2	Señal de Reloj del Primer ADC
SDI	Datos de Entrada para el DAC Doble
Test00 - 01	Señales de Prueba configurables
LCD_OUT (7:0)	Salida de 8bits para datos de despliegue en la pantalla LCD
LCD_E	Enable de la pantalla LCD
LCD_RS	Reset de la pantalla LCD
LCD_RW	Instrucción Read / Write de la pantalla LCD

–

3.2 Pad Numérico 4x4

Para controlar las funciones del equipo diseñado, se utilizó un Pad Numérico conformado por una Matriz de 4x4, la salida ABCD (3:0) corresponde a los 4 bit de control de la matriz del Pad Numérico, estos 4 bits se activan de manera secuencial generando un barrido en cada uno de los 4 pines de entrada de la matriz, cuando alguno de los botones es presionado, uno de los 4 bits de salida de la matriz del Pad Numérico se activa, estos son leídos por los 4 bits FGHI (3:0) de entrada del bloque Esquemático General. De esta manera se obtienen hasta 16 posibles opciones posibles en el Pad Numérico.

En la figura 3.3 se muestra el diagrama esquemático generado con Xilinx – Project Navigator del Driver del Pad Numérico.

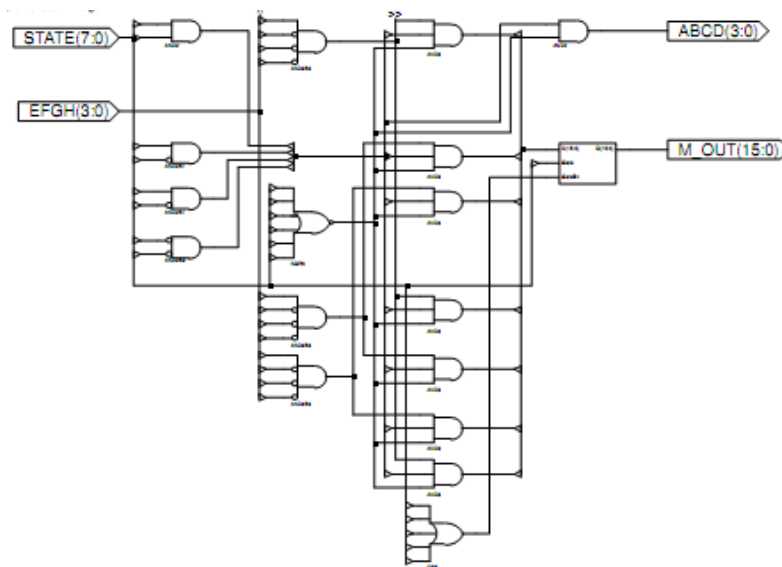


Figura 3.3 – Driver del Pad Numérico utilizado para el control de las funciones del equipo, se pueden apreciar las entradas a la izquierda y salidas a la derecha del Esquemático.

Para controlar los cambios de estados del Driver del Pad Numérico, se utilizó un contador de 8 bits, el cual recibe los pulsos directamente desde el reloj principal del sistema. La entrada STATE (7:0) recibe los 8 bits provenientes del contador y permite ejecutar los cambios en la salida ABCD (3:0), a la vez que actualiza la salida M_OUT (15:0), cada uno de los bits de esta salida corresponde a los botones presionados físicamente en el Pad Numérico.

Los bits de la salida M_OUT (15:0) son utilizados por los diferentes bloques de control del Sistema Completo, en posteriores secciones se detallara los lugares en los que se utilizaron de manera independiente cada bit.

En la figura 3.4 se muestra el diagrama esquemático del contador de 8 bits que controla la máquina de estados del Driver del Pad Numérico.

La implementación de este Pad Numérico matricial permitió reducir considerablemente el número de entradas independientes para controlar el sistema, a la vez que agrego un mejor aspecto visual al sistema completo.

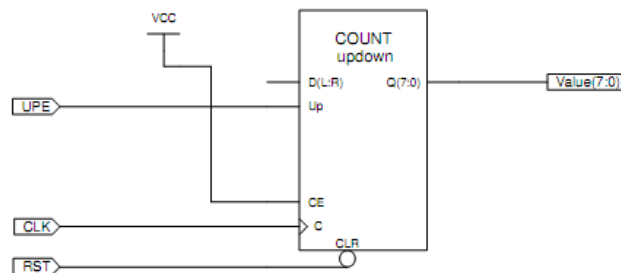


Figura 3.4 – Contador de 8 Bit utilizado para controlar los diferentes estados del Driver del Pad Numérico.



Figura 3.5 – Pad Numérico utilizado en el proyecto

3.3 Pantalla LCD

Con el fin de facilitar la lectura de los datos se implementó en el sistema una pantalla LCD de 16x2, las salidas LCD_OUT (7:0), LCD_E, LCD_RS y LCD_RW del Bloque Esquemático General mostrado en la figura 3.2, realizan funciones del control de la pantalla LCD. En la figura 3.6 se muestra el esquemático de control para la pantalla LCD.

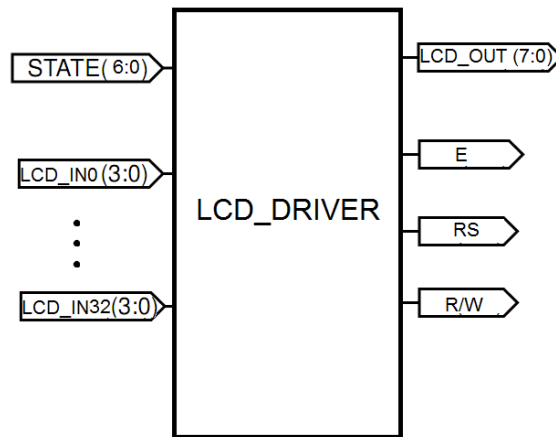


Figura 3.6 – Bloque Esquemático del Driver de la pantalla LCD

Para el control de la pantalla y los estados de la misma se utilizó un contador de 8 bits similar al que se muestra en la figura 3.4.

Las Entradas LCD_IN0 – LCD_IN32, muestran los 32 posibles caracteres que puede desplegar la pantalla LCD simultáneamente. Estos 32 caracteres pueden corresponder a un arreglo previamente definido sobre el parámetro que se desea desplegar, para que en la pantalla se pudieran desplegar múltiples parámetros correspondientes a Fase, Amplitud, Frecuencia, entre otros fue necesario multiplexar los posibles valores.



Figura 3.7 - Pantalla LCD utilizada en el Desarrollo del proyecto

El multiplexor de selector de los valores de la pantalla LCD se muestra en la Figura 3.8, se muestran los 16 posibles parámetros que son mostrados en 4 arreglos de pantallas diferentes, de 4 parámetros por vez.

El multiplexor selector de valores para de la pantalla LCD toma 4 parámetros de 16 bits cada uno, de un total de 16 entradas de 16 bits. Estas 16 entradas contienen información sobre la Frecuencia, Amplitud y Fase, así como algunos otros resultados de los cálculos internos del core que realiza el calculo de Fase y Amplitud.

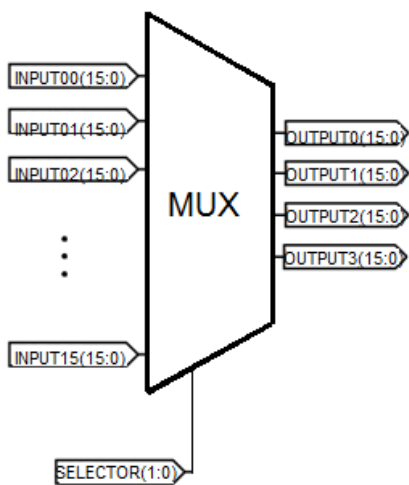


Figura 3.8 – Multiplexor selector de valores de la pantalla LCD

3.4 Buzzer del Sistema

El Equipo desarrollado cuenta con un pequeño Buzzer o Bocina, que emite un sonido cada vez que se presiona algún botón del Pad Numérico Matricial, esto permite al usuario confirmar que el equipo está recibiendo una instrucción y que la instrucción o pulso a llegado al core del sistema.

El sonido emitido se encuentra en una frecuencia de 13,500Hz, y es generado por un pulso cuadrado. Para generar este sonido se utilizaron dos divisores de tiempo del Reloj principal como se muestra en la figura 2.10, el primero se utiliza para generar la frecuencia del sonido que en este caso y el segundo para agregar una segunda modularidad al sonido base, permitiendo así que cuando se mantenga presionado algún

botón se siga escuche un sonido que se active y desactive cada 10Hz en lugar de solo escucharse un sonido constante de 13,500Hz.

La frecuencia base de 13,500Hz es colocada a las entradas de una AND con la frecuencia de 10Hz y los 4 bits EFGH (3:0) correspondientes a los datos de entrada provenientes del Pad Numérico, estos 4 bits a su vez se encuentran colocados a la entrada de una OR que nos manda un pulso en alto cada vez que alguna de las 4 entradas de EFGH(3:0) se activa, como se muestra en la figura 2.11.

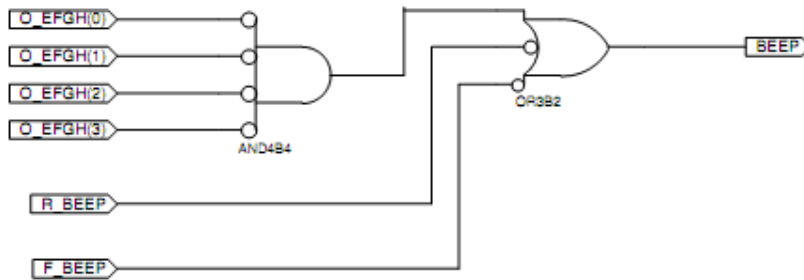


Figura 3.9 – Configuración interna del Buzzer del Sistema

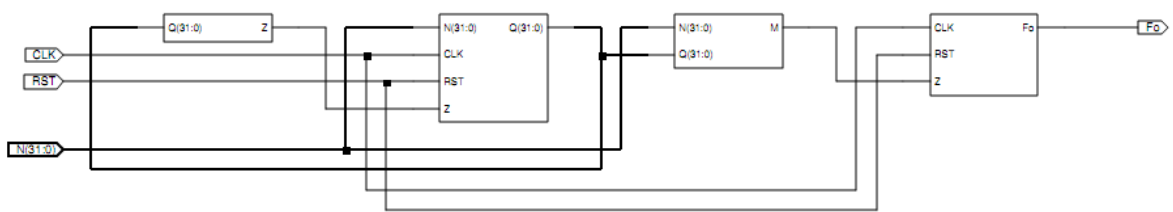


Figura 3.10 – Divisor de frecuencia del reloj principal utilizado para generar la frecuencia fundamental del Buzzer del Sistema y la segunda frecuencia de modularidad para la primera.



Figura 3.11 – Buzzer implementado en el Sistema

3.5 Módulo de Generación de Funciones (GF(x))

En este módulo se encarga de generar la frecuencia de excitación para el material o sistema de estudio, se compone principalmente de un controlador para el DAC, una memoria ROM de tipo LUT (Look-Up Table) que almacena la forma de la onda, que en este caso para los experimentos realizados se compone de una senoidal, pero de igual forma puede asignarse una triangular o cuadrada según se requiera; el módulo también incluye un controlador para la LUT.

El principio de operación consiste en la asignación de un valor de control de dirección que es asignado a la LUT, la LUT recibe el valor y devuelve el valor correspondiente de posición con un valor digitalizado de la forma de onda. El valor devuelto por la LUT se asigna al DAC y este lo convierte en un valor analógico. Dependiendo de la velocidad con la que la LUT reciba los valores de posicionamiento será la velocidad con la que se obtenga la frecuencia de salida en el convertidor DAC.

La relación matemática para la frecuencia de salida se representa en la ecuación 3.1, la cual enuncia que la frecuencia de salida es directamente proporcional a la velocidad con el módulo de Síntesis Digital Directa (DDS) envíe las direcciones de posicionamiento a la LUT e inversamente proporcional al número de puntos almacenados en la LUT con los que se reconstruirá la forma de la onda.

$$f_o = \frac{V_c}{nP} \quad \text{Ecuación 3.1}$$

f_o = frecuencia de salida

V_c = Velocidad de envío de Direcciones

nP = número de puntos

Adicionalmente en el módulo de generación de funciones se incluye una sección encargada de generar una señal secundaria desfasada +90 ° con respecto a la señal de referencia, de tal manera que si se considera a la señal de referencia como una señal senoidal $V_{ref1} = \sin(\theta + \omega t)$ la segunda señal quedaría como $V_{ref2} = \cos(\theta + \omega t)$.

Para generar esta segunda referencia desfasada 90° se adquiere el valor del controlador de posición que es asignado a la primera LUT y se suma con un valor de

posición constante el cual corresponde a un cuarto del ciclo total comprendido por el número de pulso que conforman el ciclo completo de la forma de onda almacenada en la LUT. El resultado es asignado a una segunda LUT, esta devuelve un valor que puede ser asignado a un segundo ADC para generar una señal de referencia desfasada 90° o asignada al algoritmo de CORDIC como segunda señal de referencia. En la ecuación 3.2 se muestra como es calculada la segunda referencia a partir de la primera para conservar en todo momento un desfase constante de 90°.

$$I_{LUT2} = O_{LUT1} + 90^\circ = O_{LUT1} + \frac{nP}{4} \quad \text{Ecuación 3.2}$$

I_{LUT2} = Entrada de la segunda LUT

O_{LUT1} = Salida de la primera LUT

nP = número de puntos

En la figura 3.12, se muestra el diagrama a bloques simplificado, correspondiente al módulo de Generación de Funciones.

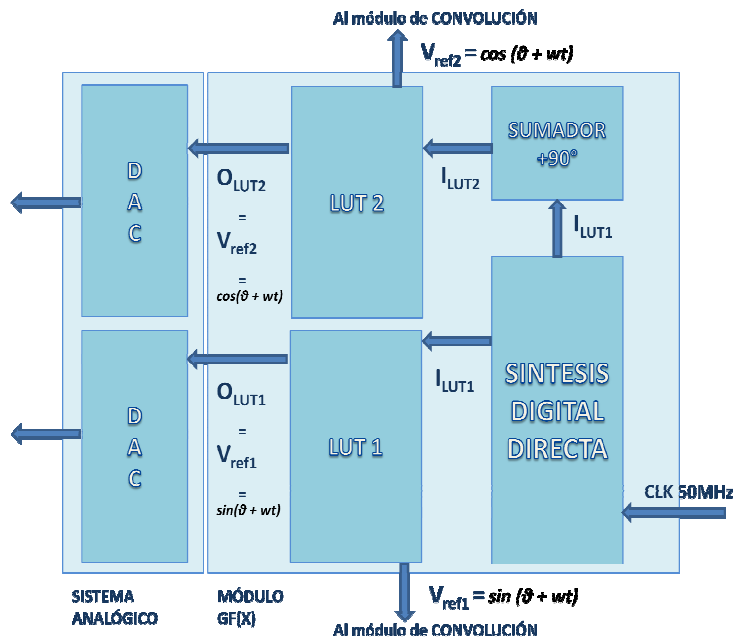


Figura 3.12 – Diagrama a bloques del módulo GF(x)

Se diseñaron 2 Sintetizadores para generar las formas de onda Senoidal y Cosenoidal, cada uno de estos módulos permite agregar un desfase específico, aunque para este caso los desfases fueron establecidos de manera fija y no se dejó acceso al usuario la posibilidad de modificar las diferencias de fase entre la primera y la segunda señal, esto para guardar la relación de desfase de 90° necesaria para realizar los cálculos en cuadratura del sistema.

La figura 3.13 muestra el diagrama esquemático del Sintetizador, el cual incluye internamente la LUT. Puede observarse que el acumulador de fase es de 32 bits el cual esta especificado con la etiqueta P(31:0), y para la modificación del desfase se encuentra la etiqueta Shift(7:0) la cual contiene una constante, los valores del Sintetizador de salida se encuentran marcados con la etiqueta S(7:0) los cuales se mandan directamente a la entrada de la LUT etiquetada con la letra F(7:0), esto quiere decir que la LUT cuenta con 8 bits de entrada es decir 256 posiciones.

La salida S (15:0) especifica una salida de 16 bits, la cual proporciona los valores de la forma de onda, en este caso Senoidales o Cosenoidales respectivamente.

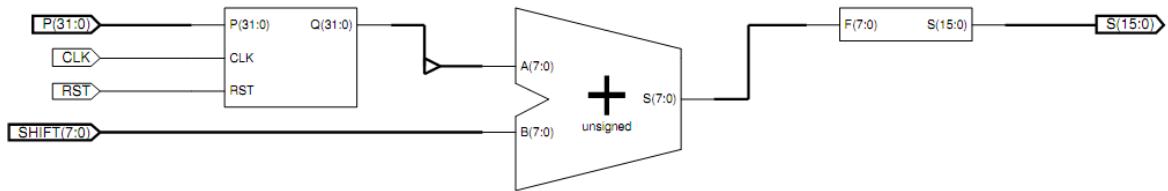


Figura 3.13 – Diagrama esquemático simplificado del Sintetizador Digital de formas de onda utilizado para generar las formas de onda Senoidal y Cosenoidal respectivamente

Se agrego un tercer Sintetizador digital de formas de onda al proyecto original con la finalidad de realizar pruebas experimentales de cálculo de fase con el mismo sistema, ya se enviando los valores de la salida de la LUT directamente al core de cálculo de fase y amplitud, o darle salida al mundo real mediante el DAC y retroalimentarlo mediante el ADC integro o con variaciones al core para el cálculo de fase y amplitud.

Este último modulo permite comprobar los cálculos teóricos de manera práctica sin necesidad de realizar ningún montaje experimental, sin el diseño de este modulo no justifica del todo la realización de pruebas con experimentos reales para comprobar la funcionalidad del equipo.

La figura 3.14 muestra el diagrama esquemático del Controlador de Desfasamiento conectado al Sintetizador Digital de Formas de Onda. Puede apreciarse que el contiene dos etiquetas UPE and DWN correspondientes a 2 entradas de 1bit, las cuales permiten al usuario desde el Pad Numérico incrementar o decrementar la fase a voluntad.

Para este caso, debido a que la LUT está conformada por 256 posiciones, y la función del Controlador de Desfasamiento lo que hace es sumar estas 8bits a la entrada de la LUT directamente, los saltos por cada pulso recibido están determinados por $360^{\circ}/256$ pasos, lo que nos da una relación de $\pm 1.4^{\circ}$ de desfasamiento de la onda original por cada pulso recibido.

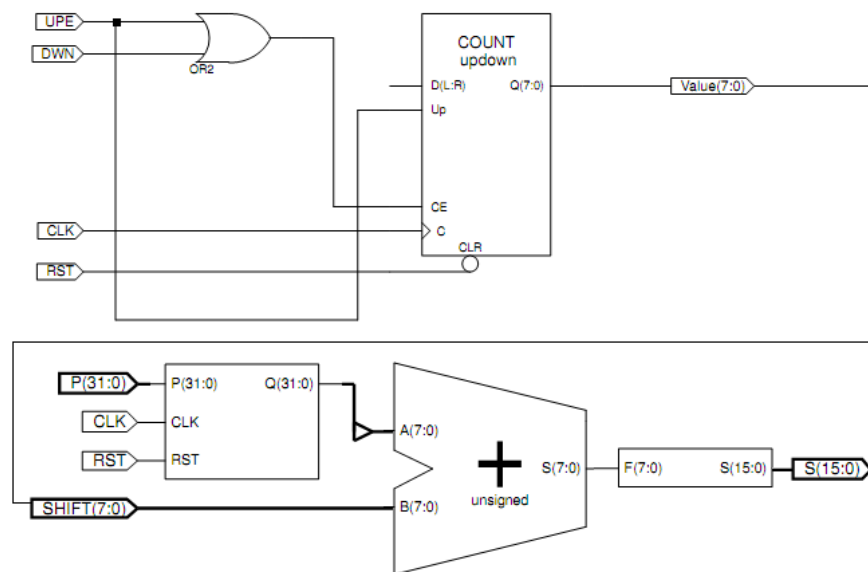


Figura 3.14 – Controlador de Desfasamiento conectado al Sintetizador de formas de onda, el cual permite al usuario generar una señal con fase arbitraria para pruebas experimentales con el mismo equipo, sin necesidad de un experimento externo.

3.6 Driver del Doble DAC del Sistema

Para convertir las señales digitales en señales analógicas generadas por el modulo Generador de Funciones descrito en la sección 3.5, se utilizo un DAC de 16 bits de Analog Devices, el DAC utilizado fue el AD5545, las especificaciones técnicas detalladas se pueden encontrar en el APENDICE de este trabajo de Investigación.

El DAC AD5545 contiene 2 canales y trabaja en forma serial por lo que es fue necesario construir un driver de control para poder controlar cada uno de sus canales y poder enviarle los 16 bits en paralelo que proporciona la LUT en modo serial.

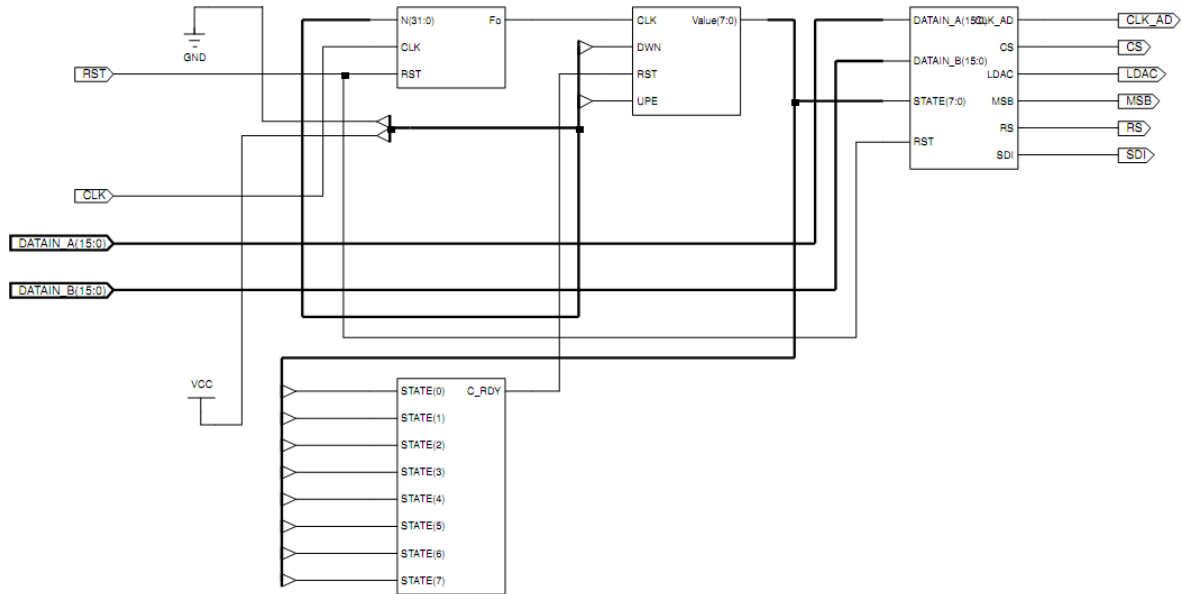


Figura 3.15 – Diagrama Esquemático del Driver de control para el AD5545

En la figura 3.15 puede apreciarse el Esquemático del Driver de control para el AD5545, en ella se observan dos entradas de 16 bits correspondientes a DATAIN_A(15:0) y DATAIN_B(15:0) respectivamente, en estas entradas se reciben los datos paralelos del Sintetizador Digital de Formas de Onda.

En este caso particular, DATAIN_A(15:0) fue utilizado para recibir los datos de la LUT correspondientes a la señal de referencia para estimulación de material de Análisis,

mientras que DATAIN_B(15:0) fue utilizado para generar una señal de auto-prueba, correspondiente al Tercer Sintetizador de Formas de Onda con desfaseamiento arbitrario por el usuario. De manera que la salida S(15:0) que se muestra en la figura 3.14 se introdujo directamente a la entrada DATAIN_B(15:0).

Los valores recibidos por ambas entradas en modo paralelo, son transformadas en modo serial mediante una maquina de estados, esta máquina de estados se muestra como el último bloque de la derecha de la figura 3.15, esta máquina de estados recibe como entradas DATAIN_A(15:0), DATAIN_B(15:0), STATE (7:0) y RST. El parámetro STATE(7:0) marca la posición de la máquina de estados, de manera que la velocidad con la que cambian los estados de esta máquina está directamente relacionado con la velocidad con que cambian los valores de STATE(7:0).

Las salidas de la máquina de estados mostradas en la figura 3.15 son CLK_AD, CS, LDAC, MSB, RS, SDI, cada una de estas salidas se conectan directamente con su equivalente de la entrada del circuito, en la figura 3.16 se muestra la configuración de Pines del circuito AD5545, puede observarse que por la misma entrada SDI (Serial Data Input) del circuito se mandan los valores correspondientes a los dos canales.

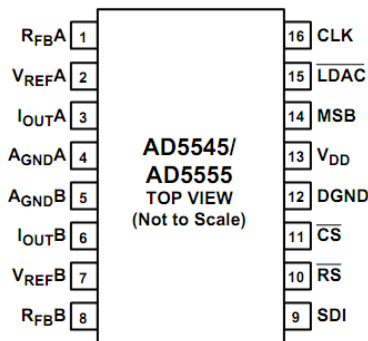


Figura 3.16 – Configuración pines del AD5545

La máquina de estados se encarga de generar el diagrama de tiempos mostrado en la figura 3.17, de manera que las salidas SDI, CLK_AD, CS y LDAC son literalmente “dibujadas eléctricamente” paso a paso para enviar los datos al DAC.

El detalle de los tiempos especificado en la figura 3.17 se puede ver con más detalle en el APENDICE, de este trabajo de investigación.

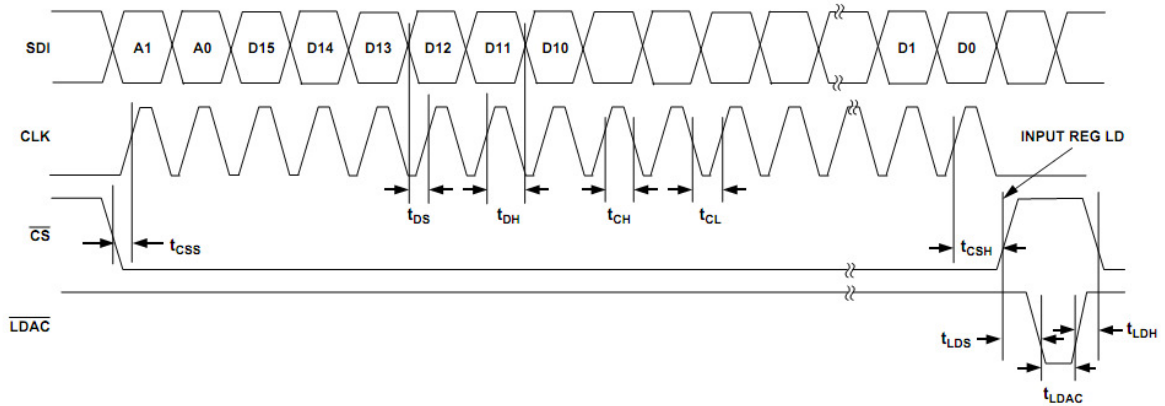


Figura 3.17 – Diagrama de tiempos generado por la máquina de estados para enviar los datos de la LUT hacia el DAC

La tecnología y el encapsulado del DAC no permite proporcionar mucha corriente por lo que según la hoja de especificaciones técnicas adjunta en el APENDICE de este trabajo, es necesario agregar circuitería externa con el fin de evitar una demanda excesiva a las salidas del DAC, cabe mencionar que las salidas son en corriente y el valor máximo posible por cada salida es de 2mA, esta etapa de compensación de potencia se diseño utilizando un Amplificador TL084, en la figura 3.18 puede observarse la configuración utilizada y recomendada por el fabricante.

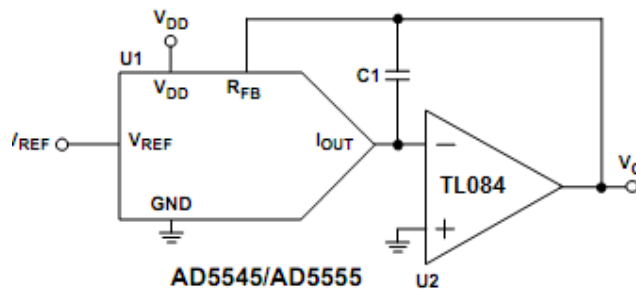


Figura 3.18 – Etapa de compensación de potencia para cada salida del DAC AD5545

A la salida de V_o de cada canal, según lo muestra la figura 3.18, se agregó un amplificador inversor de ganancia variable con la configuración mostrada en la figura 3.19, esto con el fin de ajustar los valores de salida a niveles convenientes según el experimento o las configuraciones ideales de señal para el material de estudio.

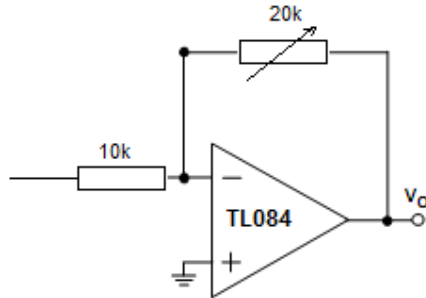


Figura 3.19 – Amplificador de Ajuste de nivel agregado a cada canal del DAC

3.7 Módulo de Convolución (CONVOL)

El módulo de convolución consiste en dos multiplicadores intrínsecos del chip XCS200 de la tarjeta SPARTAN-3 utilizada para el desarrollo de este proyecto. A estos dos multiplicadores internos les llegan las señales digitales V_{ref1} y V_{ref2} respectivamente, cada una de las señales de referencia es multiplicada por la señal leída V_{read} , de tal manera que a la salida de los multiplicadores obtenemos $V_{ref1} * V_{read}$ y $V_{ref2} * V_{read}$. El ancho de palabra utilizado en estos casos es de 18 bits de tal manera que la señal leída, en este caso proveniente del ADC – MAX1161 de 16 bits es ajustada a 18 bits rellenando con ceros la parte alta. El ancho de palabra de la salida de los multiplicadores es equivalente a “la suma de bits de las entradas” de tal manera que para este caso corresponde a 36 bits.

Los registros manejados por el módulo de promedio dinámico (DAV) son de 32 bits, de manera que aunque la salida del módulo de convolución es equivalente a 36 bits, para este caso particular y para obtener el mayor rango de operación se han tomado los bits más significativos de la salida del módulo de convolución. Sin embargo, para alguna aplicación en particular donde se deseara manejar un rango menor de valores provenientes del ADC podría realizarse un cálculo referente a la cuantización de la señal leída y consecuentemente se tomarían más o menos significativos de los 36 bits de salida del módulo de convolución según los resultados del cálculo.

En la figura 3. 20 se puede observar el diagrama a bloques correspondiente al módulo de convolución diseñado para este trabajo de investigación.

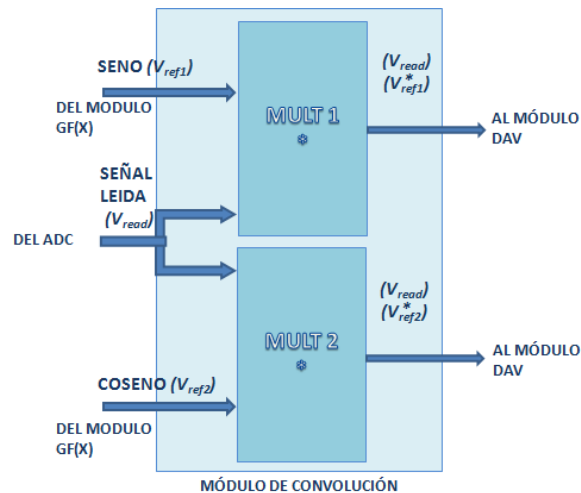


Figura 3.20 – Diagrama a bloques del módulo de Convolución

El diagrama esquemático del Multiplicador Intrínseco utilizado en el proceso de convolución se muestra en la Figura 3.21, en ella puede apreciarse que la entrada las entradas X(17:0) y A(17:0) son de 18 bits y dan como resultado R(35:0) de 36 bits.

La tarjeta SPARTAN-3 cuenta con 12 multiplicadores intrínsecos, de los cuales fueron utilizados 4 para todo el proceso operacional del sistema.

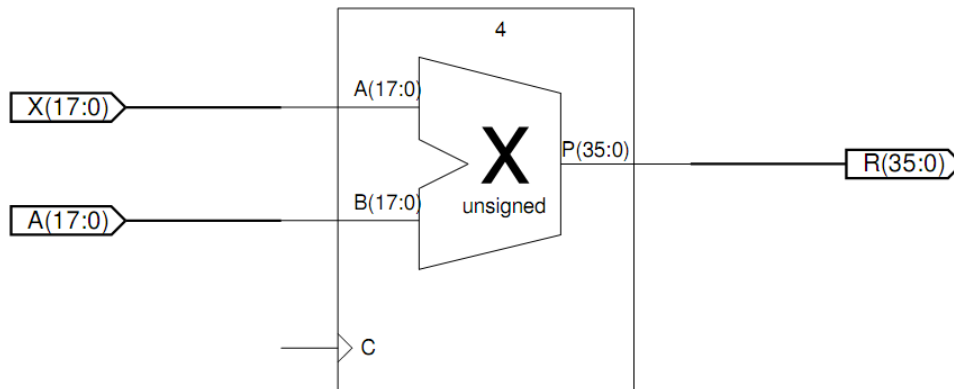


Figura 3.21 – Diagrama Esquemático del Multiplicador Intrínseco de 36 bits

3.8 Módulo de Promedio Dinámico (DAV)

El Módulo de Promedio Dinámico calcula el valor promedio del ciclo senoidal del resultado de la Convolución. En vista de que la señal de referencia se construye a partir de un número determinado de puntos (nP), este mismo número de puntos (nP) es el número de veces que el resultado $V_{ref1} * V_{read}$ y $V_{ref2} * V_{read}$ del módulo de convolución es sumado simultáneamente para luego ser dividido entre el número de puntos de la señal de referencia (nP). La característica principal de este módulo es que el resultado obtenido siempre corresponde a los últimos nP bits del módulo de Convolución del último ciclo de señal de referencia, de manera que el promedio es recalculado cada vez que llega al módulo un nuevo grupo de valores $V_{ref1} * V_{read}$ y $V_{ref2} * V_{read}$.

Este módulo DAV trabaja con registros de 32 bits, de manera que los 36 bits provenientes del módulo de Convolución, son recortados y tomados en consideración solo los 32 bits más significativos de su resultado entregado.

En primera instancia, los valores provenientes del módulo de convolución son guardados en un Registro A, esto para evitar “indeterminaciones” en los bits al momento en que el módulo de Convolución entrega los resultados, posteriormente el Registro A se conecta a una de las entradas del Sumador intrínseco de 32 bits del chip XCS-200, en la otra entrada del Sumador se conecta un Registro B de 32 bits, este Registro B actúa como entrada y salida del Sumador, almacenando el último valor calculado por este y reenviándolo a su entrada para el próximo ciclo de suma, además el Registro B envía su resultado constantemente a un Registro C de 32 bits, que se encarga de almacenar el último valor obtenido por el Registro B una vez que se ha completado el nP del ciclo de señal de referencia. El valor del Registro C es dividido por un bloque Divisor entre nP , finalmente el valor promedio calculado es almacenado en el Registro D de 32 bits.

Cabe mencionar que este proceso de Promedio Dinámico se realiza de manera “doble y simultanea” tanto para los valores de entrada $V_{ref1} * V_{read}$ como para los valores de $V_{ref2} * V_{read}$. De manera que los registros A, B, C y D existen de manera “dual” con la nomenclatura de A1, A2, B1, B2, C1, C2, D1, D2. El registro D1 almacena el promedio del grupo de valores de $V_{ref1} * V_{read}$, cuyo resultado es igual la coordenada X. D2 almacena el promedio del grupo de valores de $V_{ref1} * V_{read}$, cuyo resultado es igual la coordenada Y. Ambas coordenadas “X” y “Y” son propios de los sistemas en cuadratura, las cuales llevan implícitas en conjunto las magnitudes de Fase y Amplitud. Estas coordenadas son enviadas al algoritmo de CORDIC que se encargará de transformar estas coordenadas rectangulares en coordenadas polares y obtener así los valores de Fase (θ) y Amplitud (R) por separado.

En la figura 3.22 se ilustran los bloques correspondientes al módulo DAV.

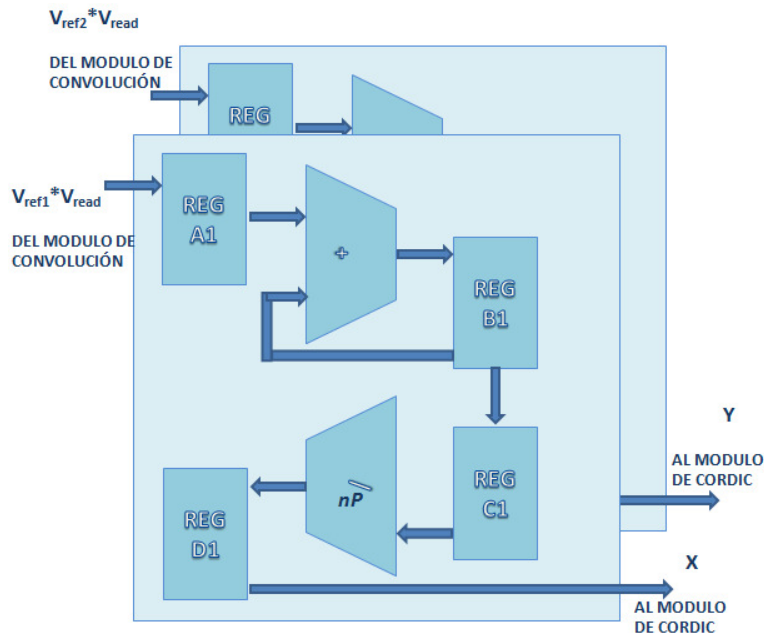


Figura 3.22 – Diagrama a bloques del módulo de Promedio Dinámico (DAV).

En la figura 3.23 se muestra el diagrama esquemático de los sumadores intrínsecos de 32 bits utilizados para el cálculo de la Convolución, los valores son recibidos o enviados según la operación correspondiente a registros de 32 bits, como se describe en la figura 3.21.

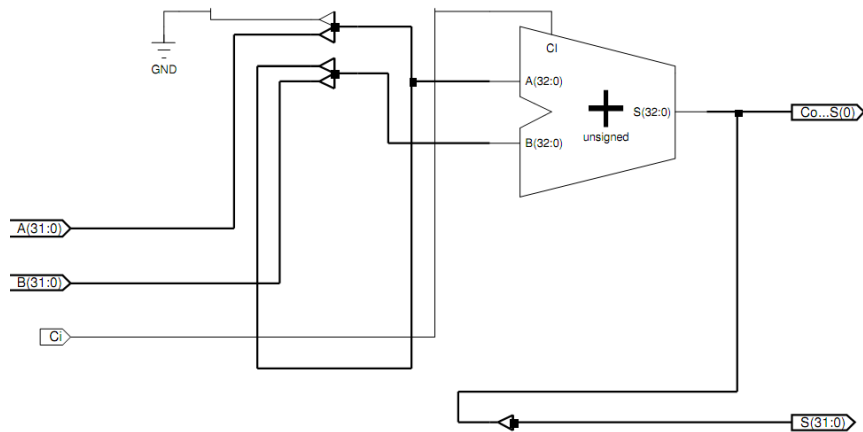


Figura 3.23 – Diagrama Esquemático del Sumador Intrínseco de 32 bits.

Para el cálculo del promedio es necesario realizar una operación de División, este cálculo se realiza dividiendo la suma total de los valores muestreados por cada ciclo de la señal senoidal entre el número total de muestras.

Sin embargo las operaciones de división no se encuentran de manera intrínseca dentro de la SPARTAN 3, y generalmente no forman parte de los bloques operacionales de los FPGA, por lo que fue necesario implementar una operación de División por aproximaciones sucesivas, el código de desarrollo y el diseño completo fue del Libro “Electronica Digital y Lógica Programable” editado por el Dr. René de Jesús Romero Troncoso [], de esta manera se pudo implementar un divisor de 36 bits entre 18bits.

Debido a que los valores de los registros utilizados en las operaciones de Convolución son de 32 bits, fue necesario rellenar con ceros los últimos 4 bits del registro de entrada o Dividendo del Divisor por aproximaciones sucesivas.

El divisor de 18 bits fue del registro de entrada del Divisor por aproximaciones sucesivas, puede ser modificado para tomar un valor arbitrario de muestras múltiplo del número de muestras por ciclo tomadas por el ADC de la señal senoidal de referencia, y siempre y cuando no exceda el valor de 18 bits.

La figura 3.24 muestra el diagrama esquemático simplificado del Divisor por aproximaciones sucesivas.

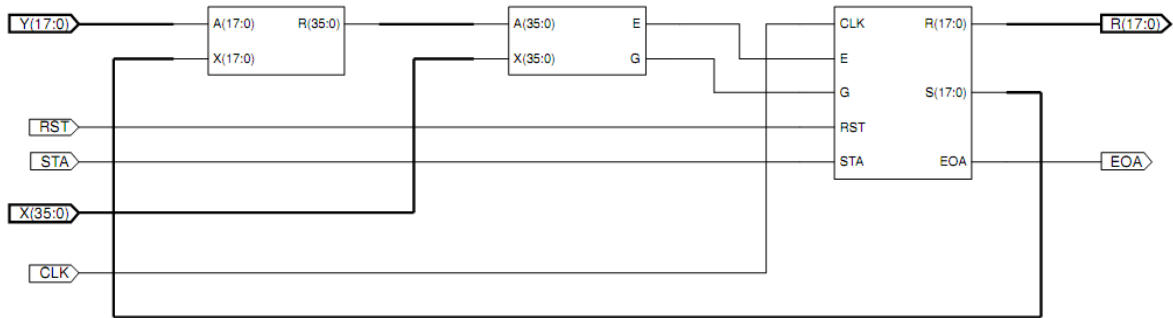


Figura 3.24 – Diagrama esquemático simplificado del Divisor por aproximaciones sucesivas diseñado por el Dr. René de Jesús Romero Troncoso.

3.9 Driver de los Convertidores Analógico Digital del Sistema

Los valores utilizados de entrada al módulo de convolución descrito en la sección 3.8 son obtenidos mediante un Convertidor Analógico Digital (ADC), para este trabajo de investigación se utilizó un convertidor de 16 bits de MAXIM, el ADC utilizado fue el MAX1162, los detalles y especificaciones detalladas de este convertidor se encuentran en el APENDICE de este trabajo de investigación.

El MAX1162 es un convertidor Analógico Digital en modo serial de 16 bits que puede realizar hasta 200kps (200,000 muestras por segundo), para poder utilizar los valores proporcionados por este convertidor fue necesario diseñar un Driver de Control para transformar los datos en modo serial a modo paralelo.

En la figura 3.25 se muestra el Diagrama Esquemático simplificado y compactado del Driver diseñado para el MAX1162, el cual está compuesto por una máquina de estados.

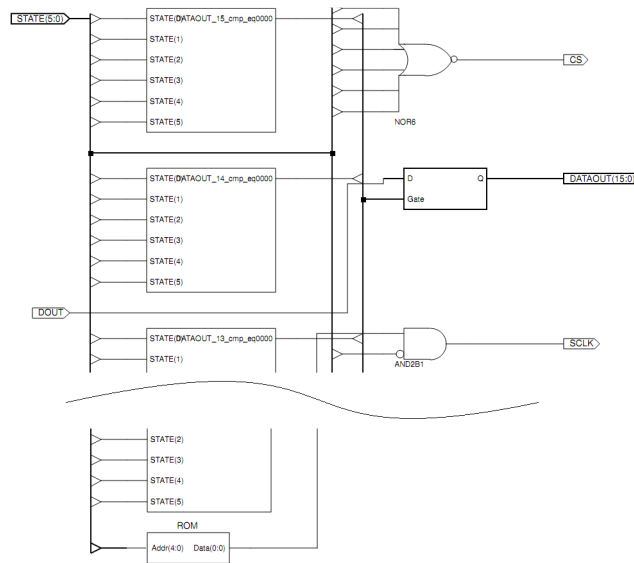


Figura 3.25 – Diagrama Esquemático Simplificado del Driver del MAX1162

En la figura 3.25 puede observarse que la máquina de estados cuenta con una entrada etiquetada con el nombre de STATE (5:0), la velocidad del cambio de estado de la maquina está determinado por la velocidad con que cambian los valores en dicha entrada, estos cambios están controlados con un contador ascendente de 8 bits como el que se muestra en la figura 3.26, los bits restantes no son tomados en cuenta

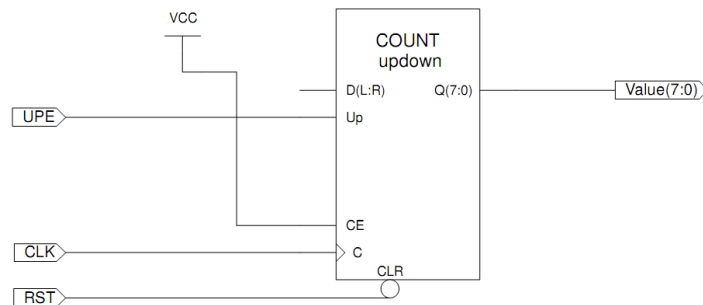


Figura 3.26 – Contador Ascendente – Descendente utilizado para controlar los pasos de la máquina de estados del Driver del MAX1162.

También puede observarse en la figura 3.25 que la máquina de estados cuenta con otra entrada etiquetada como DOUT, esta entrada proporciona los valores de la conversión Analógica a Digital en modo serial del convertidor los cuales son transformados a modo paralelo por la máquina de estados, la salida DATAOUT (15:0) proporciona los datos

en modo paralelo al core del sistema para las operaciones de Convolución. También en dicha figura puede apreciarse las salidas de 1 bit SCLK y CS, la primera proporciona los pulsos de reloj necesarios para que el convertidor realice sus operaciones de conversión, mientras que la segunda se encarga de activar o desactivar el circuito.

La figura 3.27 muestra el diagrama de tiempos generador por la máquina de estados mencionada en la figura 3.25. Las formas de onda mostradas en esta figura fueron de igual manera literalmente “dibujadas eléctricamente” tal y como se muestran, esto siguiendo las recomendaciones del fabricante.

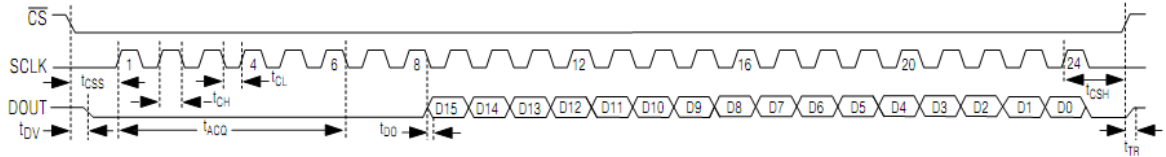


Figura 3.27 – Diagrama de Tiempos generado por la máquina de estados del Driver del MAX1162

La Salidas y Entradas del Driver para el MAX1162 fueron conectadas al circuito de acuerdo a los pines respectivos del mismo, la figura 3.28 muestra la configuración de los pines del MAX1162 utilizado.

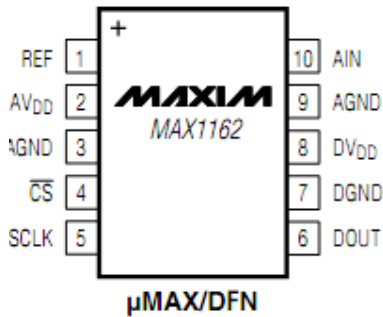


Figura 3.28 – Configuración de Pines del MAX1162

Según recomendaciones del fabricante se utilizó la configuración típica de conexiones eléctricas para el MAX1162, la figura 3.29 muestra la configuración eléctrica para alimentación eléctrica del circuito.

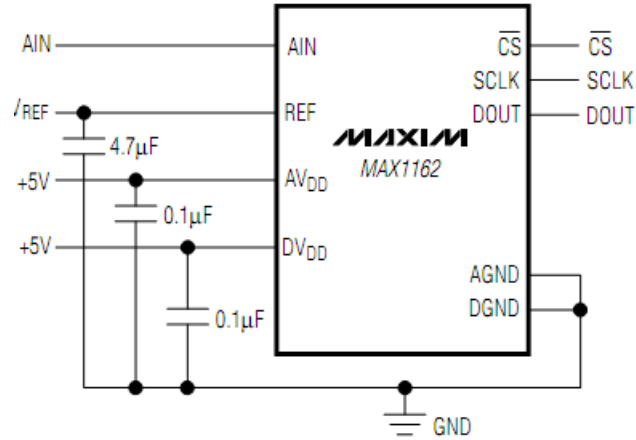


Figura 3.29 – Configuración típica para alimentación eléctrica del MAX1162

Por recomendaciones del fabricante y para evitar la interferencia del ADC en el sistema del cual se obtiene la señal analógica que se desea muestrear, se integro a la entrada del ADC una etapa de acoplamiento de alta impedancia mediante un Amplificador Operación TL084. La Figura 3.30 muestra el circuito de acoplamiento recomendado por el fabricante.

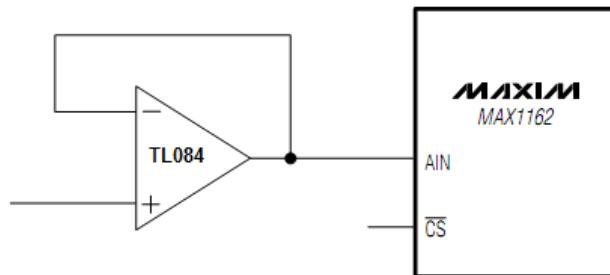


Figura 3.30 – Etapa de Acoplamiento para las entradas del MAX1162

3.10 Módulo de CORDIC

El algoritmo de CORDIC (Cordinate Rotation Digital Computer) se plantea como una alternativa en los sistemas digitales para optimizar recursos de hardware evitando el uso de operaciones complejas y consecuentemente con la necesidad de usar multiplicadores digitales, un recurso muy limitado, sobre todo en los FPGA.

El algoritmo de CORDIC se desarrolla mediante el uso de sumadores, registros de desplazamiento y LUTs (Lock-Up Tables). Este algoritmo se basa en la rotación de

vectores y permite rotar el ángulo θ , proveniente del movimiento de la resultante $R=(X, Y)$, obteniendo el vector rotado $R' = (X', Y')$.

Este algoritmo puede implementarse por el método de rotación o por el método de vectorización. En el primero las entradas corresponden al vector $R=(X, Y)$ y el ángulo θ a rotar, obteniendo $R' = (X', Y')$. En el segundo método, la entrada es el vector $R=(X, Y)$ y la salida es la magnitud R y el ángulo θ del vector $R=(X, Y)$.

Las ecuaciones CORDIC fundamentales para este algoritmo se enuncian a continuación:

$$\begin{aligned} x_{i+1} &= x_i - y_i \cdot d_i \cdot 2^{-i} \\ y_{i+1} &= y_i + x_i \cdot d_i \cdot 2^{-i} \\ z_{i+1} &= z_i + d_i \cdot \tan^{-1}(2^{-i}) \end{aligned} \quad \text{Ecuación 3.3}$$

Para cada iteración, se obtiene una semi - rotación con un ángulo igual a:

$$\alpha_i = \tan^{-1}(2^{-i}) \quad \text{Ecuación 3.4}$$

Consecuentemente al repetir el proceso por α_i se puede lograr que el vector R se aproxime a un ángulo próximo a θ . Las variables dinámicas x_{i+1} y y_{i+1} al incrementar el número de iteraciones obtienen una ganancia de procesamiento el cual se aproxima entre más iteraciones se realicen al valor 1.647, donde el valor exacto de la ganancia de procesamiento G_p se puede calcular con la siguiente ecuación:

$$G_p = \prod \sqrt{1+2^{-2i}} \approx 1.647 \quad \text{Ecuación 3.5}$$

Los valores del ángulo mencionado en la Ecuación 2, son constantes y se pueden almacenar en una LUT, entre más valores se tengan de i mayor exactitud con respecto al valor real se puede obtener, en la siguiente tabla se puede observar un ejemplo de las constantes obtenidas a partir de la ecuación 2.

i	$\alpha_i = \tan^{-1}(2^{-i})$
0	45.000
1	26.56506
2	14.03624
3	7.12502
4	3.57633
5	1.78991
6	0.89517
...	...

Tabla 3.1 - Ejemplo de LUT con los valores almacenados correspondientes a la

$$\alpha_i = \tan^{-1}(2^{-i})$$

A partir de las Ecuaciones 1, se pueden obtener rotaciones para ángulos menores a 90° , para ángulos mayores a 90° , se deben utilizar las siguientes ecuaciones:

$$x_{i+1} = -y_i \cdot d_i$$

$$y_{i+1} = x_i \cdot d_i$$

$$z_{i+1} = d_i \cdot 90^\circ$$

Ecuación 3.6

Para este caso se tiene que considerar $d=-1$ para rotar 90° y $d=1$ para rotar -90° .

En la Figura 3.5, se muestra el bloque general del módulo de CORDIC, en donde los resultados provenientes del módulo de Convolución, vectores X, Y, son introducidos al algoritmo de CORDIC (de licencia GNU), obteniendo R y θ .

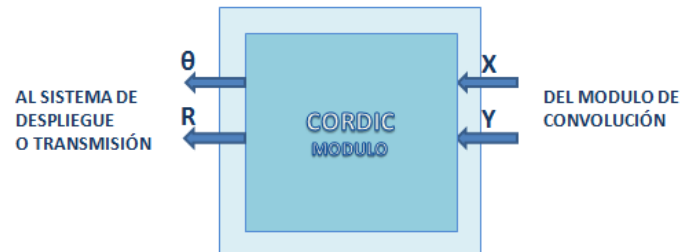


Figura 3.31 – Bloque general del módulo de CORDIC

3.11 Módulos de Despliegue y Transmisión RS-232

Los módulos de despliegue y transmisión RS-232 fueron diseñados para dar salida tanto de manera local como externa a algún sistema de almacenamiento como una computadora o algún otro medio dedicado como un data-logger.

Este tipo de módulos son comúnmente utilizados en los sistemas de comunicación y despliegue diseñados sobre plataformas reconfigurables como los FPGA, particularmente hablando del módulo de transmisión RS-232 este se implementó en el sistema desarrollado a partir de los core de licencia GNU.

En la Figura 3.32 puede observarse el diagrama a bloques general de ambos módulos.

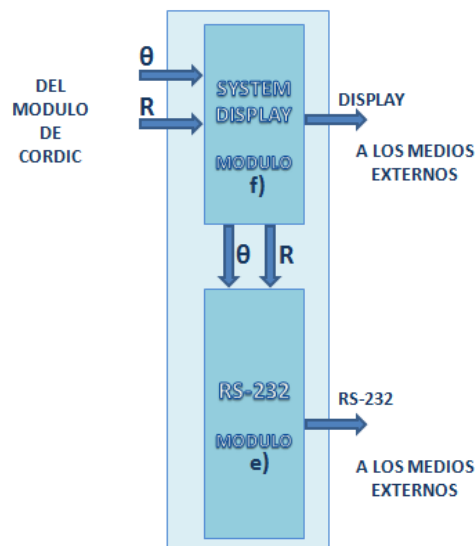


Figura 3.32 – Diagrama a bloques general de los módulos de Transmisión RS-232 y Despliegue

3.12 – Proceso de Diseño de la Tarjeta de Adquisición de Datos

Se diseño una tarjeta de adquisición de datos con los convertidores ADC y DAC mencionados en la sección anterior, el diseño se realizo en una placa fenólica siguiendo las recomendaciones de conexión eléctrica de los fabricantes respectivamente.

El diseño se realizo utilizando un programa CAD auxiliar en el diseño del ruteo para las interconexiones en la placa fenólica, para este caso se utilizo el programa ARES 7 – Profesional, para esto se diseñaron 3 diferentes tipos de tarjetas, una de ellas la tarjeta base se diseño abriendo la posibilidad de cambiar los circuitos de operación en caso de falla de estos. Se agregaron a esta tarjeta base conectores atornillables para facilitar la interconexión de los cables de conexión hacia los terminales BNC del chasis del equipo diseñado.

En la figura 3.33 se muestra el último diseño del ruteo de pistas elaborado con ARES 7 – Profesional para la tarjeta base. En ella se puede observar que cuenta con un conector de 40 pines al que se conecta un cable plano y este a su vez se conecta a la tarjeta SPARTAN-3, también puede observarse a la izquierda un conector de 2x8 pines ruteado y etiquetado, sobre el cual se conecta una mini tarjeta hija con el DAC – AD5545 de Analog Devices.

Las pistas de conexión que salen de este conector se conectan a una base para un circuito DIP de 2x7 en donde se coloca un TL084 que controla la etapa de potencia para el DAC como se describe en las figuras 3.18 y 3.19.

A la derecha y justo debajo del conector de 40 pines se 4 conectores SIL de 10 pines, cada par de estos sirve para conectar una mini tarjeta que contiene un MAX1162, bajo estas bases se encuentra una base para un circuito DIP 2x7 en donde se coloca un TL084 que sirve para la etapa de acoplamiento del MAX1162 según se describe en la figura 3.30.

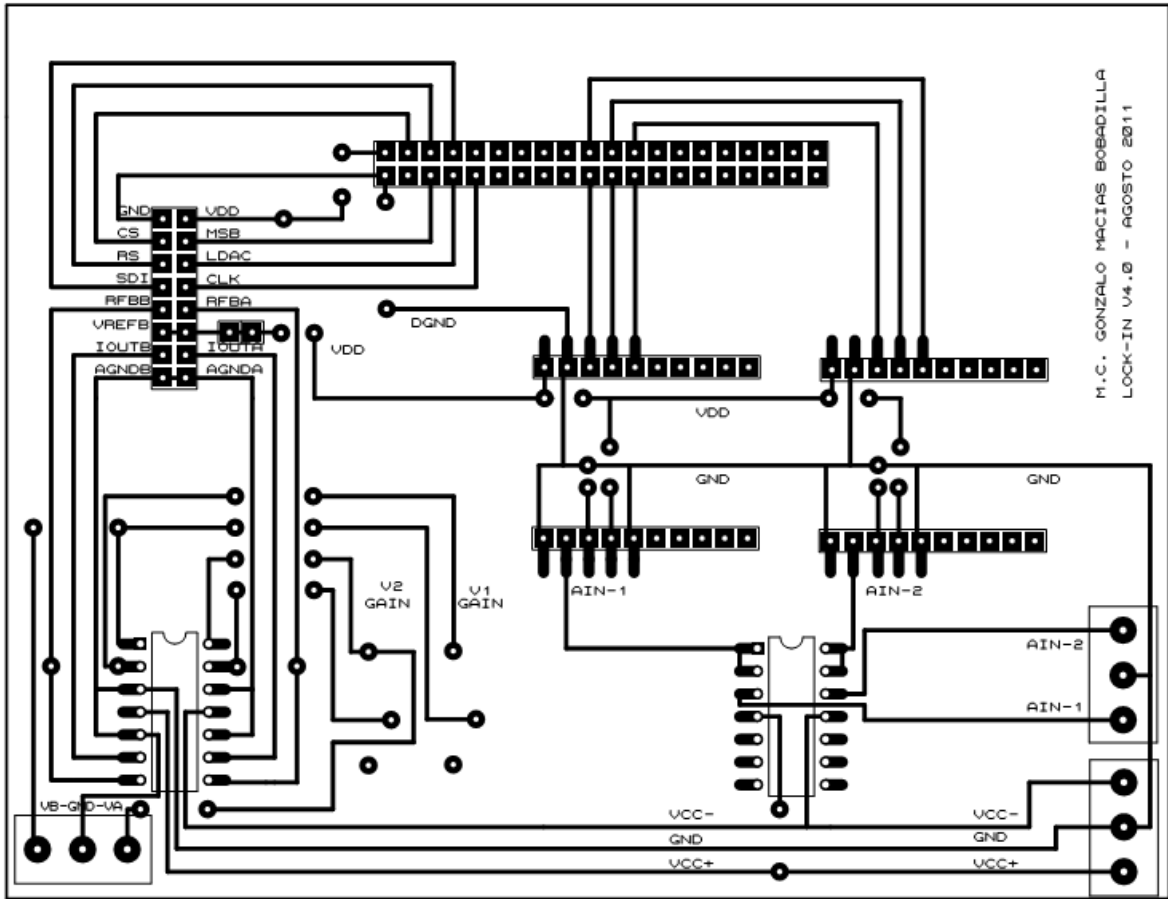


Figura 3.33 – Ruteo de pistas en CAD de la Tarjeta base a la que se conecta las mini tarjetas con los convertidores ADC y DAC, la modularidad de esta tarjeta permite el fácil recambio de los componentes en caso de falla o daño de los mismos.

En la figura 3.34 se muestra el ruteo de la mini tarjeta que contiene el MAX1162, puede observarse que el encapsulado μ MAX similar a TSSOP10 esta ruteado hacia pines de tamaño estándar, lo que permite manipular con facilidad el circuito e incluso implementarlo en otros proyectos de manera independiente.

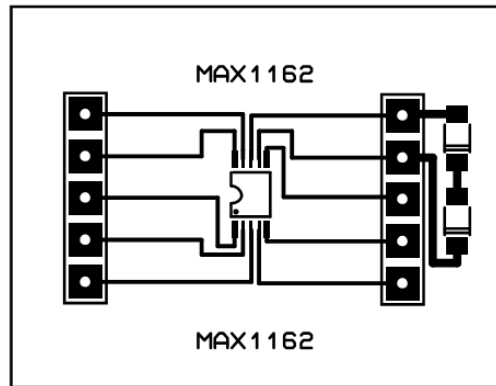


Figura 3.34 – Ruteo de pistas en CAD del encapsulado μ MAX para el MAX1162, puede observarse a la derecha de los pines dos espacios ruteados para colocar una resistencia y un led indicador de alimentación eléctrica.

En la figura 3.35 se muestra el ruteo de la mini tarjeta que contiene el AD5545, puede observarse que el encapsulado TSSOP esta ruteado hacia pines de tamaño estándar, lo que permite manipular con facilidad el circuito e incluso implementarlo en otros proyectos de manera independiente.

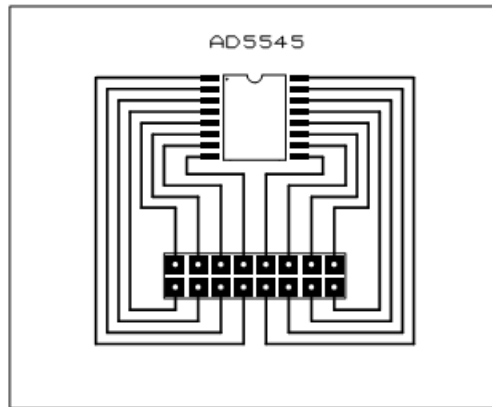


Figura 3.35 – Ruteo de pistas en CAD del AD5545

El diseño de la tarjeta fue elaborado mediante un proceso de transferencia térmica de las pistas sobre la placa de cobre, posterior al grabado de las pistas se procedió a dar tratamiento a la placa fenólica con Cloruro Férrico. Una vez obtenida la placa con las pistas deseadas, eliminando el restante mediante el tratamiento químico, se procedió a aplicar una capa de estaño sobre las pistas para evitar la corrosión. La Figura 3.36 muestra el diseño de la placa base terminada.

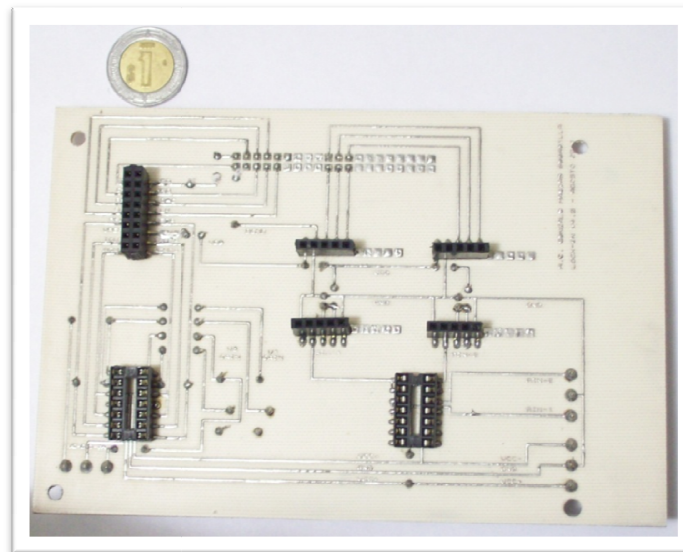


Figura 3.36 – Vista superior de la Tarjeta base terminada y con la capa de estaño

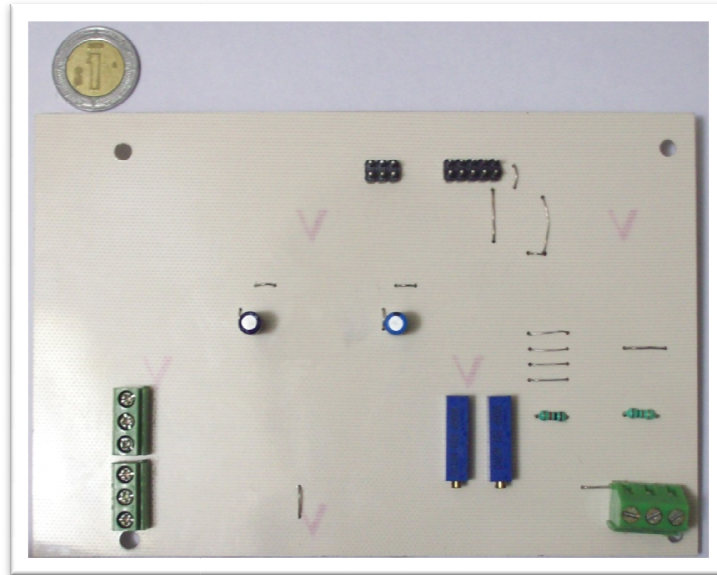


Figura 3.37 – Vista Inferior de la tarjeta base terminada, pueden observarse los conectores atornillables y los potenciómetros de ajuste.

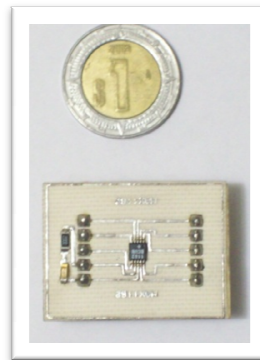


Figura 3.38 – Mini tarjeta diseñada para el MAX1162

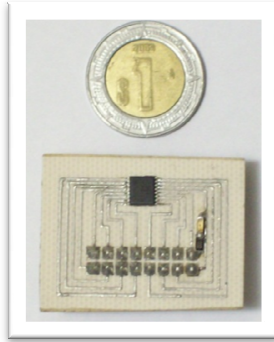


Figura 3.39 – Mini tarjeta diseñada para el AD5545

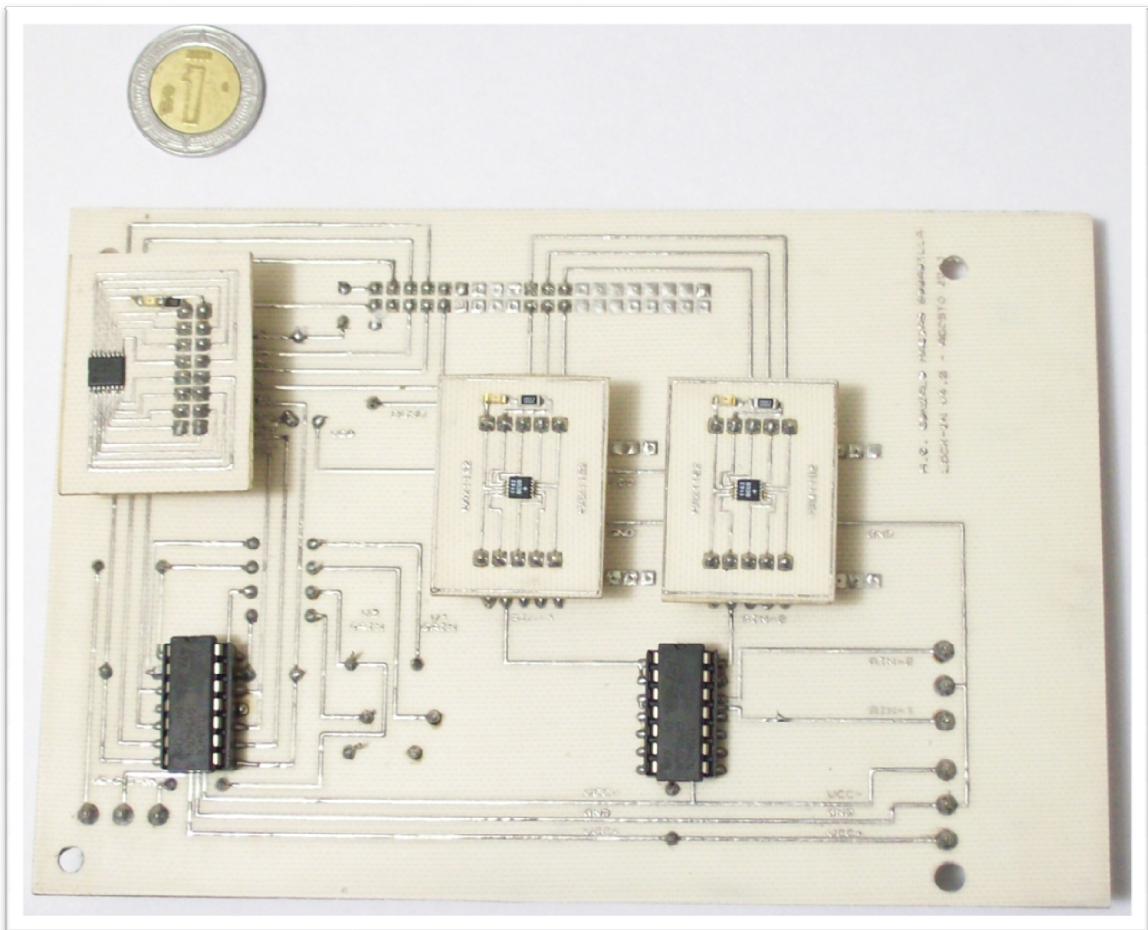


Figura 3.40 – Tarjeta base incluyendo las mini tarjetas y los amplificadores operaciones

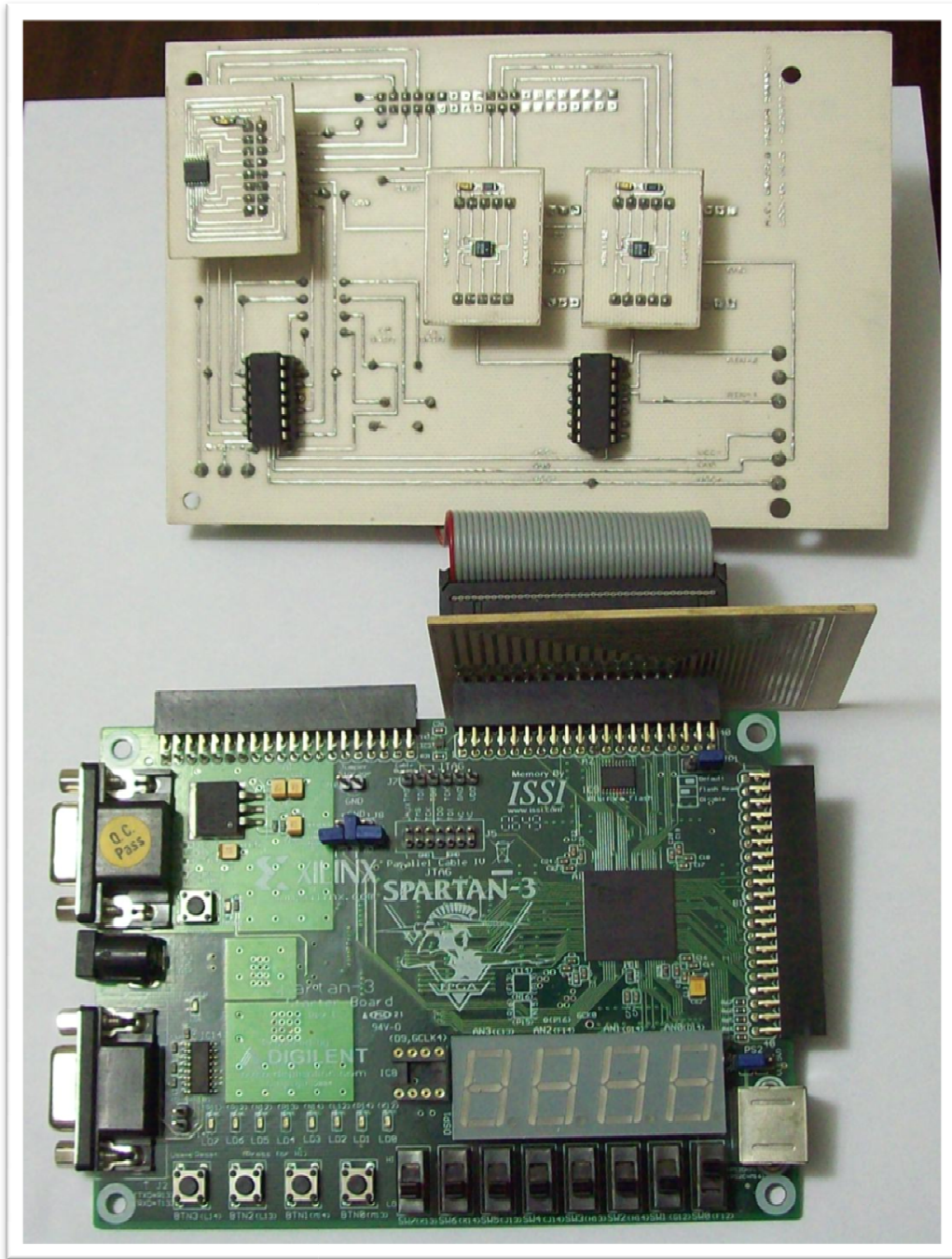


Figura 3.41 – Tarjeta base de adquisición diseñada conectada a la Tarjeta Spartan 3 a través del cable plano de 40 pines



Figura 3.42 – Vista del chasis del equipo diseñado, se observa la pantalla LCD y el Pad Numérico, pueden observarse a la derecha los conectores BNC para la Entrada y Salida de las señales

3.13 Calibración de la Señal Generada por Síntesis Digital Directa

Para asegurar la estabilidad en frecuencia del módulo de generación de funciones descrito en la sección 3.A, el dispositivo desarrollado fue calibrado utilizando un Timer/Counter Analyzer CNT-91 50ps/300MHz de la marca Pendulum, el cual fue conectado a su vez un patrón primario Cesio 5071A de la marca Hewlett Packard en los laboratorios de la “División de Tiempo y Frecuencia – CENAM, México”.

Para esta prueba se seleccionó una señal senoidal con una frecuencia de 1kHz, 5kHz y 9kHz del dispositivo diseñado, a la salida del DAC se conectó un filtro pasabajas de 5kHz para evitar que los puntos de cuantización que forman la señal senoidal a la salida del DAC provocaran alteraciones en el análisis de estabilidad en frecuencia.

En la figura 3.43 se observa la configuración del equipo utilizada para realizar el proceso de calibración.

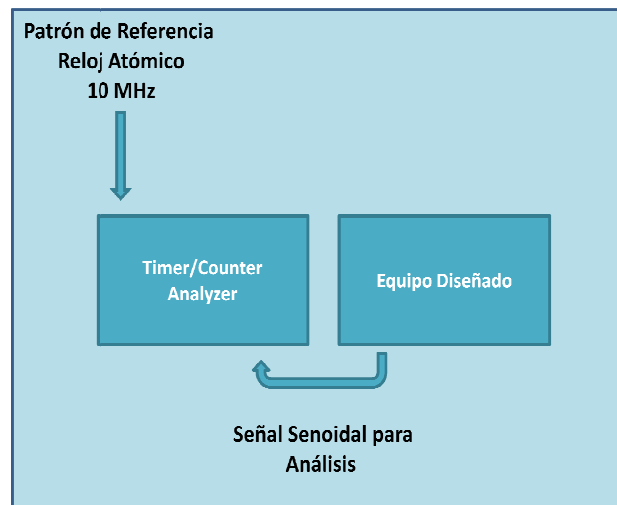


Figura 3.43 – Configuración Experimental para el análisis experimental en frecuencia

3.14 Pruebas Experimentales con señal Auto-Simulada

Se realizaron pruebas experimentales para comprobar la funcionalidad del equipo con señales sintéticas para detección de fase, algunas pruebas se realizaron con señales puramente digitales, correspondientes a señales desde un Sintetizador de Formas de

onda interno capaz de generar señales con una amplitud y fase arbitrarias dentro del core en el FPGA del sistema. La figura 3.44 muestra como se realizo este procedimiento de manera puramente digital.

También con señales puramente analógicas, obtenidas desde un Sintetizador de Formas de onda interno capaz de generar señales con una amplitud y fase arbitrarias convertidas en Analógico a través del los convertidores DAC y leídas nuevamente por los convertidores ADC del mismo sistema. La figura 3.45 muestra como se realizo este procedimiento de manera analógica controlada.

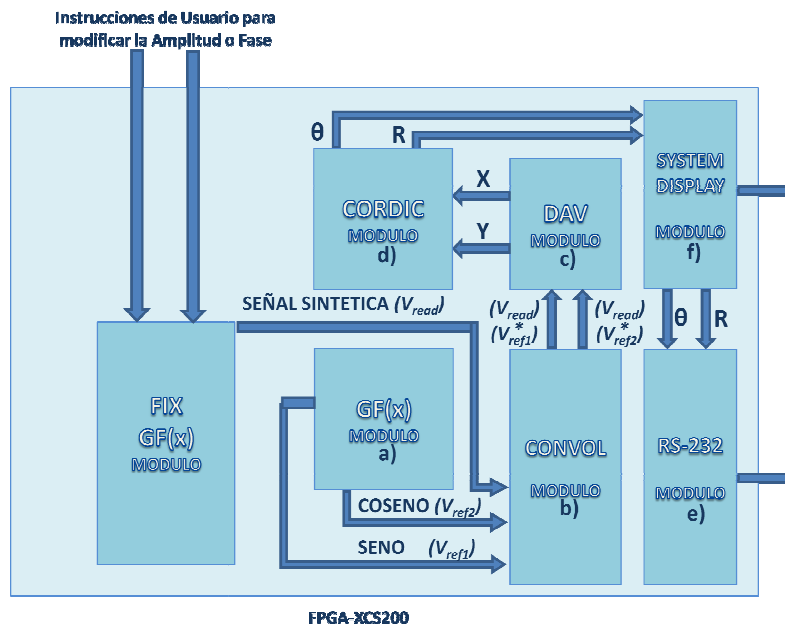


Figura 3.44 – Pruebas Auto - Generadas para comprobar fase y amplitud puramente digitales

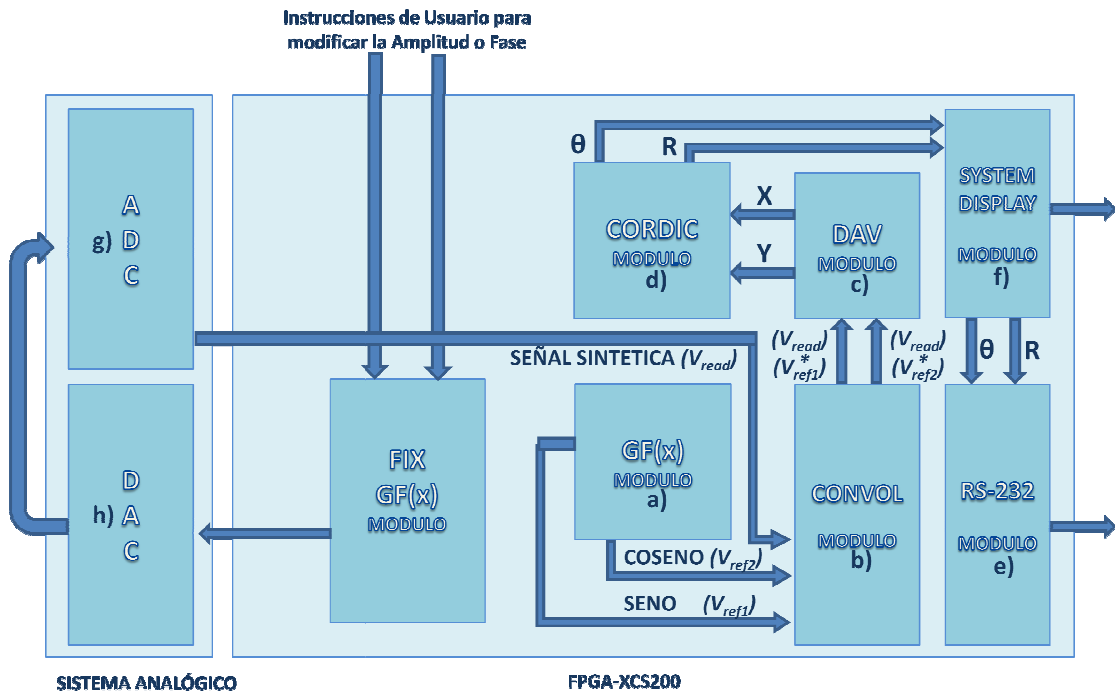


Figura 3.45 – Pruebas Auto - Generadas para comprobar fase y amplitud analógicas controladas

3.15 Pruebas experimentales con análisis de materiales

Se realizaron pruebas experimentales en el Centro de Física Aplicada y Tecnología Avanzada de la UNAM campus Juriquilla, los experimentos consistieron en analizar películas delgadas de Aluminio mediante Fotoacústica.

Para realizar estos experimentos se utilizó una configuración de celda abierta como la que se muestra en 2.9 del Capítulo 2 – Revisión de Literatura, sobre la cavidad del micrófono electret se colocó la laminilla de aluminio como se muestra en la figura 3.46.

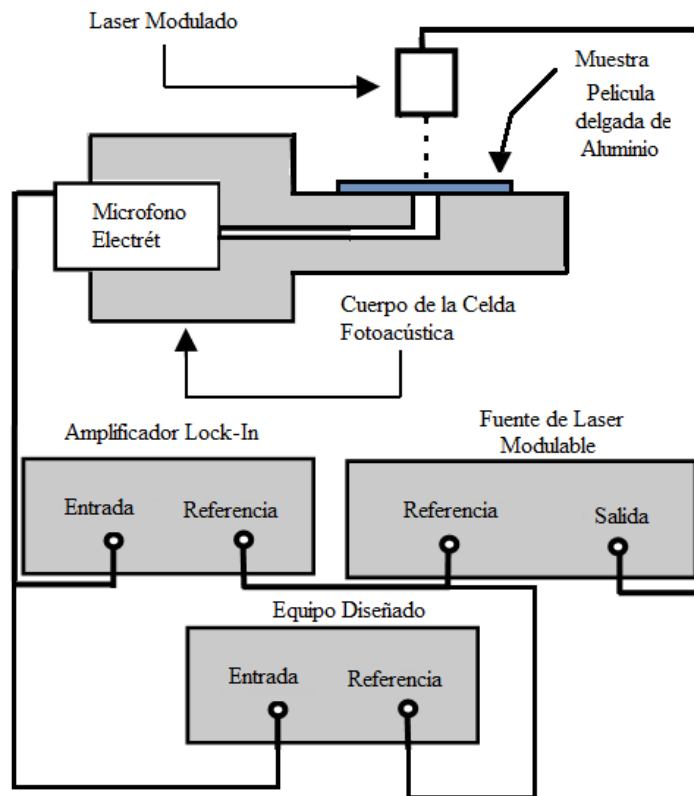


Figura 3.46 – Configuración del experimento realizado en el CFATA – UNAM para análisis por Fotoacústica de Laminas delgadas de Aluminio

En la figura 3.46 puede observarse que el Equipo Diseñado está conectado a la entrada de Referencia del Amplificador Lock-In y a la de la fuente modulable, esto

es porque la señal generada por el Equipo Diseñado marca el patrón de seguimiento para el barrido de frecuencia que se realizo.

La entrada proveniente del micrófono Electret de la celda abierta se manda simultáneamente al Amplificador Lock-In y al equipo Diseñado para realizar un análisis simultaneo y compara las mediciones.

Al irradiar la lamina delgada de Aluminio, esta se dilata y contrae a la frecuencia modulada del laser, el cual sirve de fuente de excitación, la frecuencia modulada del laser es controlada por la frecuencia de referencia del Equipo Diseñado.

Se realizo un barrido de frecuencia de 600Hz a 900Hz para la película delgada de aluminio, analizando la fase, la cual debe variar conforme a aumenta o disminuye la frecuencia, teóricamente si la frecuencia es mayor, es menor el tiempo de exposición del laser sobre la lamina delgada de aluminio, de manera que la señal de respuesta de la lamina se acorta, esta señal de repuesta está estrechamente relacionada con el grosor del material, debido a que la respuesta es ocasionada por dilatación – contracción del material al ser calentado por el laser.

La frecuencia de 600 a 900Hz se eligió para hacer la comparativa debido a era el rango más estable de medición para esta laminilla delgada de Aluminio aun para los dispositivos comerciales.

El Amplificador Lock-In utilizado en este experimento es un SR-830 de Stanford Research Systems, y el laser utilizado es un laser de 430nm (color verde) a una potencia máxima de 100mW.

Los resultados se discuten en el capitulo siguiente.

4. RESULTADOS

4.1 Resultados de Análisis de Estabilidad en Frecuencia

Se realizó una comparación entre un dispositivo comercial y el equipo desarrollado. Para esto se generó una señal arbitraria de amplitud y fase conocida, misma a las que se les fue variando la amplitud o la fase según el caso de estudio. La señal generada fue introducida simultáneamente a ambos equipos, como dispositivo comercial se utilizó un Amplificador Lock-In Stanford Research Systems 830, este fue comparado con el Equipo Desarrollado.

En la figura 4.1 se muestran los resultados obtenidos del proceso de calibración mencionado en el punto 3.F de la Metodología presentada en este documento. Los resultados se calcularon mediante el análisis estadístico llamado Varianza de Alan, se utilizaron ventanas de análisis de 1, 10, 100, 1000, 10000 y 100000 segundos. Cabe mencionar que aun cuando se utilizó arbitrariamente una señal con frecuencia de 1kHz y 5KHz para realizar esta prueba, se espera que resultados similares se obtengan en todo el rango de operación (1kHz – 10kHz) del equipo diseñado.

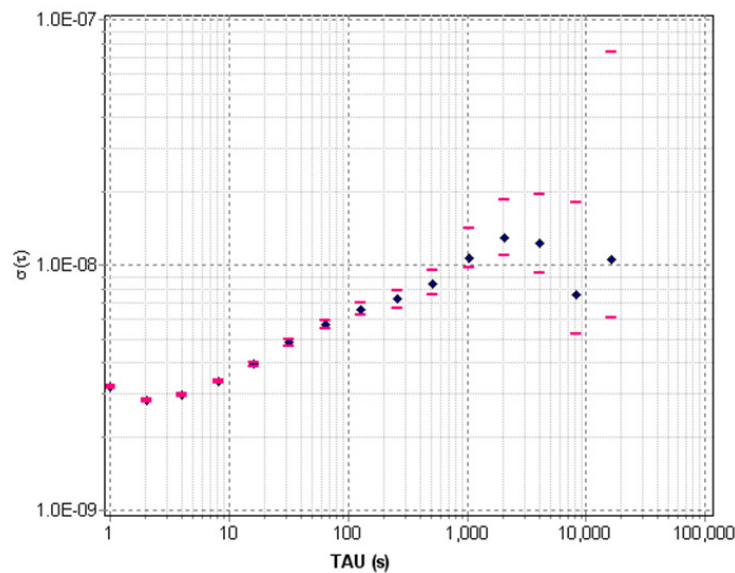


Figura 4.1 – Resultados de la Varianza de Alan realizados para el análisis de estabilidad en frecuencia del equipo diseñado para 1kHz

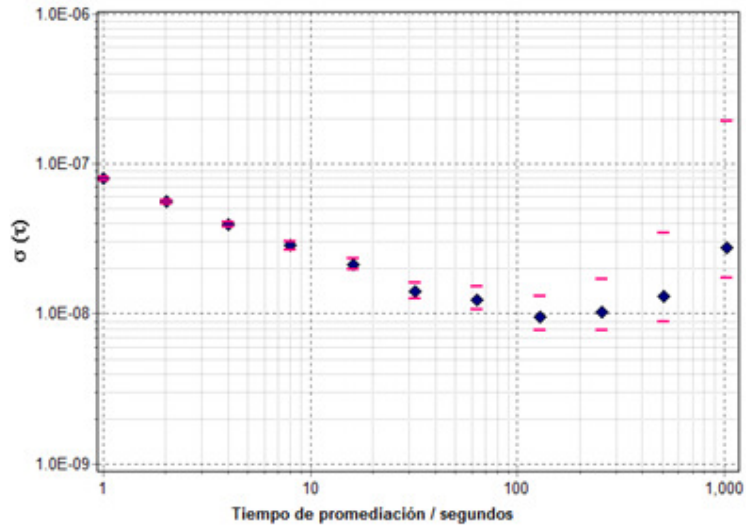


Figura 4.2 – Resultados de la Varianza de Allan realizados para el análisis de estabilidad en frecuencia del equipo diseñado para 5kHz

4.2 Resultados de Análisis de Fase con señal puramente digital

En la figura 4.3 y figura 4.4, se muestran los resultados de las coordenadas rectangulares para X y Y respectivamente, resultado de la convolución directa de la señal de entrada por Seno en el caso de X y por Coseno en el caso de Y.

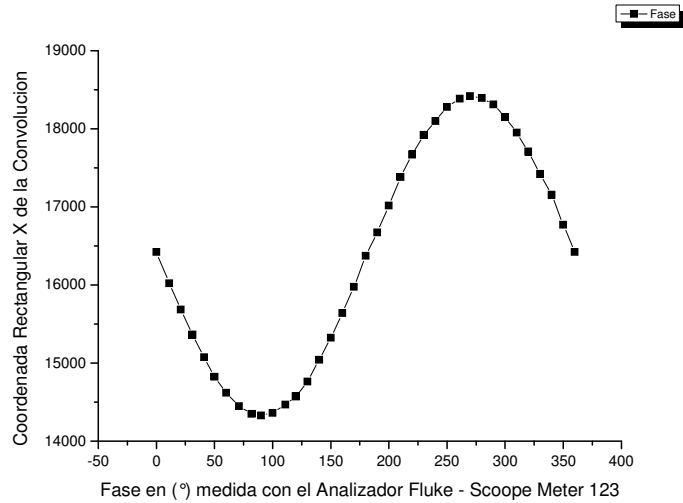


Figura 4.3 – Coordenada X resultado de la Convolución de la señal de entrada con la señal Senoidal de la referencia

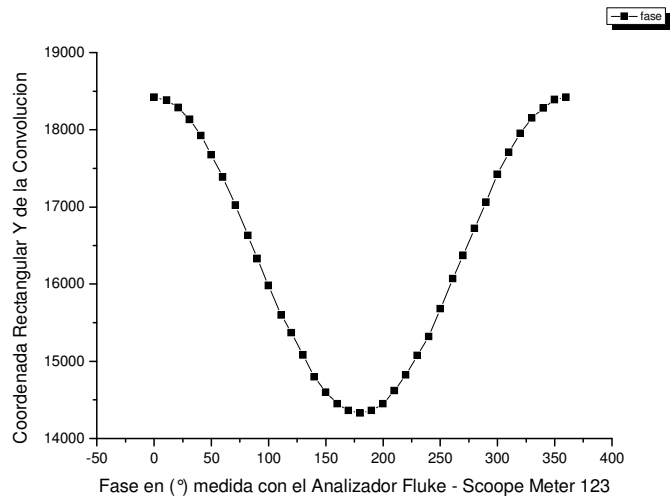


Figura 4.4 – Coordenada X resultado de la Convolución de la señal de entrada con la señal Cosenoidal de la referencia

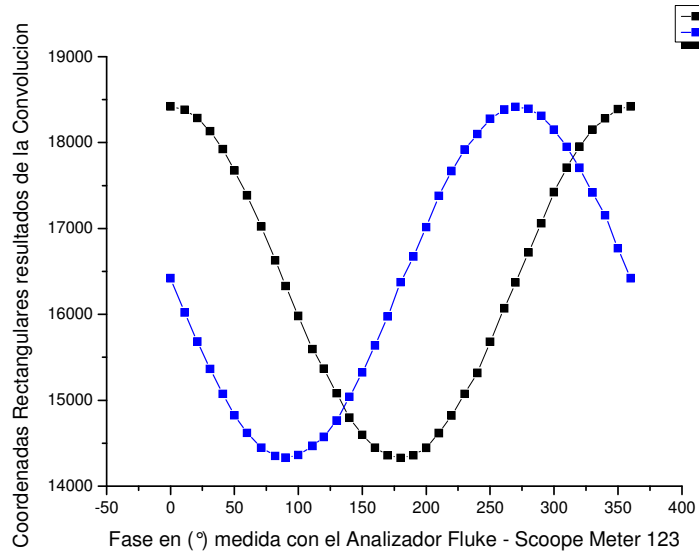


Figura 4.5 – Coordenadas X y Y, resultado de la Convolución de la señal de entrada con la señal Senoidal y Cosenoidal de Referencia Interna, puede observarse que el corrimiento de fase de 90° se mantiene constante en los 360°

4.3 Resultados de Análisis de Fase con señal Analógica Controlada

Los resultados mostrados en la Figura 4.5 comparan la detección de una señal arbitraria con variaciones de amplitud desde los 25mV hasta los 350mV con cambios de 25mV para 3 diferentes frecuencias de operación: 1kHz, 5kHz y 10kHz. La señal generada fue introducida a ambos equipos de manera simultánea. La figura muestra el nivel detectado por el Amplificador Lock-In SR-830 versus la amplitud detectada dispositivo desarrollado. El valor presentado del Dispositivo Desarrollado fue el directamente obtenido del módulo de CORDIC.

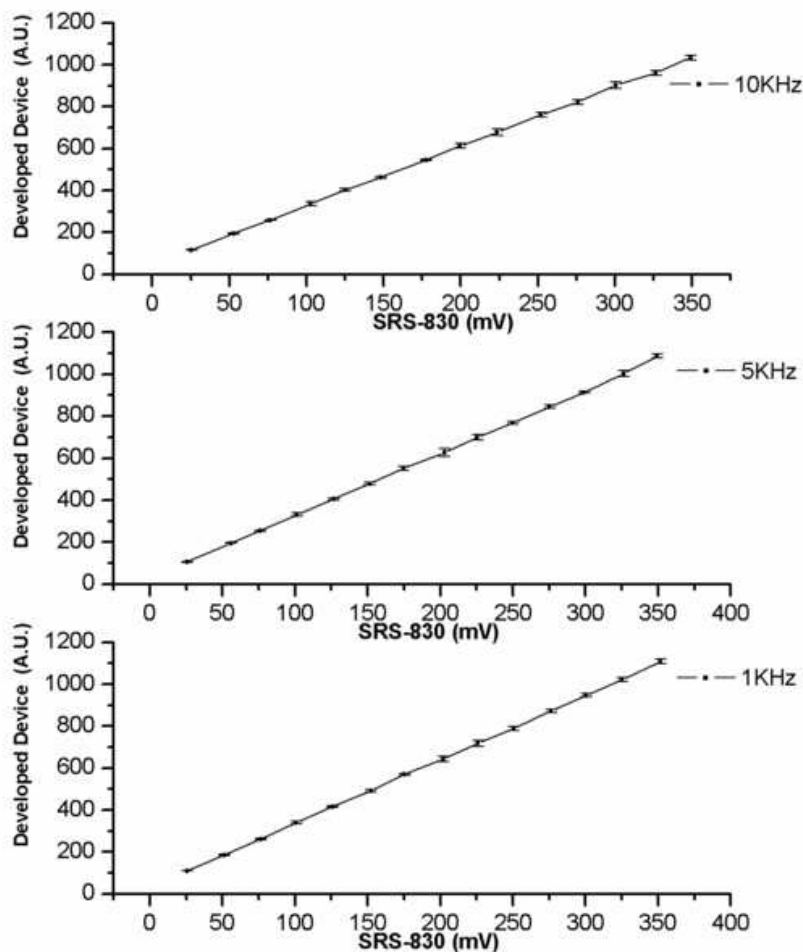


Figura 4.6 – Se muestran los resultados comparativos obtenidos por el SR-830 versus los resultados de la función instrumental obtenida en el módulo de CORDIC.

Los resultados mostrados en la Figura 4.6 comparan la detección de una señal arbitraria con variaciones de fase desde 0° - 360° con cambios de 15° para 3 diferentes frecuencias de operación: 1kHz, 5kHz y 10kHz. La señal generada fue introducida a

ambos equipos de manera simultánea. La figura muestra el desfase detectado por el Amplificador Lock-In SR-830 versus el desfase detectado por el Dispositivo Desarrollado. El valor presentado del Dispositivo Desarrollado fue el directamente obtenido del módulo de CORDIC.

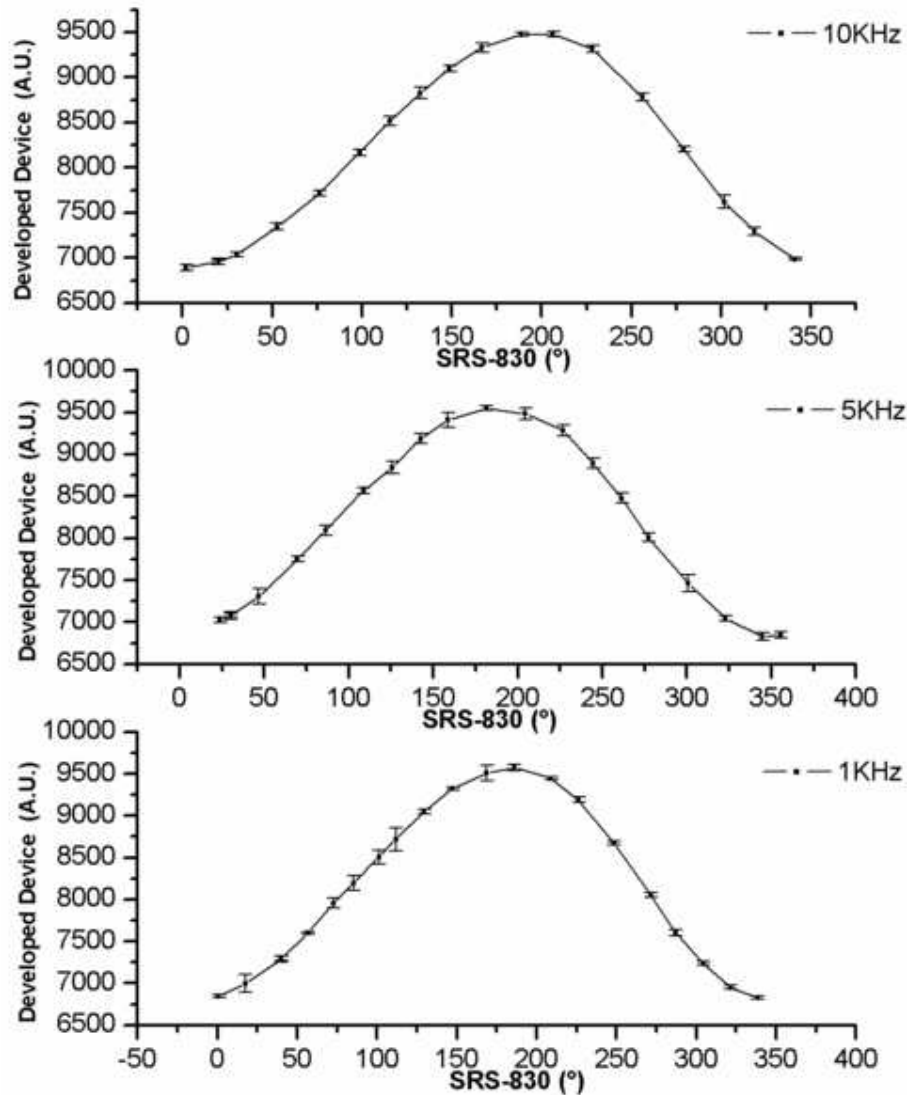


Figura 4.7 – Se muestran los resultados comparativos obtenidos por el SR-830 versus los resultados de la función instrumental obtenida en el módulo de CORDIC.

4.4 Resultados de Análisis de Fase para la Película de Aluminio Delgada

En la figura 4.7 se muestran los resultados obtenidos del análisis de desfase para el análisis de la Película Delgada de Aluminio para un barrido de frecuencia de 600Hz a 900Hz. Obtenidas por el SR-830.

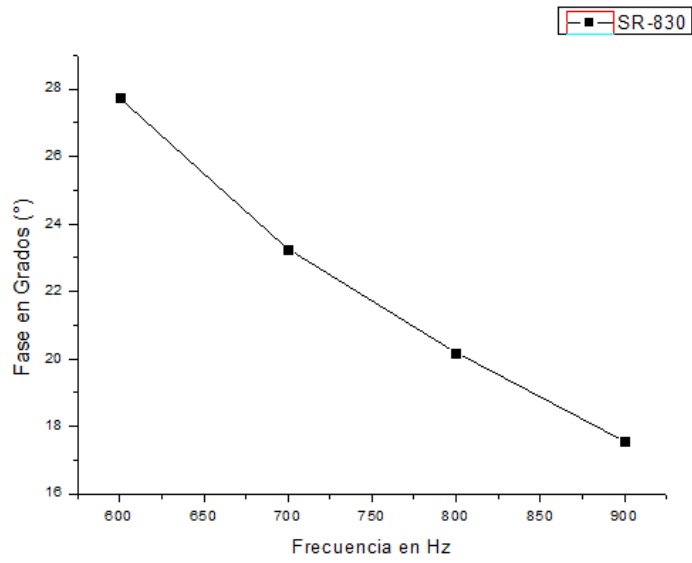


Figura 4.8 – Fase medida en el barrido de Frecuencia de 600 a 900Hz obtenido por el SR – 830

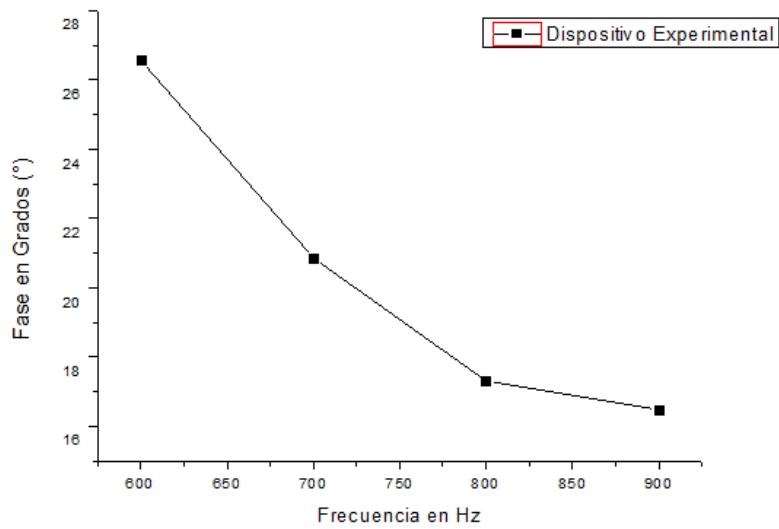


Figura 4.9 – Fase medida en el barrido de Frecuencia de 600 a 900Hz obtenido por el Dispositivo Experimental

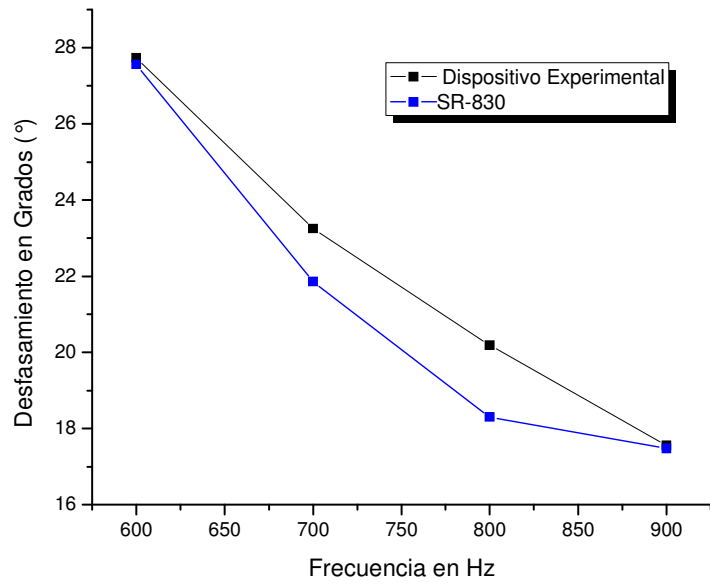


Figura 4.10 – Barrido de Frecuencia de 600 a 900Hz obtenido por el SR – 830 y el Dispositivo Experimental

5. CONCLUSIONES

La desviación de Alan presentada en la Figura 4.1 muestra que la estabilidad de la señal generada por el Dispositivo Desarrollado es de $1.0E-9$, en ventanas desde 1s hasta 100, 000s. Para los experimentos de Time Scan (TS) o Frequency Scan (FS) utilizados en Fotoacústica, este resultado es considerado como un excelente comportamiento de estabilidad tomando en cuenta que es muy importante mantener la estabilidad en frecuencia de la señal en este tipo de experimentos.

De igual manera La desviación de Alan presentada en la Figura 4.2 muestra que la estabilidad de la señal generada por el Dispositivo Desarrollado es de $1.0E-8$, en ventanas desde 1s hasta 100, 000s.

En las figuras 4.3, 4.4 y 4.5 se puede observar como la respuesta de las coordenadas rectangulares X y Y sigue manteniendo el desfaseamiento entre sí correspondiente a 90° , lo que nos indica que la maquina promediadora encargada de calcular el promedio de los valores medidos de cada ciclo de la señal senoidal de referencia tiene un comportamiento estable.

La baja desviación estándar mostrada en la Figura 4.6 demuestra que el equipo cuenta con una buena estabilidad y linealidad en todo su rango de operación para la detección de Amplitud. La Figura 4.7 muestra igualmente buena estabilidad y linealidad en todo su rango de operación para la detección de Desfaseamiento.

La Figuras 4.8, 4.9 y 4.10 muestran un comportamiento muy similar entre sí al momento de medir el desfaseamiento en el barrido en frecuencia, por lo que se demuestra que el equipo es aplicable a este tipo de experimentos.

Puede concluirse que el Dispositivo Desarrollado presenta un comportamiento estable, lo cual demuestra que puede ser aplicado en diferentes tipos de experimento Fototérmicos a bajas frecuencias.

Por otro lado, debido al tipo de tecnología de hardware utilizada para el desarrollo de este Dispositivo este puede ser usado como un equipo de monitoreo permanente, o como parte de un sistema complejo de control ya sea para detectar variaciones de amplitud o fase en señales de una frecuencia específica.

El equipo puede utilizado para cualquier monitoreo de cualquier otro sistema científico o tecnológico que requiera análisis de fase y amplitud a bajas frecuencias, como por ejemplo análisis de corriente y factor de potencia en líneas eléctricas.

Finalmente las innovaciones que presenta este trabajo pueden observarse en el Apéndice A, B, C y D los cuales corresponden a los artículos generados en este tema de investigación.

BIBLIOGRAFIA

(PENDIENTES ALGUNAS REFERENCIAS)

- [1] <http://www.thinksrs.com/products/SR510530.htm>
- [2] <http://www.thinksrs.com/products/SR810830.htm>
- [3] <http://www.thinksrs.com/products/SR850.htm>
- [4] <http://www.signalrecovery.com/5209page.htm>
- [5] <http://www.signalrecovery.com/5106page.htm>
- [6] <http://www.signalrecovery.com/7280page.htm>
- [7] Gokmen, A., Yalcin, S., Ulgen, A. "A photon Counting Dynamical and Digital Lock-in Amplifier for background Suppression in Glow Discharge Atomic Emission Spectrometry". *Spectrochimica Acta-B*, Vol. 51B, 97-108, (1996)
- [8] L. A. Barragán and J. I. Artigas. "A modular, low-cost, digital signal processor-based lock-in card for measuring optical attenuation", *Rev. Sci. Inst.* 72 (2001) 1.
- [9] J. Gaspar, S. Feng, A. Gordillo. "Digital lock in amplifier: study, design and development with a digital signal processor". *Microprocessors and Microsystems*. 28(2004) 157.
- [10] A. Restelli, R. Abbiati, and A. Geraci, Digital field programmable gate array-based lock-in amplifier for high performance photon counting applications, *Rev. Sci. Inst.* 76(2005) 093112.
- [11] G. Macias-Bobadilla, I. Serroukh, L.A. Franco-Gasca, et. Al. "Digital phase-analyzer for low frequency application based on reconfigurable hardware". *Superficies y Vacío* 23 (2) 14-p18. (2010).
- [12] J. Lascos and T. Cassidy. "Multichannel digital phase sensitive detection using a field programmable gate array development platform". *Review of Scientific Instrument* 79, 074702. (2008).
- [13] B. Alecsa and A. Onea. "A FPGA implementation of phase locked loop for DC motor control". *Intelligent Computer Communication and Processing*. P365-368 (2009).
- [14] L. Esteban, M. Sanchez, J. A. Lopez, O. Nieto-Taladriz, et. Al. "Development of Efficient FPGA-based phase meters for IR-Interferometers, Optimization for Multi-Channel Interferometers". *Real Time Conference (RT)*, ISBN 978-1-4244-7108-9(2010).
- [15] Zeng W. and T. Chen."A Design of Multi-frequency and Multi-channel Weak Signal Data Acquisition System based on DSP and FPGA". 2nd. *Conference on Environment Science and Information Application Technology*. (2010)

- [16] G. Jingming, H. Xin, W. Zhonghui and W. Yanxiong. "A small thickness Measurement System Based PSD and FPGA". Third International Conference on Measuring Technology and Mechatronics Automation. (2011).
- [17] Maximiliano Osvaldo Sonnaillon and Fabian Jose Bonetto, 2005, "A low-cost, high- performance, digital signal processor-based lock-in amplifier capable of measuring multiple frequency sweeps simultaneously", Review of Scientific Instrumens, Vol. 76, num. 024703.
- [18] Stanford Research Systems, Application Note #3.
- [19] Xilinx, 2004, "Programable Logic – Introduction", pp. 1-30
- [20] R. Troncoso, "Electronica digital y lógica programable". Universidad de Guanajuato. Pp. 520-528.
- [21] I. Rojas-Rodríguez, D. Jaramillo-Vigueras, R. Velazquez-Hernandez, A. Del Real, I. Serroukh, L. Baños, J. García, and M. E. Rodríguez-García, Thermal and Structural Characterization of Copper-Steel Bonding Interfaces Produced by Impact Welding, Mater. Manuf. Process. 23 (2008) 823.
- [22] R. Velazquez-Hernandez, J. García-Rivera, M. E. Rodríguez-García, Photothermal, Photocarrier and Raman Characterization of Te-doped GaSb, J. Appl. Phys. 101 (2007) 023105.
- [23] M.E. Rodríguez-García, R. Velazquez-Hernandez, and M. L. Mendoza-López, Differential photoacoustic cell for electrochemical and dynamic process with temperature control, Rev. Sci. Inst. 78 (2007) 034904.
- [24] J. Balderas-Lopez, Photoacoustic methodologies for thermal diffusivity measurements for highly opaque single-layered materials, EPJ – ST. 153 (2008) 167.
- [25] C. Wang, Y. Liu, A. Mandelis, and J. Shen, Photothermal radiometry with spherical solids, EPJ – ST. 153 (2008) 415.
- [26] C. Wang and A. Mandelis, Characterization of hardened cylindrical samples using photothermal radiometry, EPJ – ST. 153 (2008) 123.
- [27] J. Xia and A. Mandelis, Noncontact Deep Level Photo-Thermal Spectroscopy of semi-insulating GaAs, EPJ – ST. 153 (2008) 491.
- [28] P. Morais, A. Oliveira, A. Tronconi, Photoacoustic Spectroscopy: A Promising Technique to Investigate Magnetic Fluids, et. al., IEEE T. Magn. 39 (2003) 5.
- [29] A. Bendada, N. Baddour, A. Mandelis, and C. Moreau, Experimental Investigation on the realibility of Thermal Wave Interferometry in the

- Thermophysical Characterization of Plasma Sprayed Coatings, *Int. J. Thermophys.* 26 (2005) 3.
- [30] J. Balderas-Lopez, Self-consistent photoacoustic methodologies for thermal effusivity measurements for liquids, *EPJ – ST.* 153 (2008)163.
- [31] T. Toyoda, M. Hayashi, J. Sato, and Q. Shen, Photothermal characterization of highly porous, polycrystalline TiO₂ electrodes fabricated by chemical synthesis, *J. Therm. Anal. Calorim.*69 (2002) 1037.
- [32] Zbigniew S., Ridoslaw D., Robert A. “The method of Linear Distortions Elimination in Photoacoustic Investigations of High Power Thyristor Structure”. *IEEE Transactions on components and packaging technologies.* Vol. 29. No. 3. (2006)
- [33] J. A. Garcia, X. Guo, A. Mandelis, et. Al. “Characterization of nano-depth junctions in silicon by using photo-carrier Radiometry (PCR)”. *Eur. Phys. Special Topics* 153, 287-290. (2008).

APENDICE – A

Artículo publicado en la revista “Superficies y Vacío”

Digital phase-analyzer for low frequency applications based on reconfigurable hardware

G. Macias-Bobadilla, I. Serroukh, L. A. Franco-Gasca

*División de Estudios de Posgrado, Facultad de Ingeniería, Universidad Autónoma de Querétaro
Centro Universitario, Cerro de las Campanas S/N, Querétaro, Qro., C.P. 76010, México*

M. López-Romero, F. Jiménez-Tapia

*División de Tiempo y Frecuencia, Centro Nacional de Metrología, CENAM
Km. 4.5 carretera a los Cues, El Marques, 76241, Querétaro, México*

(Recibido: 17 de junio de 2009; Aceptado: 23 de abril de 2010)

In Photoacoustic experiments and low frequency Photodiode applications, Phase sensitive detection is one of the basic operations performed by a lock-in amplifier. Regrettably, it is common to use only basic functions of those devices, in spite of their high cost. The objective of this research is to show the results that were obtained from the development and design of a basic phase shift sensitive device using reconfigurable hardware, which allows a reduction in experimental costs while generating the possibility to apply the developed device in different research fields.

Keywords: Phase sensitive detection; Lock-in amplifier; Photoacoustic-Photodiode applications

1. Introduction

Phase Sensitive Detection (PSD) is one of the fundamental operations that lock-in amplifiers (LIAs) use to single out the component of an AC signal at a given modulation frequency and to reject noise signals at another frequencies [1]. Many kinds of LIAs exist, and their fundamental variants are based on analog or digital PSD. The former devices employ an analog multiplier to make the convolution process which is intrinsic to PSD. Obviously, this part of the analog LIAs is one of the most expensive elements. In this case, if a better exactitude is required then the costs become higher. The second kind of LIAs employs a digital multiplier to make the convolution process which is cheaper when compared to the analog multiplier. The exactitude is directly related to digital resolution of the applied multiplier [2].

Other variants of LIAs should be classified according to the frequency range that can be handled by their internal oscillator, i.e. LIAs for low frequency as Photoacoustic, Photothermal and low frequency Photodiode applications, middle frequency applications as like Radiometry and high frequency applications such as Photon Counting [1-4].

Photoacoustic and Photothermal are relatively new techniques that allow investigators to obtain a qualitative and quantitative characterization of a material without invading it [5 – 7]. Many articles have been written about Photoacoustic and Photothermal experiments that employed commercial LIAs. In most of the cases only basic functions of the commercial device are used [6, 8 – 15].

The purpose of this research is to show results from designing and implementing a custom digital PSD device for basic Photoacoustic applications, it was implemented on a reconfigurable hardware circuit such as Field Programmable Gate Arrays (FPGA). As it was

aforementioned, digital PSD is easier and cheaper to develop. In this case the internal multipliers from the FPGA were used to implement this detection process, after digitizing analog measured signals from the experiments.

In order to stimulate the samples to be studied, a synthetic sinusoidal signal, which frequency and phase are known, was used and implemented in the same device. In addition the design of the device allows the selection of appropriate frequencies depending on the kind of experiment or studied material.

The developed device can measure and generate signals from 1 Hz to 10 KHz; the reconfigurable system based on FPGA may be implemented on a wide frequency range depending on the Digital to Analog Converter (DAC) and the Analog to Digital Converter (ADC) used during implementation.

Another advantage of the developed reconfigurable system is that it can be implemented with on-line systems or as part of a permanent monitoring system using low cost circuitry, a minimum amount of area and energy. This essentially eliminates the need to purchase an expensive device that is not used with its full capacity. [11-15].

Some resolution experiments are presented herein to demonstrate the operation ranges and the resolution of the developed device.

2. Experiments

2.1. Basic PSD digital detection theory

There are many ways to detect the phase from a measured signal. Some analog techniques use high speed switch systems to select the desired frequency. The resulting signal is passed through a low pass filter used as a rectifier to obtain a near DC signal that is related to the phase as is shown in Fig. 1. In this case, the measured signal is

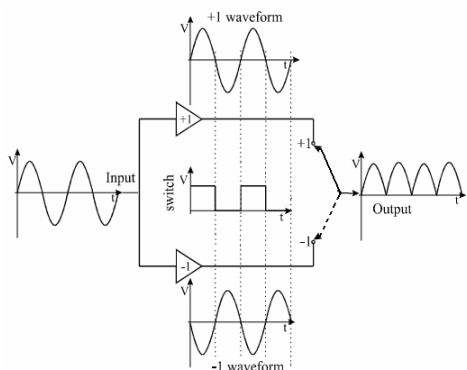


Figure 1. High speed switch system.

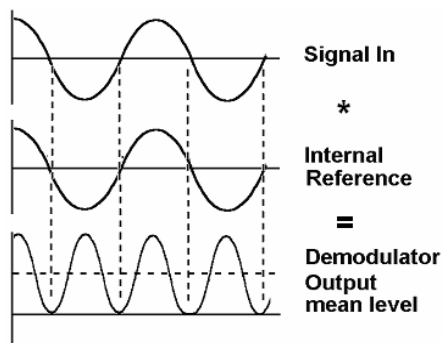


Figure 2. The Average signal result of multiplication from the measured signal and reference signal is related to phase difference between both signals.

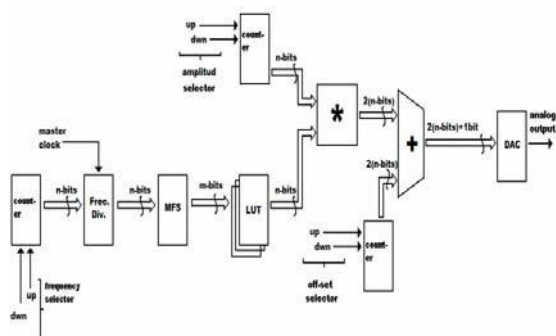


Figure 3. Basic block diagram of the signal generation section designed.

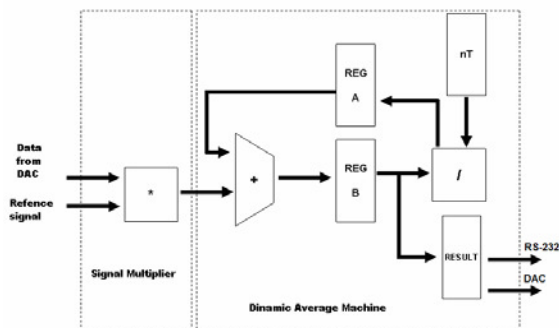


Figure 4. Dynamic Average Machine designed.

affected by the switch frequency and phase, and the resulting signal is proportional to the difference of phase [16].

Another way to detect the phase is to multiply the measured signal by a reference signal using an analog multiplier. In this case the reference can be a square wave signal; meaning that the resulting signal is similar to the signal obtained from a high speed switch system. If the reference signal is a sinusoidal wave, the result will be a signal from the sum of frequencies from reference and measured signal in which case the average of the resulting signal is related to the phase, as shown in Fig. 2. Note that noise in the measured signal has no effect or has a minimal effect on the average of the resulting signal. In both cases the resulting signal is passed through a low pass filter as a rectifier to obtain a near DC signal; as was aforementioned this analog technique is expensive [1-4].

The most common way to detect the phase is to use a digital multiplier in order to multiply the digitized measured signal by the digital reference signal. In such cases it may be easy to change the kind of reference by using another signal, i.e. square, sine or triangle waves, and then to select the phase of reference signal to the convenience of appropriate to the experiment. The result of multiplying the digitized measured signal by the digital reference signal is similar to the analog process. The difference is that the result is digital and the average of the result may be calculated easier than in analog systems. The exactitude of the result is directly related to the resolution of the DAC used to digitize the measured analog signal, the resolution of the digital internal reference, and finally the resolution used for the multiplier and average operation [1, 2].

There are many other advantages to this digital method of detecting phase which are fully documented in current literature [1-4].

2.2. Minimal System Requirements

It is important to define the range of the parameters used in Photoacoustic and low frequency Photodiode experiments as a justification of the operation range of the developed system. Also it is important to mention some considerations that have been taken into account in the experimental hardware setup.

2.3. Usual hardware configuration used in Photothermal and Photoacoustic experiments

In the case of the Photoacoustic experiments, usually a cell is used to contain the sample under study. This sample is irradiated by modulated intensity laser light beam. The Photoacoustic cell is connected to a microphone (often an electret ones), using a small diameter duct, and the electrical signal from the microphone is supplied to a pre-amplifier or amplifier section before being processed with a commercial LIA. Data filtered by the LIA are recorded

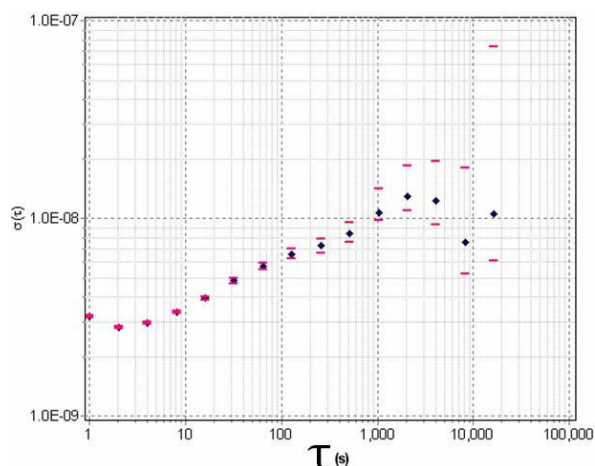


Figure 5. Results obtained from stability frequency analysis using Allan deviation.

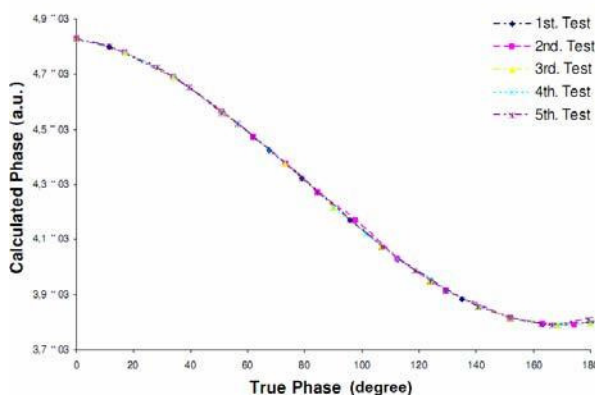


Figure 6. Results obtained from precision phase shift detection from 0-180°.

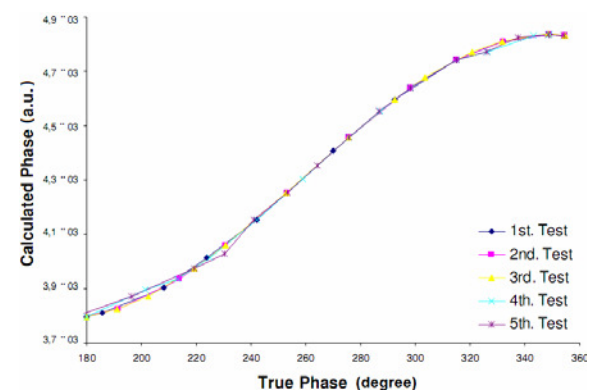


Figure 7. Results obtained from precision phase shift detection from 180°-360°.

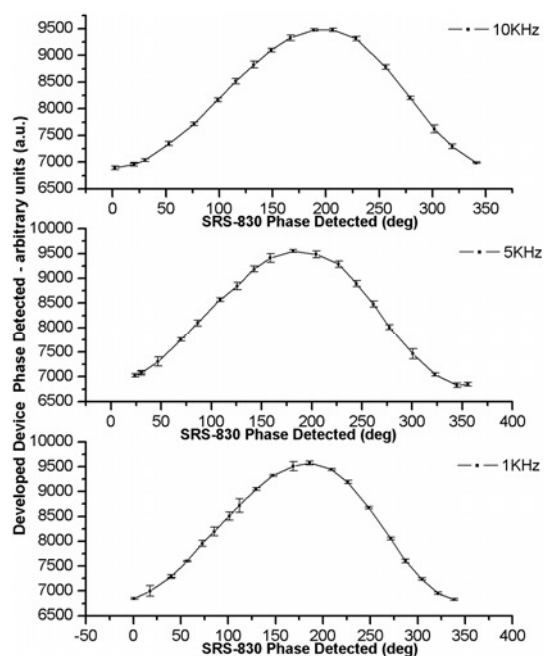


Figure 8. Phase detected from Developed Device versus SRS-830 at different frequencies.

and stored in a computer for later analysis [5, 6, 12-14]. For Photothermal analysis, the hardware setup is similar; being the cell with the microphone substituted by thermal sensors like a pyroelectric or an infrared one [7-10, 12, and 15].

2.4. Frequency ranges used in Photoacoustic and Photothermal experiments

In many Photothermal experiments, frequency scans are used to obtain some thermal parameters of the sample. Common reported frequency ranges are between 1 Hz and 10 KHz [6, 8, 10, 11-15].

This confirms the fact that in most of the Photothermal and other low frequencies Photodiode experiments the commercial LIAs are not used at full capacity.

3. Hardware Design

This section is divided into three sections: signal generation, signal acquisition for phase detection, and data transmission. Each one was designed taking into account the principal requirements of the Photoacoustic experimental setups, and developed using exclusive FPGA technology for the digital sections. For this experimental test a Spartan3-XCS200 from Xilinx was used.

3.1. Signal generation

The first requirement in the hardware design is to implement the signal generation section. This signal is necessary to select the operation frequency for the experiment. Commercial LIA usually employs sinusoidal signals as a modulation signal. For this design all the

characteristics related to the generation of the modulation signal were implemented in digital format. To generate the sinusoidal signal a Look-Up Table (LUT) was used to store the wave forms. The control related to the selection of the frequency, amplitude, initial phase and off-set was implemented in digital format. Finally digital data were converted to analogue data using a DAC. For this experimental test a DAC0800 from National Semiconductor was used, and the developed FPGA based system permits scaling to any n-bit parallel DAC. Fig. 3 shows a block diagram of the developed signal generation section.

3.2. Signal acquisition for phase detection

In this section, to acquire data from the analogue signal it is necessary to use an ADC. For this experimental test an ADC0804 from National Semiconductor was used, but also the FPGA based system allows scaling to any n-bit parallel ADC. The digitized signal was digitally multiplied by the reference signal. This is according to the basic phase detection techniques. In this case the average of the operation is calculated using a dynamic average machine.

The result may be sent, via RS-232 protocol, to a computer or could be sent to the output as a proportional analogue signal. Fig. 4 shows the basic diagram of the dynamic average machine.

3.3. Data transmission

The data transmission was implemented using the synthesizable mini-UART core in VHDL code from the GNU public license which permits the data transmission, via RS-232, to store the results in a computer for future analysis.

4. Obtained Results

As a first test, the signal generation section was calibrated using an arbitrary frequency. For this experimental calibration a sinusoidal signal, at 9084 Hz, was selected from the developed system using a Timer/Counter/Analyzer CNT-91 50ps/300MHz from Pendulum locked to Primary Frequency Standard Cesium 5071A from Hewlett Packard at "Division de Tiempo y Frecuencia – CENAM, Mexico" laboratories, but any frequency in the range of 1 Hz to 10 KHz could be used and same results would be expected. Fig. 5 shows the results obtained from stability using Allan deviation as a stability analysis tool.

The complementary test for the developed system is related to the precision of the phase shift detection operation. This experimental test was made using a Timer/Counter/Analyzer CNT-91 50ps/300MHz from Pendulum at 1 KHz. Figs. 6 and 7 show the results obtained from five precision tests of the phase shift detection from 0-180° and 180°-360°, respectively.

The units of the magnitudes of the Y axis in Figs. 6 and 7 are arbitrary units (a.u.). This is because the developed

system may present results in decimal format using 7-segment displays, via RS-232 or in analog format (Voltage) using a DAC with the corresponding resolution. To avoid the presentation of multiple results of each output format, average results from Dynamic Average Machine are presented in decimal format. X axis shows the true phase calculated by Timer/Counter/Analyzer CNT-91 50ps/300MHz from Pendulum.

Also 3 comparative tests were made at different frequencies; Fig. 8 shows results of phase shift detection from developed device versus SR-830 commercial lock-in amplifier from Stanford Research Systems. The results were carried out from 0 – 360° at steps of 15° from 3 different frequencies: 1 KHz, 5 KHz, and 10 KHz. The small variation in the measurements is reflected in the small value of standard deviation. It is important to mention that the result was calculated from 10 different measurements in both cases, made by the commercial lock-in amplifier and developed device.

5. Conclusions

As was illustrated in Fig. 5 the analysis of stability shows results from 1.0×10^{-8} and 1.0×10^{-9} at windows of 1 – 100, 000 seconds. This is considered a favorable behavior for frequency scans operations because these are commonly used since it has been reported in different publications.

Another important obtained result is the precision, shown on Figs. 6 and 7, and the low standard deviation shown on Fig. 8. The low deviation is related to the possibility to repeat the experiment. This complies with the basic requirements used in low frequencies experiments, as photodiode phase-shift detection or low frequencies photoacoustic applications.

Finally, the reconfigurable platform, used for the developed system, permits the possibility of expanding the operation frequency range and offers the opportunity of incorporate the developed systems in other scientific applications, as on-line permanent monitoring systems.

Acknowledgments

The authors thank to CONACYT for financial support for this research, Professor Rene de Jesus Romero Troncoso for important recommendation regarding to FPGA synthesis and Silvia Stroet for English edition support.

References

- [1]. Rastelli, R. Abbiati and A. Geraci, *Rev. Sci. Instrum.*, **76**, 093112 (2005).
- [2]. J. Gaspar, S. Feng, A. Gordillo, M. Hepp, P. Ferreyra and C. Marques, *MICPRO*, **28**, 157 (2004).
- [3]. L. Barragán and J. Artigas, R. Alonso and F. Villuendas, *Rev. Sci. Instrum.*, **72**, 247 (2001).
- [4]. Gökmen, A. Ulgen and S. Yalçın, *Spectrochim. Acta Part B*, **91**, 97 (1995).
- [5]. P. Morais, A. Oliveira, A. Tronconi, T. Goetze and N. Buske, *IEEE-Transmag.*, **39**, 5 (2003).
- [6]. J. Balderas-Lopez, *Eur. Phys. J. Special Topics*, **153**, 167

- (2008).
- [7]. Wang, Y. Liu, A. Mandelis and J. Shen, *Eur. Phys. J. Special Topics*, **153**, 415 (2008).
- [8]. Matvienko, J. Jeon, A. Mandelis, et. al., *Eur. Phys. J. Special Topics*, **153**, 463 (2008).
- [9]. Wang and A. Mandelis, *Eur. Phys. J. Special Topics*, **153**, 123 (2008).
- [10]. Bendada, N. Baddour, A. Mandelis and C. Moreau, *Int. J. Thermophys.*, **26**, 3 (2005).
- [11]. J. Xia and A. Mandelis, *Eur. Phys. J. Special Topics*, **153**, 283 (2008).
- [12]. G. Spirou, A. Mandelis, I. Vitkin and W. Whelan, *Eur. Phys. J. Special Topic*, **153**, 491 (2008).
- [13]. R. Lindley, A. Parkes, K. Keen, E. McNaghten and A. Orr-Ewing, *Appl. Phys. B*, **86**, 707 (2007).
- [14]. J. Balderas-Lopez, *Eur. Phys. J. Special Topics*, **153**, 163 (2008).
- [15]. T. Toyoda, M. Hayashi, J. Sato and Q. Shen, *J. Therm. Anal. Calorim.*, **69**, 1037 (2002).
- [16]. *Techniques of Low Level Light Measurement, Lasers & Applications*, pp.41-45(1983).

APENDICE – B

Registro de Patente



Solicitud de Patente
Solicitud de Registro de Modelo de Utilidad

Solicitud de Registro de Diseño Industrial, especifique cuál:
 Modelo Industrial Dibujo Industrial

Uso exclusivo del IMPI
Subdelegaciones de la Secretaría de Economía y Oficinas Regionales del IMPI.

Sello 11-22 am
Folio de entrada - 3 NOV. 2010
Fecha de recepción QUERETARO

No. de expediente
No. de folio de entrada
Fecha y hora de presentación

Antes de llenar la forma lea las consideraciones generales al reverso

I DATOS DEL (DE LOS) SOLICITANTE(S)

El solicitante es el inventor El solicitante es el causahabiente

1) Nombre (s): IBRAHIM SERROUKH; GONZALO MACIAS BOBADILLA

2) Nacionalidad (es): MEXICANA; MEXICANA

3) Domicilio; calle, número, colonia y código postal: PRIVADA DE RIAÑO 122, JURIOQUILLA, 76230 JARDIN DE LA ESPERANZA 305, JARDINES DEL VALLE, 76137

Población, Estado y País: QUERETARO, QUERETARO, MEXICO

4) Teléfono (clave): 442-294-5038; 442-252-6311 5) Fax (clave):

II DATOS DEL (DE LOS) INVENTOR(ES)

6) Nombre (s):

7) Nacionalidad (es):

8) Domicilio; calle, número, colonia y código postal:

Población, Estado y País:

9) Teléfono (clave): 10) Fax (clave):

III DATOS DEL (DE LOS) APODERADO (S)

11) Nombre (s): 12) RGP:

13) Domicilio; calle, número, colonia y código postal:

Población, Estado y País: 14) Teléfono (clave): 15) Fax (clave):

16) Personas Autorizadas para oír y recibir notificaciones:

**17) Denominación o Título de la Invención:
Dispositivo de Análisis de Fase y Amplitud basada en Hardware Reconfigurable**

18) Fecha de divulgación previa
1 Junio 2010

19) Clasificación Internacional uso exclusivo del IMPI

20) Divisional de la solicitud

21) Fecha de presentación

22) Prioridad Reclamada: País

Número Figura jurídica

Fecha de presentación Día Mes Año No. de serie

Lista de verificación (uso interno)

No. Hojas	No. Hojas
Comprobante de pago de la tarifa	Documento de cesión de derechos
Descripción y reivindicación (es) de la invención	Constancia de depósito de material biológico
Dibujo (s) en su caso	Documento (s) comprobatorio(s) de divulgación previa
Resumen de la descripción de la invención	Documento (s) de prioridad
Documento que acredita la personalidad del apoderado	Traducción
	TOTAL DE HOJAS

Observaciones:

Bajo protesta de decir verdad, manifiesto que los datos asentados en esta solicitud son ciertos.

IBRAHIM SERROUKH; GONZALO MACIAS BOBADILLA
Nombre y firma del solicitante o su apoderado

QUERETARO, QRO. 1 DE NOVIEMBRE DEL 2010
Lugar y fecha

APENDICE – C

Artículo publicado en el 5to. Congreso Internacional de Ingeniería



Unidad de Análisis de Fase y Amplitud basada en Arquitectura FPGA

G. Macias-Bobadilla^{1*}, I. Serroukh¹, L. A. Franco-Gasca²

¹ División de estudios de posgrado, Facultad de Ingeniería, Universidad Autónoma de Querétaro, Ciudad Universitaria, Cerro de las Campanas S/N, Querétaro, Qro., C.P. 76010, México. (gonzalo_1984@hotmail.com)
² Centro de Investigaciones Avanzadas y Tecnología del Estado de Querétaro, Col. El Retablo, Querétaro Qro., C.P. 76010

RESUMEN La función de detección de fase es comúnmente realizada por los amplificadores Lock-in. Para realizar el análisis de estas señales los Lock-in modernos convierten las señales de analógico a digital y de esta forma emplean microprocesadores, microcontroladores o procesadores de señal. Estas funciones pueden ser implementadas en los FPGA los cuales permiten la flexibilidad de diseñar funciones y operaciones a la medida del sistema que se desea analizar. Además el código VHDL en que se desarrollan los dispositivos basados en FPGA puede migrarse a cualquier circuito, familia o marca de FPGA en que pueda sintetizarse el código, evitando así la dependencia a un circuito exclusivo. En este trabajo se presentan los resultados del diseño de una unidad para análisis de fase y amplitud y su prueba comparativa con los dispositivos comerciales en experimentos comunes que requieran este tipo de análisis.

Palabras Clave: Lock-In, Analógico, Digital, Fase y Amplitud, FPGA.

1. INTRODUCCION

Actualmente en el campo de la investigación de materiales y sistemas físicos, las funciones de detección de amplitud y fase de señal, y de generación de señales de estimulación, son ampliamente utilizadas para realizar una caracterización de los mismos.

Para llevar a cabo el análisis de la señal de respuesta del sistema o material de estudio, es común utilizar un Amplificador Lock-In, estos dispositivos son capaces de medir señales periódicas, de voltaje o de corriente, de amplitudes muy pequeñas (del orden de los nanovolts) y en presencia de altos niveles de ruido. Funcionan como un filtro pasa banda muy selectiva que, idealmente, mide una única componente de Fourier (una única frecuencia, donde el error máximo oscila 0.125Hz). Es decir, las mediciones no se ven afectadas por señales ubicadas en otras partes del espectro de entrada como por ejemplo ruido blanco, interferencias causadas por las líneas eléctricas o ruido de sistemas de cómputo [6].

El análisis de este tipo de señales requiere de operaciones complejas, lo que involucra el uso de múltiples circuitos para el análisis y proceso de las señales medidas. El funcionamiento de los ALIs modernos (Digitales) por lo general se basa en Microcontroladores (μC) o Procesadores Digitales de Señales (DSP) [3, 4, 5, 7-14].

No obstante aunque el funcionamiento de este tipo de equipos ha demostrado ser muy bueno para diversas aplicaciones científicas tales como la Radiometría, Fotoacústica y Fotoluminiscencia, existe una desventaja, debido al tamaño de estos equipos y a que por lo general son diseñados para el análisis de señales en laboratorio, es difícil acoplarlos de manera permanente a un sistema o material que se desee analizar constantemente, además su altos costos por unidad lo hace aun mas imposible.

Otro punto que cabe señalar es que los ALI comerciales por lo general disponen de muchas funciones especiales y medios de comunicación que en caso de ser implementado éste de manera permanente en un sistema o material de estudio, dichas funciones y sistemas de comunicación se desperdiciarían y no se sacaría el máximo provecho de la unidad. Sin olvidar que es demasiado grande para ser acoplado.

2. FUNDAMENTACION TEORICA

Amplificadores Lock-In (ALIs)

Los amplificadores de enganche o más comúnmente llamados Amplificadores Lock-In (ALIs) son instrumentos muy usados en la ciencia y la ingeniería. Son capaces de medir señales periódicas, de voltaje o de corriente, de amplitudes muy pequeñas (del orden de los nanovolts) y en presencia de altos niveles de ruido. Funcionan como un filtro pasa banda muy selectiva que, idealmente, mide una única componente de Fourier (una única frecuencia). Es decir, las mediciones no se ven afectadas por señales ubicadas en otras partes del espectro de entrada (como por ejemplo ruido blanco, interferencias causadas por las líneas eléctricas o ruido de sistemas de cómputo).

La técnica utilizada por estos instrumentos es llamada detección sensible a la fase (DSF), la cual trabaja en forma sincronizada con una señal de referencia. Consiste en la demodulación sincrónica de la señal a medir, utilizando una referencia interna. Esta señal de referencia posee alta pureza espectral y la misma frecuencia de la señal a medir. En ALIs modernos se realiza una detección con la componente en fase de la referencia interna y otra con la componente en cuadratura. Esto hace posible una medición muy precisa de la amplitud y la fase de la señal de entrada, como se explica más adelante.

Los primeros ALIs funcionan en base a electrónica analógica. Sin embargo, al igual que la mayoría de las áreas de la electrónica, la implementación de ALIs utilizando DSPs presenta numerosas ventajas, tales como mayor inmunidad al ruido, precisión, inmunidad al paso del tiempo y condiciones climáticas, facilidad de fabricación, mayores prestaciones, etc. Es por esto que los ALI diseñados en los últimos años están basados en DSPs. En general, el procesamiento es implementado usando procesadores digitales de señal (DSPs), que son microprocesadores diseñados para ejecutar operaciones matemáticas (fundamentalmente sumas y productos) en forma eficiente. (Oswaldo Sonnaillon, 2007)

Funcionamiento Básico de una ALI

Como ya se mencionó, los ALIs utilizan una técnica llamada detección sensible a la fase (DSF). Para esto se usa una señal de referencia que debe poseer exactamente la misma frecuencia que la señal a medir. Esta referencia que sincroniza el ALI puede ser generada por el propio instrumento o puede ser generada externamente, dependiendo de la aplicación.

En la Figura 1 se muestran dos diagramas básicos. En la parte a) se muestra las conexiones de un ALI a un sistema desconocido para el caso en que no se utiliza referencia externa. En este caso el ALI genera una señal senoidal de muy baja distorsión, la cual es utilizada en el Detector Sensible de Fase (DSF) interno y además es la señal de excitación del sistema a medir. Luego de atravesar el sistema, la señal senoidal sufre distorsiones en amplitud y fase (representados por la escala A y la fase θ) en el caso que sea un sistema lineal, y además sufre de distorsión armónica y agregado de ruido en el caso general de sistemas no-lineales. La parte b) de la figura muestra la conexión del ALI cuando utiliza una señal de referencia externa. En este caso normalmente se utiliza un generador de señales de muy baja distorsión y bajo ruido. El ALI utiliza una señal externa para sincronizar su generador interno. Esta sincronización normalmente es llevada a cabo por un lazo de enganche de fase (phase locked loop, PLL).

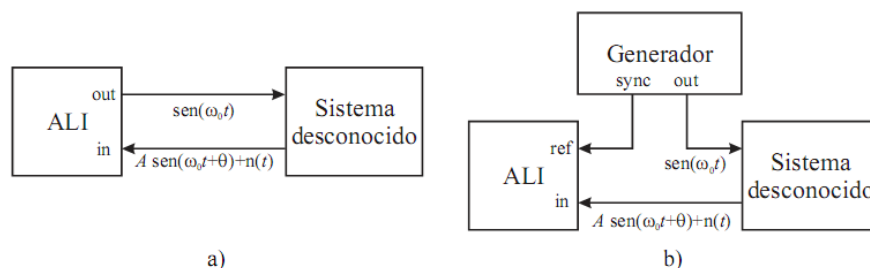


Figura 1 – Diagrama en bloques de las conexiones básicas de un ALI. a) Sin entrada de referencia externa. b) Con entrada de referencia externa.

Principio básico de una ALI Digital – Multiplicación Digital

Un método comúnmente utilizado por las ALIs Digitales es el método de multiplicación (convolución – demodulación) de la señal de referencia por la señal de entrada (en ambos casos de la misma frecuencia), de esta forma se obtiene que el valor promedio de la señal resultante es directamente proporcional a la fase y varía linealmente. Esta es una operación que puede realizarse muy fácilmente en una ALI Digital, pues una vez transformada la señal analógica a digital es muy sencillo y barato realizar esta operación, comparado con las ALIs Analógicas cuya operación de multiplicación analógica es mucho más cara y compleja [14].

En la Figura 2 se ilustra el caso para cuando la fase de la señal medida con respecto a la señal de referencia es “cero”, donde puede observarse que el valor promedio corresponde a la multiplicación de las señales es máximo. En la Figura 3 se ilustra el caso para cuando la fase de la señal medida con respecto a la señal de referencia es de 90° (negativos).

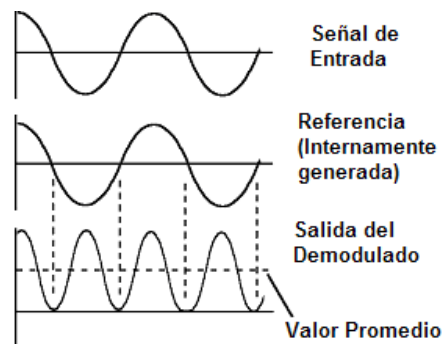


Figura 2. Demodulación de una señal de entrada con desfase igual a 0 (“cero”), se aprecia que el valor promedio de la señal obtenida es máximo.

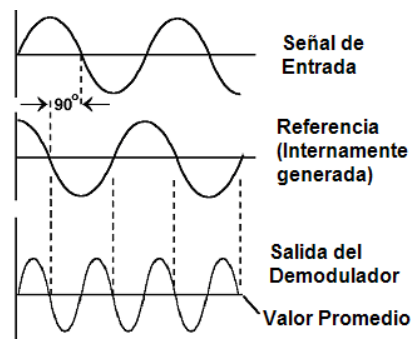


Figura 3. Demodulación de una señal de entrada con desfase igual a 90° (negativos), se aprecia que el valor promedio de la señal obtenida es “cero”.

Como ya se mencionó anteriormente, por lo general se utilizan DSPs para analizar las señales de entrada y de referencia en los ALI, lo cual consiste en ejecutar operaciones matemáticas (fundamentalmente sumas y productos). Estas operaciones anteriormente mencionadas también son implementables en FPGAs (Field Programmable Gate Arrays), los cuales permiten la flexibilidad de diseñar funciones y operaciones a la medida del sistema que se desea controlar o analizar, permitiendo generar de esta forma un sistema Single On a Chip (SOC), es decir, todo un sistema en un solo chip. Lo cual es una de las aportaciones de esta Tesis, diseñar toda la unidad de control en un solo chip. Además de tener la flexibilidad de poder ser implementado en otros sistemas diferentes a la determinación de OD

que requieran la detección de la fase y la amplitud de la señal, como el caso de la Fotoacústica, Radiometría, Fotoluminiscencia entre otros. En la siguiente sección se analizara de manera breve el potencial de los FPGAs.

3. DISEÑO EXPERIMENTAL

Como fundamento principal del diseño de la unidad de Análisis de Fase es necesario generar una señal de estimulación, para esto se utilizaron técnicas básicas de Síntesis Digital Directa de Frecuencia (DDFS). Para evitar una dependencia directa de componentes analógicos para el control de la frecuencia, amplitud y nivel de referencia (off-set) de la señal de estimulación, se diseñaron módulos digitales para el control de estos parámetros, la Figura 4 muestra la unidad diseñada para la generación de señales de estimulación.

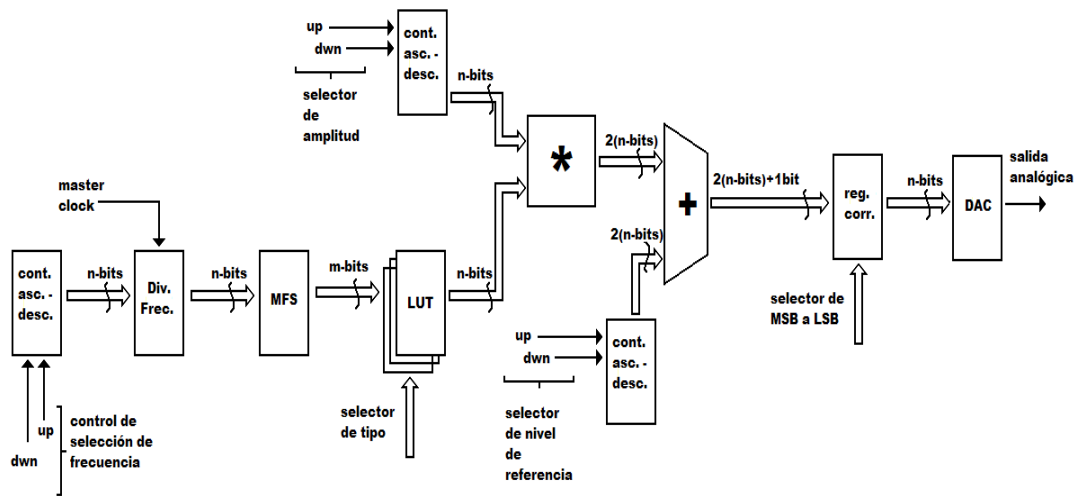


Figura 4. Unidad de Síntesis Digital de Frecuencia básica para la generación de señales de estimulación.

En primera instancia evaluando el diagrama presentado en la Figura 4 de izquierda a derecha empezando por la esquina inferior izquierda puede observarse un contador ascendente-descendente para el control de la frecuencia cuyo parámetro de salida puede ser ajustado por señales de control operadas por el usuario, este contador ascendente-descendente interviene a un divisor de frecuencia que a su vez controla una maquina de estados finitos (MFS), esta MFS controla la selección de los valores de una Tabla de Asignación de Valores (LUT) donde se guardan ordenadamente los valores que permiten reconstruir la señal senoidal de estimulación. Un segundo contador ascendente-descendente para el control de la amplitud cuyo parámetro de salida es ajustado por señales de control operadas por el usuario, este parámetro de salida del contador ascendente-descendente es multiplicado digitalmente por cada uno de los valores proporcionados por la LUT que permiten reconstruir la señal senoidal de estimulación. Finalmente un tercer contador ascendente-descendente para el control de nivel de referencia (off-set) cuyo parámetro de salida puede ser ajustado por señales de control operadas por el usuario es utilizado en conjunto con un sumador, permitiendo tener a la salida de este sumador una señal de estimulación con un nivel de referencia controlado.

Posterior al diseño de la unidad de Generación de Señales Sintéticas, se diseñó la unidad de análisis de fase, utilizando el método descrito en la Fundamentación Teórica para ALI's Digitales, la unidad diseñada para este caso se muestra en la Figura 5.

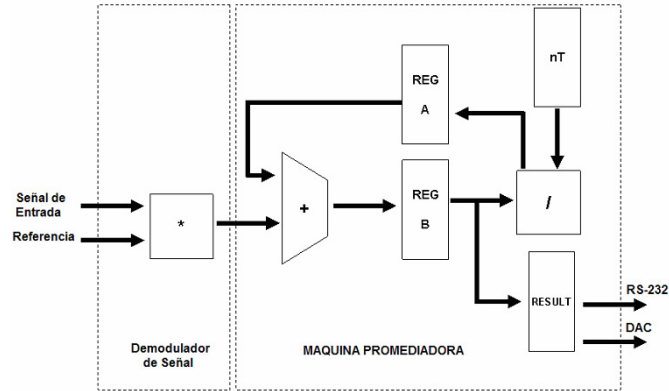


Figura 5. Unidad diseñada para el análisis de fase

El diagrama mostrado en la Figura 6. Muestra de izquierda a derecha un primer modulo de convolución o literalmente una multiplicación de los datos muestreados con los datos almacenados en la LUT, el resultado de la convolución se pasa a una maquina promediadora cuya función es obtener el promedio de la señal, para esto se suman todos los valores resultantes de la convolución correspondientes a un ciclo completo de la señal senoidal y finalmente esta sumatoria se divide entre el numero de muestras.

4. RESULTADOS OBTENIDOS

Para corroborar la estabilidad en frecuencia de este Generador de Señales Sintéticas, se realizaron experimentos de calibración en el CENAM (Centro Nacional de Metrología), realizando muestreos de frecuencia cada segundo durante 13 horas y utilizando el método estadístico de análisis de la Varianza de Allan, encontrando inestabilidades en frecuencia inferiores a 1×10^{-8} como se muestra en la Figura 6, lo que sitúa a este Generador de Señales Sintéticas apenas 3 ordenes abajo del patrón primario de frecuencia cuya estabilidad se encuentra en el orden 1×10^{-11} .

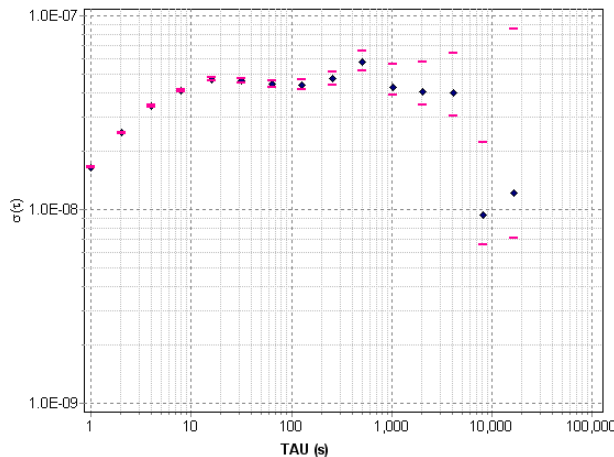


Figura 6. Análisis de la estabilidad en frecuencia usando la Varianza de Allan de la unidad diseñada.

Los resultados obtenidos de la comparativa entre el sistema diseñado y el sistema comercial de Stanford Research System 830 (SR-830) se muestran en la Figura 7.

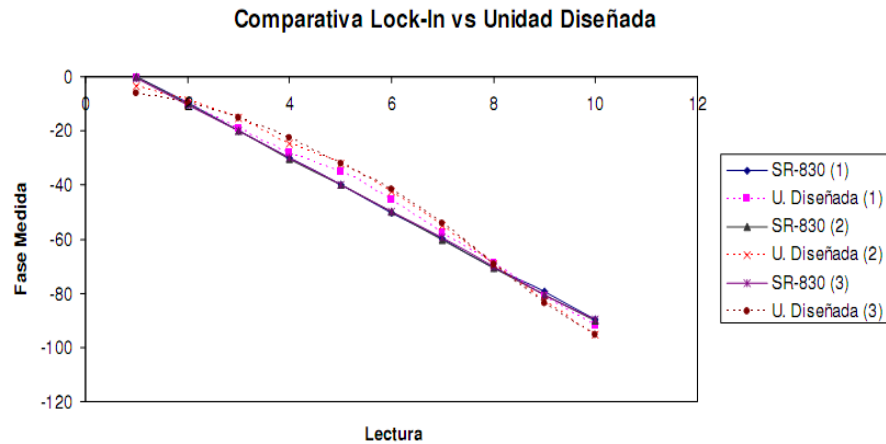


Figura 7. Comparativa de detección de fase entre SR-830 y la Unidad Diseñada

5. CONCLUSIONES

Los resultados muestran que el sistema puede funcionar como una alternativa aceptable para aplicaciones con poca sensibilidad a variaciones menores a 5° de desfase con respecto a la señal de referencia, comparando el costo del sistema diseñado cuyo valor corresponde a menos de una décima parte del equipo comercial contra el que fue comparado.

Para lograr una mayor sensibilidad a la fase es necesario realizar un mayor muestreo de las señales de medición, lo que requiere a su vez un mayor tiempo de procesamiento, no obstante la facilidad para reconfigurar el sistema debido a la arquitectura basada en FPGA utilizada, no supone un gran obstáculo para esto, siempre y cuando la aplicación justifique una mayor sensibilidad al desfase.

Finalmente la estabilidad en frecuencia del Generador de Señales de Estimulación propone a la unidad diseñada como una buena alternativa para un sistema integral de generación y análisis de señales, considerando el bajo costo del desarrollo del sistema.

BIBLIOGRAFÍA

Ali Gökmen, Ahmet Ulgen, Serife Yalçın, 1995, "A photon counting dynamic digital lock-in amplifier suppression in glow discharge atomic emission spectrometry", *Spectrochimica Acta - ELSEVIER, PART B*, pp. 197-198.

A. Restelli, R. Abbiati and A. Geraci, 2005, "Digital field programmable gate array-based lock-in amplifier for high-performance photon counting applications", *Review of Scientific Instruments*, Vol. 76, num. 093112.

Javier Gaspar, Sui Feng Chen, Alejandro Gordillo, et. al. 2005, "Digital lock in amplifier: study, design and development with a digital signal processor", *Microprocessors and Microsystems – ELSEVIER*, Vol. 28, pp. 157 – 162.

L. A. Barragán and J.I. Artigas, 2001, "A modular, low-cost, digital signal processor-based lock-in card for measuring optical attenuation", *Review of Scientific Instruments*, Vol. 72, Issue 1, pp. 247-251.

Maximiliano Osvaldo Sonnaillon and Fabian Jose Bonetto, 2005, "A low-cost, high-performance, digital signal processor-based lock-in amplifier capable of measuring multiple frequency sweeps simultaneously", *Review of Scientific Instruments*, Vol. 76, num. 024703.

Maximiliano Osvaldo Sonnaillon, “Procesamiento digital de señales en amplificadores Lock-In”, 2007, Tesis Doctoral en Ciencias de la Ingeniería – Instituto Balseiro, Universidad Nacional de Cuyo, Argentina.

Signal Recovery, “Models 5209 and 5210”, Hojas de Información técnica. www.signalrecovery.com

Signal Recovery, “Models 5106”, Hojas de Información técnica. www.signalrecovery.com

Signal Recovery, “Models 7280”, Hojas de Información técnica. www.signalrecovery.com

Stanford Research Systems, “Models SR510/ SR530”, 2001, Hojas de Información técnica. www.thinksrs.com

Stanford Research Systems, “Models SR810/ SR830”, 2006, Hojas de Información técnica. www.thinksrs.com

Stanford Research Systems, “Model 844”, 2007, Hojas de Información técnica. www.thinksrs.com

Stanford Research Systems, “Model 850”, 2007, Hojas de Información técnica. www.thinksrs.com

Stanford Research Systems, “Models SR810/ SR830”, 2006, Hojas de Información técnica y Manual de Operaciones . Cap. 3 – 3. www.thinksrs.com

Xilinx, 2004, “Programable Logic – Introduction”, pp. 1-30.

APENDICE – D

Artículo publicado en el 6to. Congreso Internacional de Ingeniería



El algoritmo de CORDIC como una alternativa para el cálculo de Fase y Amplitud en sistemas de coordenadas rectangulares

G. Macias-Bobadilla

División de Estudios de Posgrado, Facultad de Ingeniería, Universidad Autónoma de Querétaro, Centro Universitario, Cerro de las Campanas S/N, 76010, Querétaro, Qro., México

Resumen

En este trabajo se muestra la implementación del algoritmo de CORDIC en un FPGA para el cálculo de la Amplitud y el Angulo de Desfasamiento de una señal leída con respecto a un sistema de referencias en cuadratura, el cual comprende una señal de referencia adelantada 90° con respecto a una primera, de forma senoidal. Se muestran los resultados obtenidos a partir de un conjunto de vectores X, Y resultado de la media de la convolución del sistema de referencias en cuadratura.

Palabras Clave: *FPGA, Detección de Fase, Algoritmo de CORDIC.*



Introducción

Existen muchas formas de calcular la fase y la amplitud de una señal de respuesta en sistemas modulados por señales periódicas. Típicamente para calcular la fase de una señal se podría considerar la detección del cruce por cero o de algún otro punto determinado de la señal y posteriormente compararla con la señal de referencia.

Si el sistema se analiza por medio de temporizadores, entonces se cuenta el lapso de tiempo transcurrido desde el cruce por cero de la señal de referencia y el cruce por cero de la señal analizada. Cuando el sistema se analiza por muestreo, como en el caso de los sistemas digitales que necesitan convertir las señales analógicas a digitales, entonces se cuenta el número de muestras tomadas a partir de un punto de referencia de la señal analizada. En este caso dado que el muestreo es fijo se multiplica el número de muestras tomadas por la velocidad de muestreo y se hace relación entre el numero muestras total del ciclo de la señal de referencia.

Otra manera ampliamente utilizada por los Amplificadores Lock-In (LIA) es por medio de la detección sensible de fase (PSD, por sus siglas en Ingles). Esta consiste en modular el sistema con una señal periódica, una señal senoidal por ejemplo, y posteriormente medir la señal de respuesta proveniente del mismo, como consecuencia la señal leída tendrá un desfaseamiento proporcional a las variaciones propias del sistema. Esta señal leída es multiplicada o convolucionada por la señal de referencia, el resultado obtenido constara de una señal al doble de



frecuencia de la señal de referencia, y cuyo valor medio tendrá variaciones proporcionales a la diferencia de fase de la señal leída. [10]

Sin embargo, existe un inconveniente en esta técnica cuando solamente se realiza la convolución por una sola señal de referencia, pues el valor medio del resultado de la convolución no solamente será sensible a las variaciones de fase, sino también a las variaciones de amplitud. Por lo que este resultado tendrá intrínseco las variaciones de fase y amplitud.

Como solución al problema antes mencionado algunos LIAs utilizan una doble referencia, por lo que la convolución de la señal leída se realiza por dos señales, la segunda de ellas adelantada 90° con respecto a la primera. Si se consideran como dos vectores la media del resultado de cada convolución, entonces se obtienen Y, X respectivamente, y pueden ser tomados como coordenadas rectangulares de un sistema. [7-9]

A partir de estos dos vectores se puede obtener la Resultante (R) equivalente a la Amplitud del sistema y un Angulo (θ) equivalente al desfaseamiento del sistema. Sin embargo, para obtener la Resultante (R) es necesario calcular la raíz cuadrada de la suma de $X^2 + Y^2$. Para calcular el ángulo es necesaria una operación aun más compleja la cual implica el cálculo de la tangente inversa de Y/X. [7-10]

Para los sistemas digitales ambas operaciones propiamente descritas consumen muchos recursos, sobre todo para los sistemas de hardware reconfigurable como en el caso de los FPGA (Fiel Programmable Gate Array). Pues dicho calculo implicaría de manera directa el uso de varios multiplicadores, así como de mucho tiempo de proceso.



Desde varias décadas atrás para solucionar este problema en los sistemas digitales se empezó a trabajar con algoritmos recursivos que evitaran el uso de muchos recursos a nivel de bit, pues aun cuando los lenguajes de programación puedan aparentemente manejar operaciones complejas, estas siguen demandando mucho a nivel de bit. Un algoritmo que ha probado ser la solución a este problema a través del tiempo es el algoritmo de CORDIC (Coordinate Rotation Digital Computer), pues con solo corrimientos de bits y sumas puede obtener el equivalente a la raíz cuadrada de la suma de dos cuadrados y la tangente inversa del cociente de una división de dos vectores.[1-6]

En este trabajo se muestra la implementación del algoritmo de CORDIC en un FPGA para el cálculo de la Amplitud y el Angulo de Desfasamiento de una señal leída con respecto a un sistema de referencias en cuadratura, el cual comprende una señal de referencia adelantada 90° con respecto a una primera, de forma senoidal. Se muestran los resultados obtenidos a partir de un conjunto de vectores X, Y resultado de la media de la convolución del sistema de referencias en cuadratura. [1-3]

El Algoritmo de CORDIC

El algoritmo de CORDIC se plantea como una alternativa en los sistemas digitales para optimizar recursos de hardware evitando el uso de operaciones complejas y consecuentemente



con la necesidad de usar multiplicadores digitales, un recurso muy limitado, sobre todo en los FPGA.

El algoritmo de CORDIC se desarrolla mediante el uso de sumadores, registros de desplazamiento y LUTs (Lock-Up Tables). Este algoritmo se basa en la rotación de vectores y permite rotar el ángulo θ , proveniente del movimiento de la resultante $R=(X, Y)$, obteniendo el vector rotado $R' = (X', Y')$. [1-6]

Este algoritmo puede implementarse por el método de rotación o por el método de vectorización. En el primero las entradas corresponden al vector $R=(X, Y)$ y el ángulo θ a rotar, obteniendo $R' = (X', Y')$. En el segundo método, la entrada es el vector $R=(X, Y)$ y la salida es la magnitud R y el ángulo θ del vector $R=(X, Y)$.



Las ecuaciones CORDIC fundamentales para este algoritmo se enuncian a continuación:

$$\begin{aligned} x_{i+1} &= x_i - y_i \cdot d_i \cdot 2^{-i} \\ y_{i+1} &= y_i + x_i \cdot d_i \cdot 2^{-i} \\ z_{i+1} &= z_i + d_i \cdot \tan^{-1}(2^{-i}) \end{aligned} \quad (1)$$

Para cada iteración, se obtiene una semi - rotación con un ángulo igual a:

$$\alpha_i = \tan^{-1}(2^{-i}) \quad (2)$$

Consecuentemente al repetir el proceso por α_i se puede lograr que el vector R se aproxime a un ángulo próximo a θ . Las variables dinámicas x_{i+1} y y_{i+1} al incrementar el número de iteraciones obtienen una ganancia de procesamiento el cual se aproxima entre más iteraciones se realicen al valor 1.647, donde el valor exacto de la ganancia de procesamiento G_p se puede calcular con la siguiente ecuación:

$$G_p = \prod \sqrt{1+2^{-2i}} \approx 1.647 \quad (3)$$

Los valores del ángulo mencionado en la Ecuación 2, son constantes y se pueden almacenar en una LUT, entre mas valores se tengan de i mayor exactitud con respecto al valor real se puede obtener, en la siguiente tabla se puede observar un ejemplo de las constantes obtenidas a partir de la ecuación 2.



i	$\alpha_i = \tan^{-1}(2^{-i})$
0	45.000
1	26.56506
2	14.03624
3	7.12502
4	3.57633
5	1.78991
6	0.89517
...	...

Tabla 1. Ejemplo de LUT con los valores almacenados correspondientes a la $\alpha_i = \tan^{-1}(2^{-i})$

A partir de las Ecuaciones 1, se pueden obtener rotaciones para ángulos menores a 90° , para ángulos mayores a 90° , se deben utilizar las siguientes ecuaciones:

$$x_{i+1} = -y_i \cdot d_i$$

$$y_{i+1} = x_i \cdot d_i$$

$$z_{i+1} = d_i \cdot 90^\circ$$

Para este caso se tiene que considerar $d=-1$ para rotar 90° y $d=1$ para rotar -90° .



Implementación del Algoritmo

En la Figura 1, se muestra el sistema de análisis desarrollado para estimular sistemas de análisis por medio de una señal periódica, en esta caso una señal senoidal, cuyos resultados provenientes de la media de la convolución, vectores X, Y, son introducidos al algoritmo de CORDIC (de licencia GNU), obteniendo R y θ .

El sistema se desarrollo para calcular el ángulo de desfase de una señal proveniente de un sistema de análisis, y la amplitud de la señal medida. La parte digital fue desarrollada completamente en un FPGA-XCS200 de XILINX.

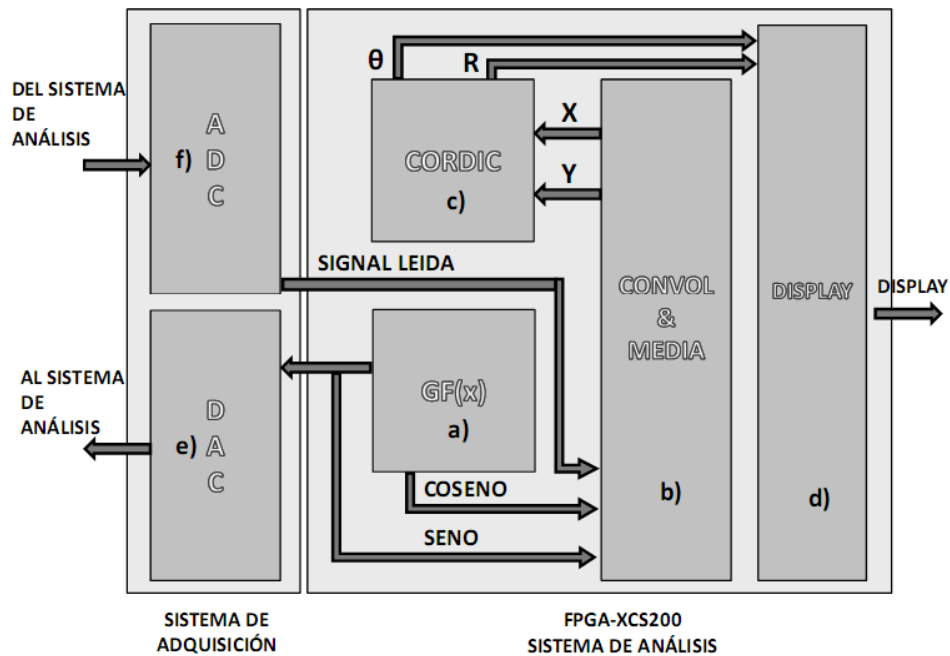




Figura 1. – Sistema desarrollado en FPGA para el cálculo de θ y R, donde se muestran a) una sección para generar señales de estimulación incluyendo a e), b) la sección de convolución y cálculo de la media, c) el algoritmo de CORDIC, d) sistema de Despliegue de Datos, y f) sistema de adquisición de datos.



Resultados Obtenidos

En la Figura 2 se muestran los resultados obtenidos en la detección de Amplitud del sistema de análisis, graficados y comparados con un equipo comercial que realiza el mismo cálculo de la amplitud y el ángulo de desfasamiento a base de un DSP (Digital Signal Processor). En el eje Y se pueden observar los valores obtenidos por el equipo desarrollado y en el eje X se pueden observar los valores obtenidos por el equipo comercial SR-830 de Stanford Research Systems.

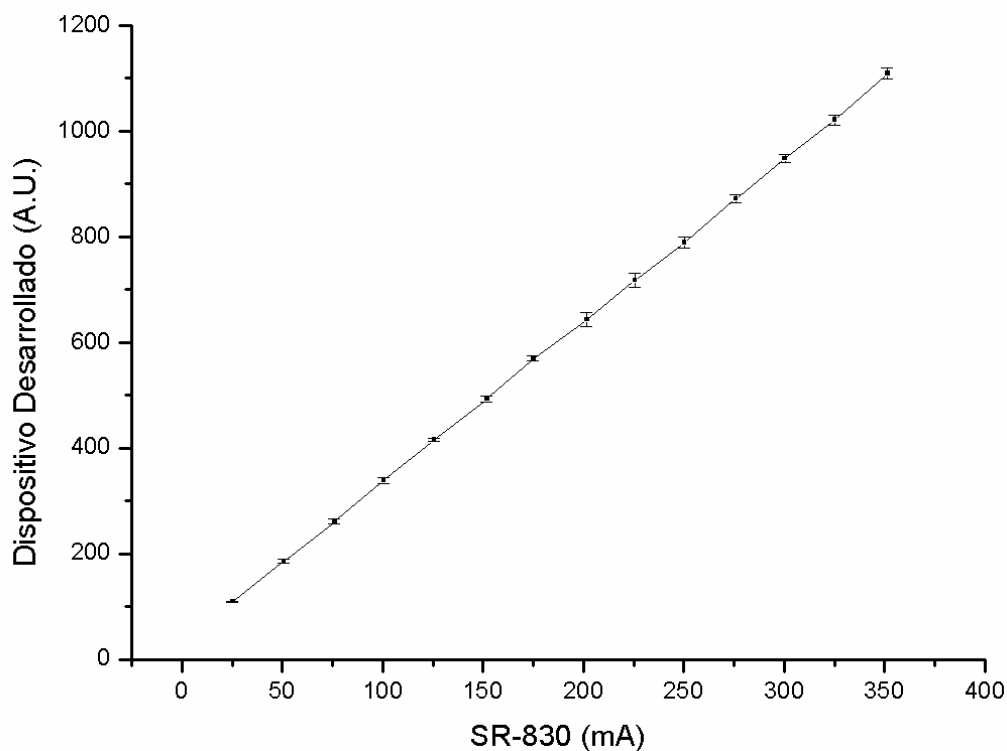


Figura 2.- Resultados de Detección de Amplitud, Dispositivo Desarrollado contra SR-830



En la Figura 3 se muestran los resultados obtenidos en la detección del Ángulo de Fase del sistema de análisis, graficados y comparados con el mismo equipo comercial mencionado anteriormente.

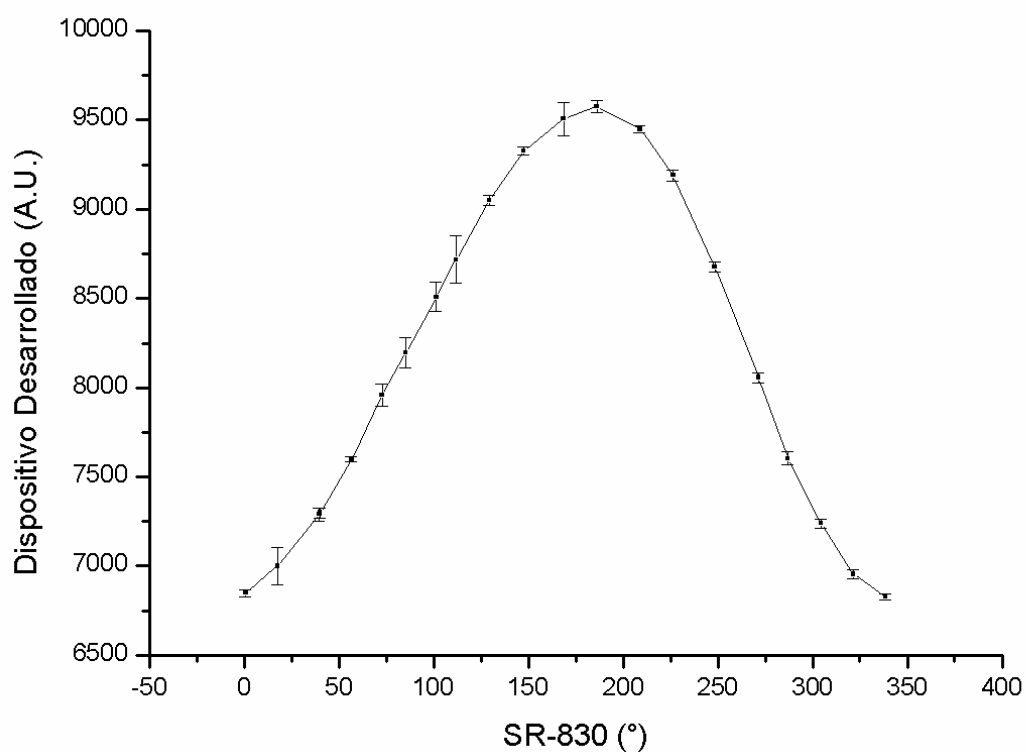


Figura 3.- Resultados de Detección de Fase, Dispositivo Desarrollado contra SR-830



Conclusiones

El algoritmo de CORDIC implementado en conjunto con el sistema experimental permite obtener resultados repetibles con un comportamiento lineal en cuestiones de detección de Amplitud, la respuesta comparada con el dispositivo comercial da confiabilidad al algoritmo implementado en el FPGA, a la vez que representa una buena alternativa para la conversión de coordenadas rectangulares a coordenadas polares con pocos requerimientos de hardware.

En cuestión de la detección del ángulo de fase se observa que los datos son repetibles, la curva obtenida es propia de los vectores rotacionales o fasores comprobando el correcto funcionamiento del algoritmo de 0-360°.



Referencias

- [1] Javier Valls, M. Kuhlmann, y K. K. Parhi, *Evaluation of CORDIC Algorithm for FPGA design*, Journal of VLSI Signal Processing, pp. 207-222, Nov. **2002**.
- [2] J. Volder, *the CORDIC computing technique*, IRE Trans. Computers, **1959**.
- [3] D. Cocharan, *Algorithms and accuracy in the HP35*, Hewlett-Packard J., June **1972**.
- [4] J. Walther, *A unified algorithm for elementary function*, Joint Computer Conference Proc., v.38, **1971**.
- [5] R. Andraka, *A survey of CORDIC algorithms for FPGA based computers*, ACM, **1998**.
- [7] A. Rastelli, R. Abbiati and A. Geraci, *Digital Field Programmable Gate Array based lock-in amplifier for high performances photon counting applications*, Rev. Sci. Instrum., 76, 093112, **2005**.
- [8] J. Gaspar, S. Feng, A. Gordillo, et. Al., *Digital lock-in amplifier: study, design and development with a digital signal Processor*, Microprocessors and Microsystems, 28, 157-162, **2004**.
- [9] L. Barragan, J. Artigas, R. Alonso, and F. Villuendas, *A modular, low-cost digital signal processor based lock-in card for measuring optical attenuation*. Review of Scientific Instrument, 72, 247, **2001**.



[10]Stanford Research Systems, Application Note #3.

APENDICE – E

Hoja de Especificaciones técnicas del ADC - MAX1162

EVALUATION KIT
AVAILABLE**MAXIM**

16-Bit, +5V, 200ksps ADC with 10 μ A Shutdown

MAX1162

General Description

The MAX1162 low-power, 16-bit analog-to-digital converter (ADC) features a successive-approximation ADC, automatic power-down, fast 1.1 μ s wakeup, and a high-speed SPI™/QSPI™/MICROWIRE™-compatible interface. The MAX1162 operates with a single +5V analog supply and features a separate digital supply, allowing direct interfacing with +2.7V to +5.25V digital logic.

At the maximum sampling rate of 200ksps, the MAX1162 consumes typically 2.75mA. Power consumption is typically 13.75mA ($AV_{DD} = DV_{DD} = +5V$) at a 200ksps (max) sampling rate. AutoShutdown™ reduces supply current to 140 μ A at 10ksps and to less than 10 μ A at reduced sampling rates.

Excellent dynamic performance and low power, combined with ease of use and small package size (10-pin μ MAX® and 10-pin DFN) make the MAX1162 ideal for battery-powered and data-acquisition applications or for other circuits with demanding power consumption and space requirements.

Applications

Motor Control
Industrial Process Control
Industrial I/O Modules
Data-Acquisition Systems
Thermocouple Measurements
Accelerometer Measurements
Portable- and Battery-Powered Equipment

Functional Diagram appears at end of data sheet.

SPI and QSPI are trademarks of Motorola, Inc.

MICROWIRE is a trademark of National Semiconductor Corp.

AutoShutdown is a trademark of Maxim Integrated Products, Inc.

μ MAX is a registered trademark of Maxim Integrated Products, Inc.

MAXIM

Maxim Integrated Products 1

For pricing, delivery, and ordering information, please contact Maxim Direct at 1-888-629-4642, or visit Maxim's website at www.maxim-ic.com.

Features

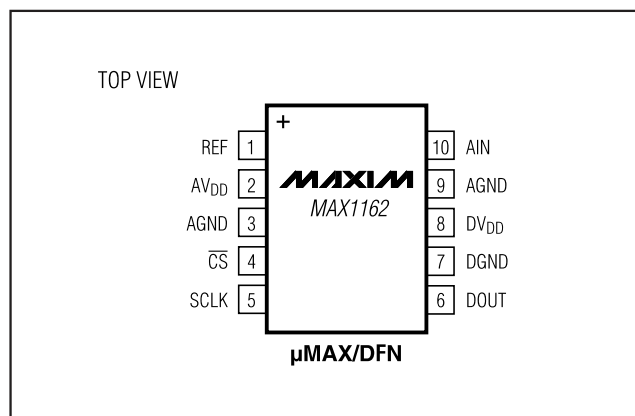
- ◆ 16-Bit Resolution, No Missing Codes
- ◆ +5V Single-Supply Operation
- ◆ Adjustable Logic Level (+2.7V to +5.25V)
- ◆ Input-Voltage Range: 0 to V_{REF}
- ◆ Internal Track/Hold, 4MHz Input Bandwidth
- ◆ SPI/QSPI/MICROWIRE-Compatible Serial Interface
- ◆ Small 10-Pin μ MAX or 10-Pin DFN Package
- ◆ Low Power
 - 2.75mA at 200ksps
 - 140 μ A at 10ksps
 - 0.1 μ A in Power-Down Mode

Ordering Information

PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX1162BCUB+	0°C to +70°C	10 μ MAX	± 2
MAX1162BC_B*	0°C to +70°C	10 DFN	± 2
MAX1162CCUB+	0°C to +70°C	10 μ MAX	± 4
MAX1162CC_B*	0°C to +70°C	10 DFN	± 4
MAX1162BEUB+	-40°C to +85°C	10 μ MAX	± 2.5
MAX1162BE_B*	-40°C to +85°C	10 DFN	± 2.5
MAX1162CEUB+	-40°C to +85°C	10 μ MAX	± 4
MAX1162CE_B*	-40°C to +85°C	10 DFN	± 4

*Future product—contact factory for DFN package availability.
+Denotes a lead(Pb)-free/RoHS-compliant package.

Pin Configuration



16-Bit, +5V, 200ksp/s ADC with 10 μ A Shutdown

ABSOLUTE MAXIMUM RATINGS

AV _{DD} to AGND	-0.3V to +6V
DV _{DD} to DGND	-0.3V to +6V
DGND to AGND	-0.3V to +0.3V
A _{IN} , REF to AGND	-0.3V to (AV _{DD} + 0.3V)
SCLK, CS to DGND	-0.3V to +6V
DOUT to DGND	-0.3V to (DV _{DD} + 0.3V)
Maximum Current Into Any Pin	50mA

Continuous Power Dissipation (T _A = +70°C)	
10-Pin μ MAX (derate 5.6mW/°C above +70°C)	444mW
Operating Temperature Ranges	
MAX1162_CUB	0°C to +70°C
MAX1162_EUB	-40°C to +85°C
Maximum Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = DV_{DD} = +4.75V to +5.25V, f_{SCLK} = 4.8MHz (50% duty cycle), 24 clocks/conversion (200ksp/s), V_{REF} = +4.096V, C_{REF} = 4.7 μ F, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution			16			Bits
Relative Accuracy (Note 2)	INL	MAX1162B	T _A = -40°C	-2.5	+2.5	LSB
			T _A = 0°C	-2	+2	
			T _A = +85°C	-2	+2	
		MAX1162C	T _A = -40°C	-4	+4	
			T _A = 0°C	-4	+4	
			T _A = +85°C	-4	+4	
Differential Nonlinearity	DNL	MAX1162B	T _A = -40°C	NMC*	2	LSB
			T _A = 0°C	NMC*	1.75	
			T _A = +85°C	NMC*	1.75	
		MAX1162C	T _A = -40°C	-2	+2	
			T _A = 0°C	-2	+2	
			T _A = +85°C	-2	+2	
Transition Noise		RMS noise	±0.65			LSB _{RMS}
Offset Error			0.1	1		mV
Gain Error		(Note 3)	±0.002	±0.01		%FSR
Offset Drift			0.4			ppm/°C
Gain Drift		(Note 3)	0.2			ppm/°C

*NMC = No missing code.

16-Bit, +5V, 200ksps ADC with 10 μ A Shutdown

MAX1162

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = DVDD = +4.75V to +5.25V, fSCLK = 4.8MHz (50% duty cycle), 24 clocks/conversion (200ksps), VREF = +4.096V, CREF = 4.7 μ F, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC SPECIFICATIONS (1kHz sine wave, 4.096Vp-						
Signal-to-Noise Plus Distortion	SINAD		86	89.5		dB
Signal-to-Noise Ratio	SNR		87	90		dB
Total Harmonic Distortion	THD				-90	dB
Spurious-Free Dynamic Range	SFDR		92	103		dB
Full-Power Bandwidth		-3dB point		4		MHz
Full-Linear Bandwidth		SINAD > 86dB		10		kHz
CONVERSION RATE						
Conversion Time	tCONV	(Note 4)	5		240	μ s
Serial Clock Frequency	fSCLK		0.1		4.8	MHz
Aperture Delay	tAD			15		ns
Aperture Jitter	tAJ			<50		ps
Sample Rate	fs	fSCLK / 24			200	ksps
Track/Hold Acquisition Time	tACQ		1.1			μ s
ANALOG INPUT (AIN)						
Input Range	VAIN		0		VREF	V
Input Capacitance	CAIN			40		pF
EXTERNAL REFERENCE						
Input-Voltage Range	VREF		3.8		AVDD	V
Input Current	IREF	VREF = +4.096V, fSCLK = 4.8MHz		100		μ A
		VREF = +4.096V, SCLK idle		0.01		
		CS = DVDD, SCLK idle		0.01		
DIGITAL INPUTS (SCLK, CS)						
Input High Voltage	VIH	DVDD = +2.7V to +5.25V	0.7 x DVDD			V
Input Low Voltage	VIL	DVDD = +2.7V to +5.25V		0.3 x DVDD		V
Input Leakage Current	IIN	VIN = 0 to DVDD		\pm 0.1	\pm 1	μ A
Input Hysteresis	VHYST			0.2		V
Input Capacitance	CIN			15		pF
DIGITAL OUTPUT (DOUT)						
Output High Voltage	VOH	ISOURCE = 0.5mA, DVDD = +2.7V to +5.25V	DVDD - 0.25V			V
Output Low Voltage	VOL	ISINK = 10mA, DVDD = +4.75V to +5.25V		0.7		V
		ISINK = 1.6mA, DVDD = +2.7V to +5.25V		0.4		
Three-State Output Leakage Current	IL	CS = DVDD		\pm 0.1	\pm 10	μ A
Three-State Output Capacitance	COUT	CS = DVDD		15		pF

16-Bit, +5V, 200ksp/s ADC with 10 μ A Shutdown

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = DV_{DD} = +4.75V$ to $+5.25V$, $f_{SCLK} = 4.8MHz$ (50% duty cycle), 24 clocks/conversion (200ksp/s), $V_{REF} = +4.096V$, $C_{REF} = 4.7\mu F$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
POWER SUPPLIES							
Analog Supply	AV_{DD}			4.75		5.25	V
Digital Supply	DV_{DD}			2.7		5.25	V
Analog Supply Current	I_{AVDD}	$\overline{CS} = DGND$	200ksp/s		2.75	3.25	mA
			100ksp/s		1.4		
			10ksp/s		0.14		
			1ksp/s		0.014		
Digital Supply Current	I_{DVDD}	$\overline{CS} = DGND$, DOUT = all zeros	200ksp/s		0.6	1.0	mA
			100ksp/s		0.3		
			10ksp/s		0.03		
			1ksp/s		0.003		
Shutdown Supply Current	$I_{AVDD} + I_{DVDD}$	$\overline{CS} = DV_{DD}$, SCLK = idle			0.1	10	μA
Power-Supply Rejection Ratio	PSRR	$AV_{DD} = DV_{DD} = +4.75V$ to $+5.25V$, full-scale input (Note 5)			68		dB

TIMING CHARACTERISTICS (Figures 1, 2, 3, and 6)

($AV_{DD} = DV_{DD} = +4.75V$ to $+5.25V$, $f_{SCLK} = 4.8MHz$ (50% duty cycle), 24 clocks/conversion (200ksp/s), $V_{REF} = +4.096V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Acquisition Time	t_{ACQ}		1.1			μs
SCLK to DOUT Valid	t_{DO}	$C_{DOUT} = 50pF$			50	ns
\overline{CS} Fall to DOUT Enable	t_{DV}	$C_{DOUT} = 50pF$			80	ns
\overline{CS} Rise to DOUT Disable	t_{TR}	$C_{DOUT} = 50pF$			80	ns
\overline{CS} Pulse Width	t_{CSW}		50			ns
\overline{CS} Fall to SCLK Rise Setup	t_{CSS}		100			ns
\overline{CS} Rise to SCLK Rise Hold	t_{CSH}				0	ns
SCLK High Pulse Width	t_{CH}		65			ns
SCLK Low Pulse Width	t_{CL}		65			ns
SCLK Period	t_{CP}		208			ns

16-Bit, +5V, 200ksps ADC with 10 μ A Shutdown

MAX1162

TIMING CHARACTERISTICS (Figures 1, 2, 3, and 6)

(AV_{DD} = +4.75V to +5.25V, DV_{DD} = +2.7V to +5.25V, f_{SCLK} = 4.8MHz (50% duty cycle), 24 clocks/conversion (200ksps), V_{REF} = +4.096V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Acquisition Time	t _{ACQ}		1.1			μ s
SCLK to DOUT Valid	t _{DO}	C _{DOUT} = 50pF			100	ns
$\overline{\text{CS}}$ Fall to DOUT Enable	t _{DV}	C _{DOUT} = 50pF			100	ns
$\overline{\text{CS}}$ Rise to DOUT Disable	t _{TR}	C _{DOUT} = 50pF			80	ns
$\overline{\text{CS}}$ Pulse Width	t _{CSW}		50			ns
$\overline{\text{CS}}$ Fall to SCLK Rise Setup	t _{CSS}		100			ns
$\overline{\text{CS}}$ Rise to SCLK Rise Hold	t _{CSH}				0	ns
SCLK High Pulse Width	t _{CH}		65			ns
SCLK Low Pulse Width	t _{CL}		65			ns
SCLK Period	t _{CP}		208			ns

Note 1: AV_{DD} = DV_{DD} = +5V.

Note 2: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.

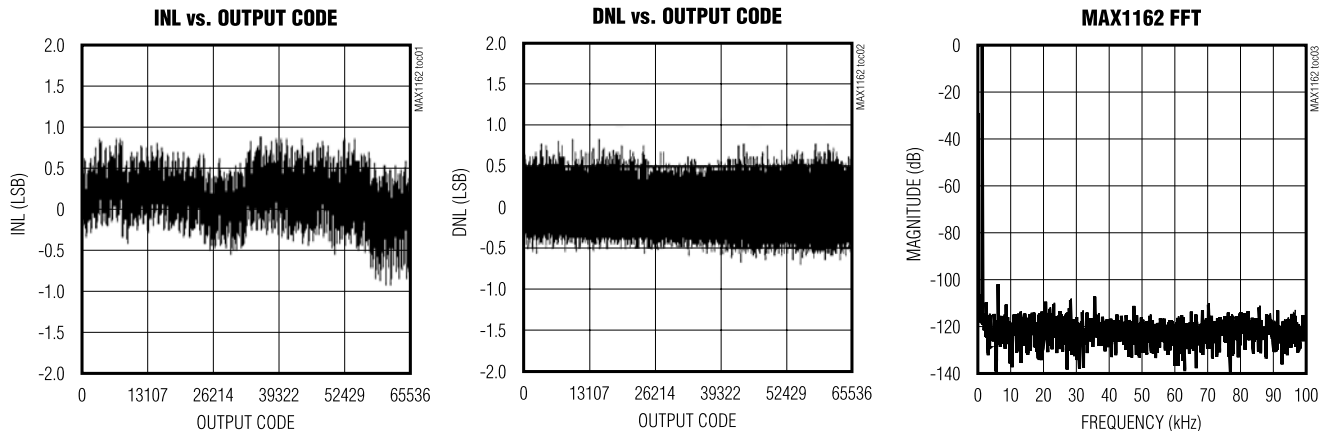
Note 3: Offset and reference errors nulled.

Note 4: Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

Note 5: Defined as the change in positive full scale caused by a $\pm 5\%$ variation in the nominal supply voltage.

Typical Operating Characteristics

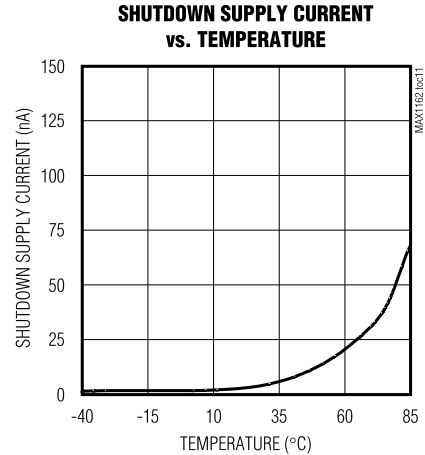
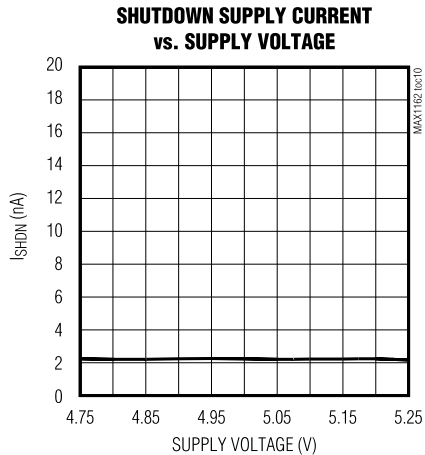
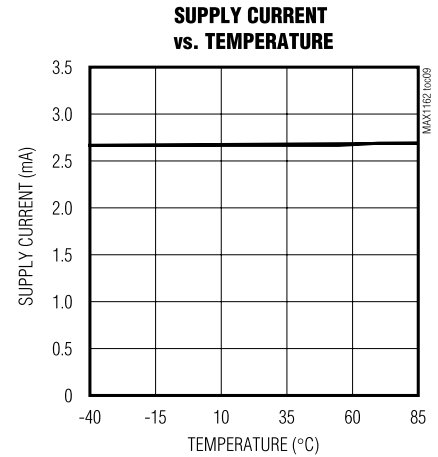
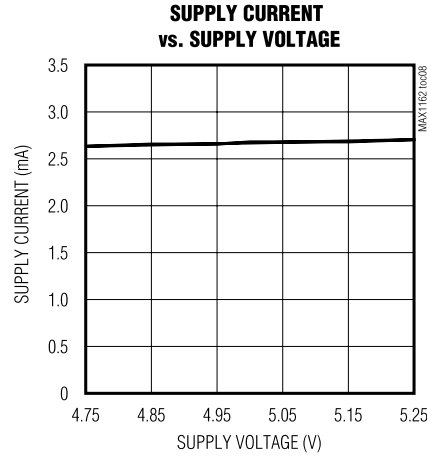
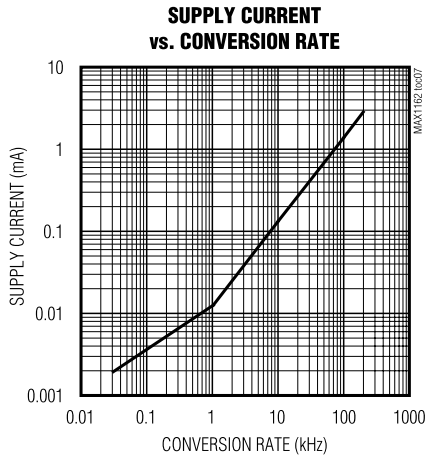
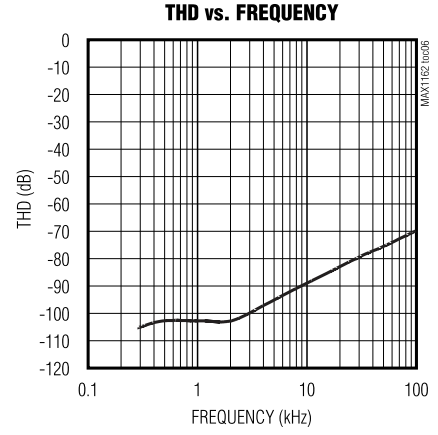
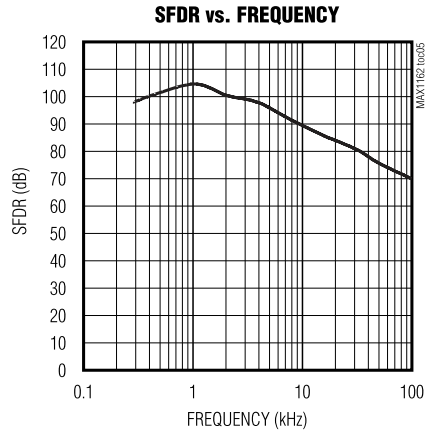
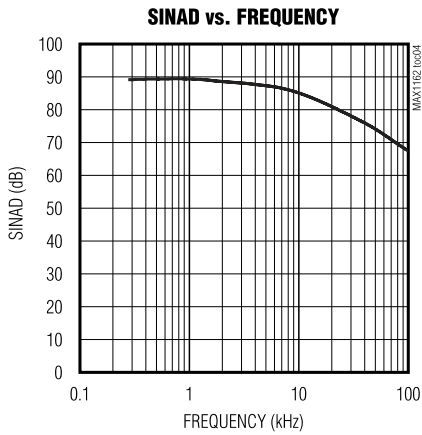
(AV_{DD} = DV_{DD} = +5V, f_{SCLK} = 4.8MHz, C_{LOAD} = 50pF, C_{REF} = 4.7 μ F, V_{REF} = +4.096V, T_A = +25°C, unless otherwise noted.)



16-Bit, +5V, 200kps ADC with 10 μ A Shutdown

Typical Operating Characteristics (continued)

(AVDD = DVDD = +5V, fSCLK = 4.8MHz, CLOAD = 50pF, CREF = 4.7 μ F, VREF = +4.096V, TA = +25 $^{\circ}$ C, unless otherwise noted.)

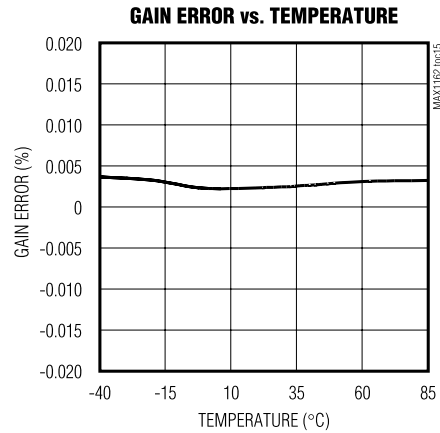
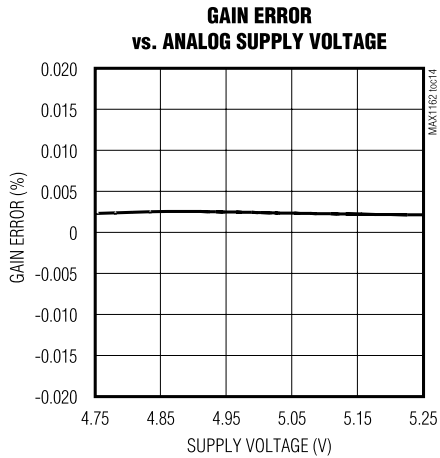
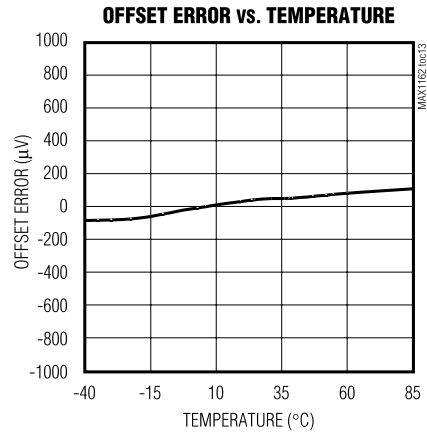
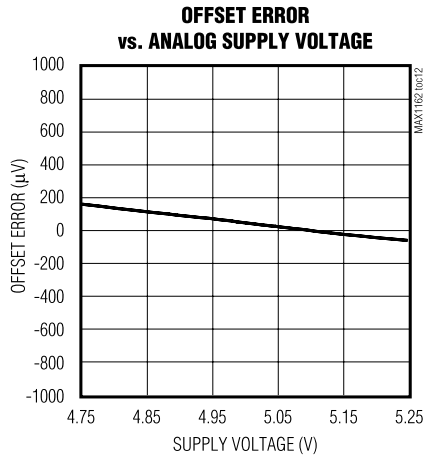


16-Bit, +5V, 200ksps ADC with 10 μ A Shutdown

MAX1162

Typical Operating Characteristics (continued)

(AVDD = DVDD = +5V, fSCLK = 4.8MHz, CLOAD = 50pF, CREF = 4.7 μ F, VREF = +4.096V, TA = +25°C, unless otherwise noted.)



16-Bit, +5V, 200ksp/s ADC with 10 μ A Shutdown

Pin Description

PIN	NAME	FUNCTION
1	REF	External Reference Voltage Input. Sets the analog voltage range. Bypass to AGND with a 4.7 μ F capacitor.
2	AV _{DD}	Analog +5V Supply Voltage. Bypass to AGND (pin 3) with a 0.1 μ F capacitor.
3, 9	AGND	Analog Ground. Connect pins 3 and 9 together. Place star ground at pin 3.
4	$\overline{\text{CS}}$	Active-Low Chip-Select Input. Forcing $\overline{\text{CS}}$ high places the MAX1162 in shutdown with a typical current of 0.1 μ A. A high-to-low transition on $\overline{\text{CS}}$ activates normal operating mode and initiates a conversion.
5	SCLK	Serial Clock Input. SCLK drives the conversion process and clocks out data at data rates up to 4.8MHz.
6	DOUT	Serial Data Output. Data changes state on SCLK's falling edge. DOUT is high impedance when $\overline{\text{CS}}$ is high.
7	DGND	Digital Ground
8	DV _{DD}	Digital Supply Voltage. Bypass to DGND with a 0.1 μ F capacitor.
10	AIN	Analog Input

Detailed Description

The MAX1162 includes an input track-and-hold (T/H) and successive-approximation register (SAR) circuitry to convert an analog input signal to a digital 16-bit output. Figure 4 shows the MAX1162 in its simplest configuration. The serial interface requires only three digital lines (SCLK, $\overline{\text{CS}}$, and DOUT) and provides an easy interface to microprocessors (μ Ps).

The MAX1162 has two power modes: normal and shutdown. Driving $\overline{\text{CS}}$ high places the MAX1162 in shutdown, reducing the supply current to 0.1 μ A (typ), while pulling $\overline{\text{CS}}$ low places the MAX1162 in normal operating mode. Falling edges on $\overline{\text{CS}}$ initiate conversions that are driven by SCLK. The conversion result is available at DOUT in unipolar serial format. The serial data stream consists of eight zeros followed by the data bits (MSB first). Figure 3 shows the interface timing diagram.

Analog Input

Figure 5 illustrates the input sampling architecture of the ADC. The voltage applied at REF sets the full-scale input voltage.

Track-and-Hold (T/H)

In track mode, the analog signal is acquired on the internal hold capacitor. In hold mode, the T/H switches open and the capacitive DAC samples the analog input.

During the acquisition, the analog input (AIN) charges capacitor C_{DAC}. The acquisition interval ends on the falling edge of the sixth clock cycle (Figure 6). At this instant, the T/H switches open. The retained charge on C_{DAC} represents a sample of the input.

In hold mode, the capacitive digital-to-analog converter (DAC) adjusts during the remainder of the conversion cycle to restore node ZERO to zero within the limits of 16-bit resolution. At the end of the conversion, force $\overline{\text{CS}}$ high and then low to reset the input side of the C_{DAC} switches back to AIN, and charge C_{DAC} to the input signal again.

The time required for the T/H to acquire an input signal is a function of how quickly its input capacitance is charged. If the input signal's source impedance is high, the acquisition time lengthens and more time must be allowed between conversions. The acquisition time (t_{ACQ}) is the maximum time the device takes to acquire the signal. Use the following formula to calculate acquisition time:

$$t_{ACQ} = 13(R_S + R_{IN}) \times 35\text{pF}$$

where R_{IN} = 800 Ω , R_S = the input signal's source impedance, and t_{ACQ} is never less than 1.1 μ s. A source impedance less than 1k Ω does not significantly affect the ADC's performance.

To improve the input signal bandwidth under AC conditions, drive AIN with a wideband buffer (>4MHz) that can drive the ADC's input capacitance and settle quickly.

16-Bit, +5V, 200ksps ADC with 10 μ A Shutdown

MAX1162

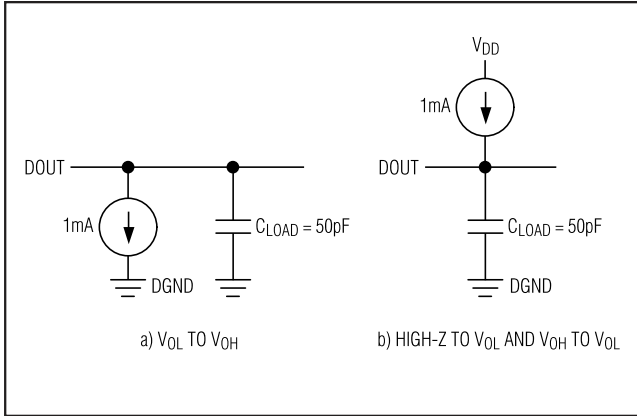


Figure 1. Load Circuits for DOUT Enable Time and SCLK to DOUT Delay Time

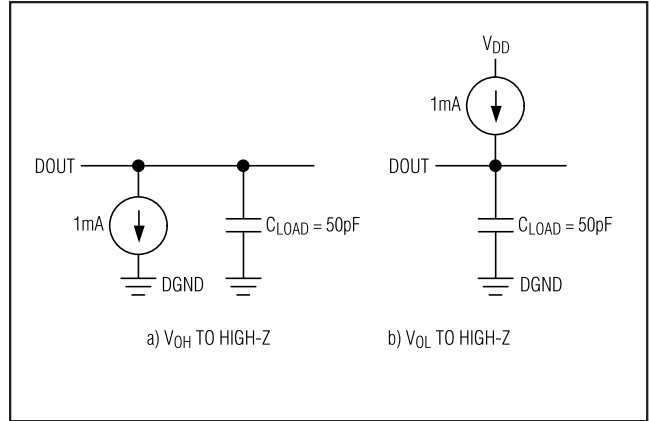
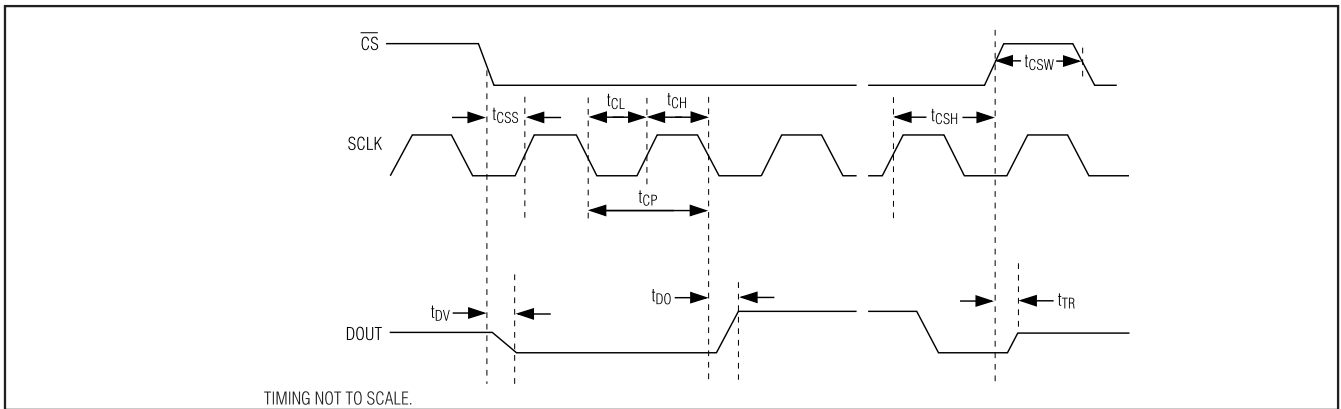


Figure 2. Load Circuits for DOUT Disable Time



TIMING NOT TO SCALE.

Figure 3. Detailed Serial Interface Timing

Input Bandwidth

The ADC's input tracking circuitry has a 4MHz small-signal bandwidth, so it is possible to digitize high-speed transient events and measure periodic signals with bandwidths exceeding the ADC's sampling rate by using undersampling techniques. To avoid aliasing of unwanted high-frequency signals into the frequency band of interest, use anti-alias filtering.

Analog Input Protection

Internal protection diodes, which clamp the analog input to AV_{DD} or $AGND$, allow the input to swing from $AGND - 0.3V$ to $AV_{DD} + 0.3V$, without damaging the device.

If the analog input exceeds 300mV beyond the supplies, limit the input current to 10mA.

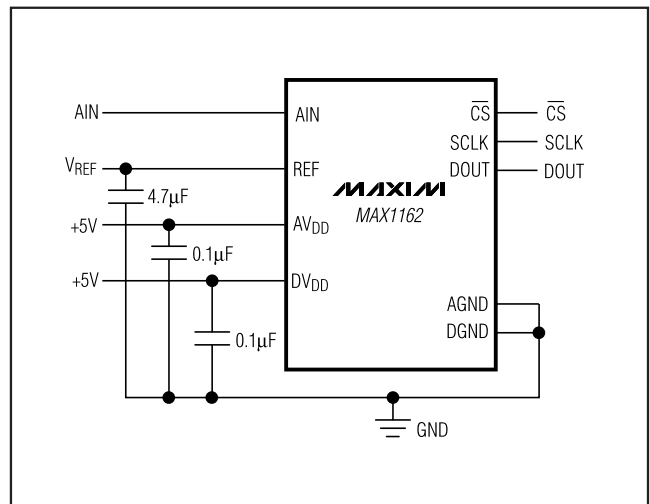


Figure 4. Typical Operating Circuit

16-Bit, +5V, 200ksp/s ADC with 10 μ A Shutdown

Digital Interface

Initialization after Power-Up and Starting a Conversion

The digital interface consists of two inputs, SCLK and \overline{CS} , and one output, DOUT. A logic high on \overline{CS} places the MAX1162 in shutdown (AutoShutdown) and places DOUT in a high-impedance state. A logic low on \overline{CS} places the MAX1162 in the fully powered mode.

To start a conversion, pull \overline{CS} low. A falling edge on \overline{CS} initiates an acquisition. SCLK drives the A/D conversion and shifts out the conversion results (MSB first) at DOUT.

Timing and Control

Conversion-start and data-read operations are controlled by the \overline{CS} and SCLK digital inputs (Figures 6 and 7). Ensure that the duty cycle on SCLK is between 40% and 60% at 4.8MHz (the maximum clock frequency). For lower clock frequencies, ensure that the minimum high and low times are at least 65ns. Conversions with SCLK rates less than 100kHz can result in reduced accuracy due to leakage.

Note: Coupling between SCLK and the analog inputs (AIN and REF) may result in an offset. Variations in frequency, duty cycle, or other aspects of the clock signal's shape result in changing offset.

A \overline{CS} falling edge initiates an acquisition sequence. The analog input is stored in the capacitive DAC, DOUT changes from high impedance to logic low, and the ADC begins to convert after the sixth clock cycle. SCLK drives the conversion process and shifts out the conversion result on DOUT.

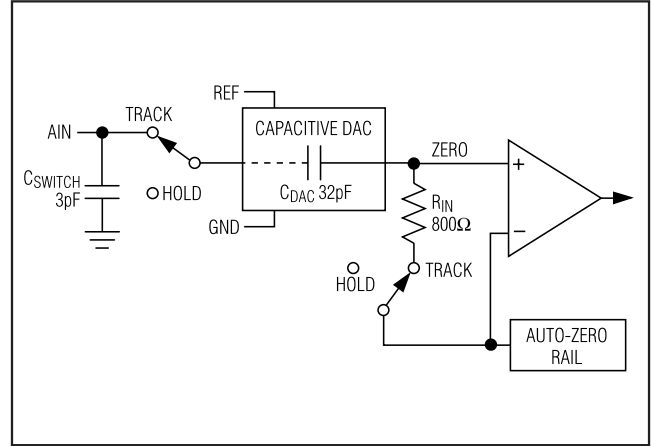


Figure 5. Equivalent Input Circuit

SCLK begins shifting out the data (MSB first) after the falling edge of the 8th SCLK pulse. Twenty-four falling clock edges are needed to shift out the eight leading zeros and 16 data bits. Extra clock pulses occurring after the conversion result has been clocked out, and prior to the rising edge of \overline{CS} , produce trailing zeros at DOUT and have no effect on the converter operation.

Force \overline{CS} high after reading the conversion's LSB to reset the internal registers and place the MAX1162 in shutdown. For maximum throughput, force \overline{CS} low again to initiate the next conversion immediately after the specified minimum time (t_{CSW}).

Note: Forcing \overline{CS} high in the middle of a conversion immediately aborts the conversion and places the MAX1162 in shutdown.

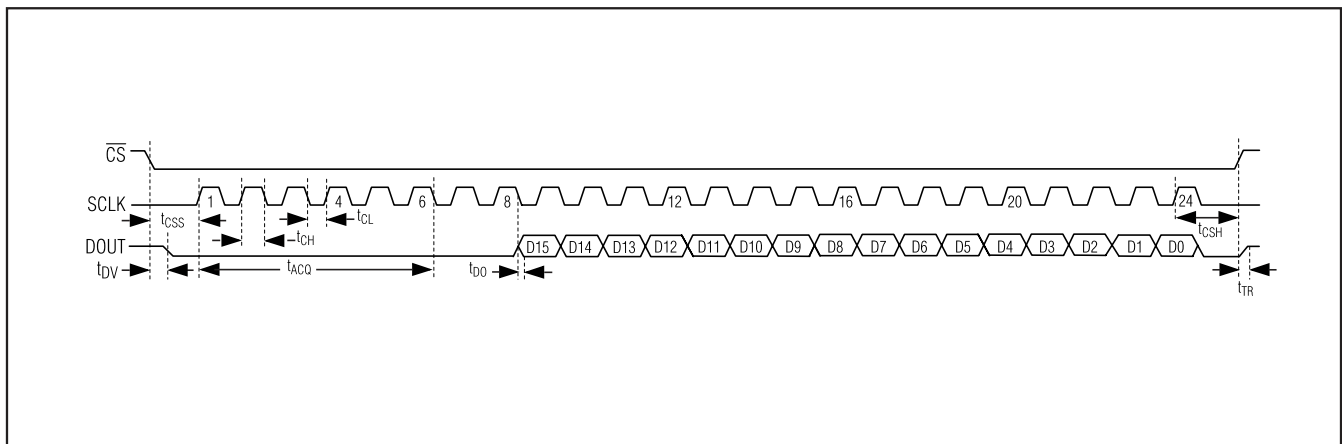


Figure 6. External Timing Diagram

16-Bit, +5V, 200ksps ADC with 10 μ A Shutdown

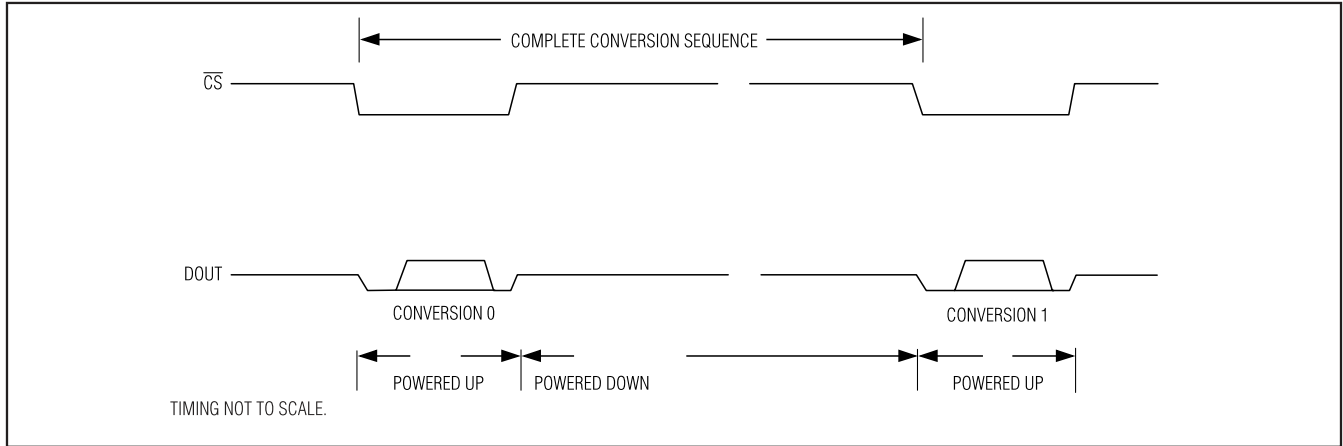


Figure 7. Shutdown Sequence

Output Coding and Transfer Function

The data output from the MAX1162 is binary and Figure 8 depicts the nominal transfer function. Code transitions occur halfway between successive-integer LSB values ($V_{REF} = 4.096V$ and $1LSB = 63\mu V$ or $4.096V/65536$).

Applications Information

External Reference

The MAX1162 requires an external reference with a +3.8V and AV_{DD} voltage range. Connect the external reference directly to REF. Bypass REF to AGND (pin 3) with a 4.7 μF capacitor. When not using a low-ESR bypass capacitor, use a 0.1 μF ceramic capacitor in parallel with the 4.7 μF capacitor. Noise on the reference degrades conversion accuracy.

The input impedance at REF is 40k Ω for DC currents. During a conversion the external reference at REF must deliver 100 μA of DC load current and have an output impedance of 10 Ω or less.

For optimal performance, buffer the reference through an op amp and bypass the REF input. Consider the MAX1162's equivalent input noise (38 μV_{RMS}) when choosing a reference.

Input Buffer

Most applications require an input buffer amplifier to achieve 16-bit accuracy. If the input signal is multiplexed, switch the input channel immediately after acquisition, rather than near the end of or after a conversion (Figure 9). This allows the maximum time for the input buffer amplifier to respond to a large step change in the input signal. The input amplifier must have a slew rate of at least 2V/ μs to complete the required output-voltage change before the beginning of the acquisition time.

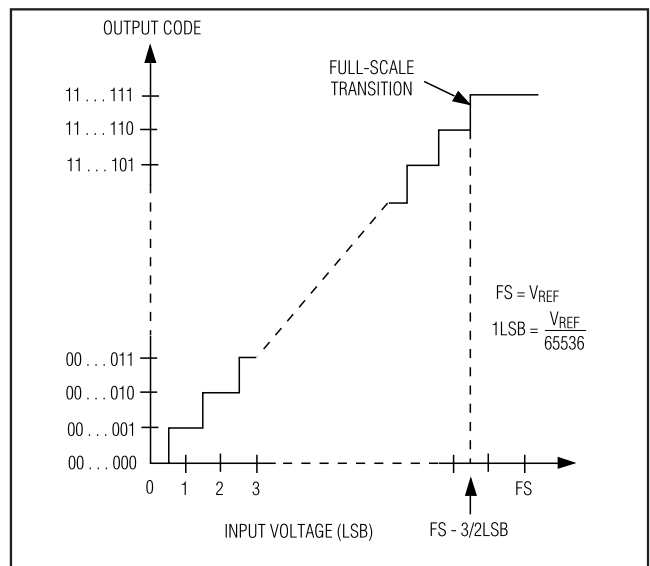


Figure 8. Unipolar Transfer Function, Full Scale (FS) = V_{REF} , Zero Scale (ZS) = GND

At the beginning of the acquisition, the internal sampling capacitor array connects to AIN (the amplifier output), causing some output disturbance. Ensure that the sampled voltage has settled before the end of the acquisition time.

Digital Noise

Digital noise can couple to AIN and REF. The conversion clock (SCLK) and other digital signals active during input acquisition contribute noise to the conversion result. Noise signals synchronous with the sampling interval result in an effective input offset. Asynchronous signals produce random noise on the input, whose high-frequency components can be aliased into the fre-

16-Bit, +5V, 200ksp/s ADC with 10 μ A Shutdown

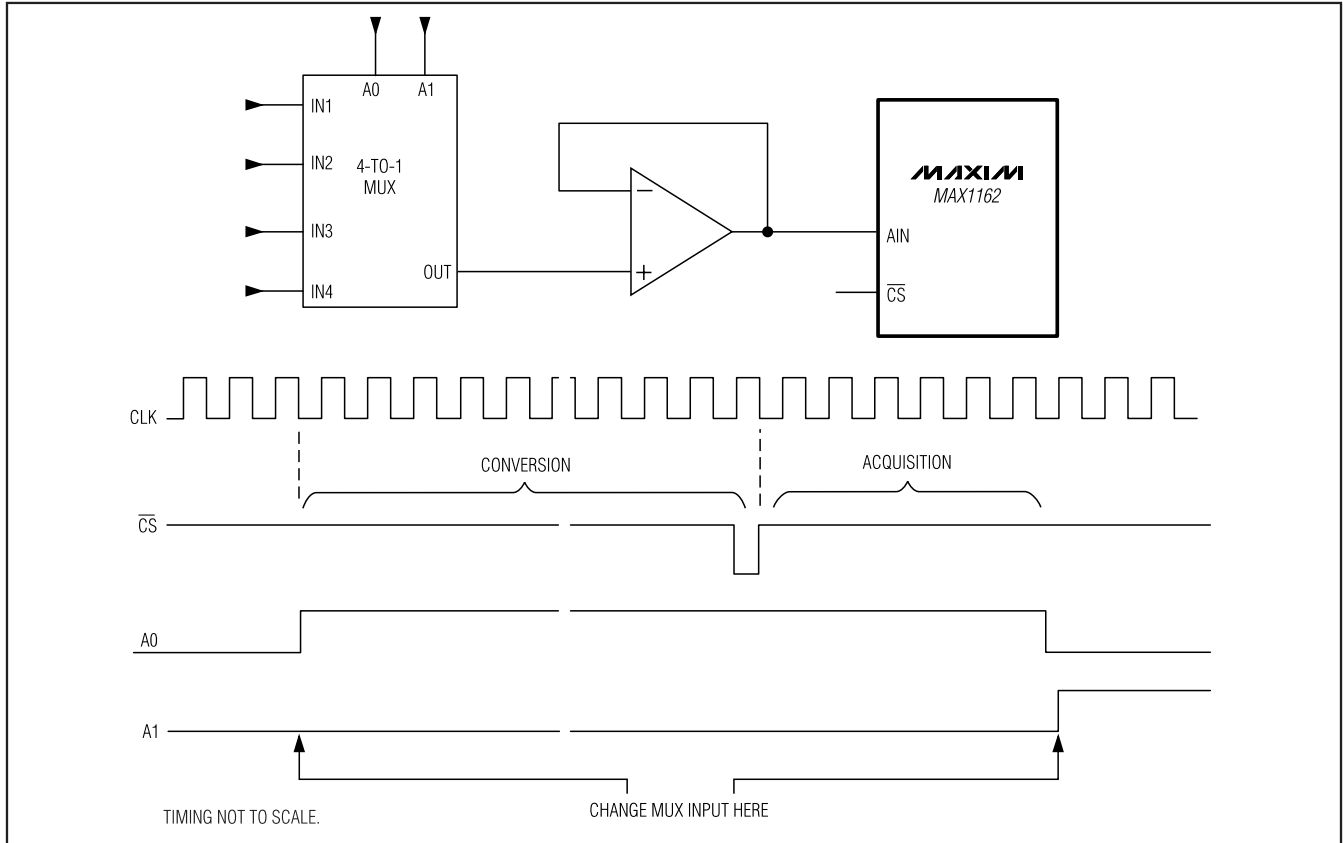


Figure 9. Change Multiplexer Input Near Beginning of Conversion to Allow Time for Slewing and Settling

quency band of interest. Minimize noise by presenting a low impedance (at the frequencies contained in the noise signal) at the inputs. This requires bypassing AIN to AGND, or buffering the input with an amplifier that has a small-signal bandwidth of several MHz, or preferably both. AIN has 4MHz (typ) of bandwidth.

Distortion

Avoid degrading dynamic performance by choosing an amplifier with distortion much less than the MAX1162's total harmonic distortion (THD = -102dB at 1kHz) at frequencies of interest. If the chosen amplifier has insufficient common-mode rejection, which results in degraded THD performance, use the inverting configuration (positive input grounded) to eliminate errors from this source. Low temperature-coefficient, gain-setting resistors reduce linearity errors caused by resistance changes due to self-heating. To reduce linearity errors due to finite amplifier gain, use amplifier circuits with sufficient loop gain at the frequencies of interest.

DC Accuracy

To improve DC accuracy, choose a buffer with an offset much less than the MAX1162's offset (1mV (max) for +5V supply), or whose offset can be trimmed while maintaining stability over the required temperature range.

Serial Interfaces

The MAX1162's interface is fully compatible with SPI, QSPI, and MICROWIRE standard serial interfaces.

If a serial interface is available, establish the CPU's serial interface as master, so that the CPU generates the serial clock for the MAX1162. Select a clock frequency between 100kHz and 4.8MHz:

- 1) Use a general-purpose I/O line on the CPU to pull \overline{CS} low.
- 2) Activate SCLK for a minimum of 24 clock cycles. The serial data stream of eight leading zeros followed by the MSB of the conversion result begins at the falling edge of \overline{CS} . DOUT transitions on SCLK's falling edge and the output is available in MSB-first

16-Bit, +5V, 200ksps ADC with 10 μ A Shutdown

format. Observe the SCLK to DOUT valid timing characteristic. Clock data into the μ P on SCLK's rising edge.

- 3) Pull \overline{CS} high at or after the 24th falling clock edge. If \overline{CS} remains low, trailing zeros are clocked out after the least significant bit (D0 = LSB).
- 4) With \overline{CS} high, wait at least 50ns (t_{CSW}) before starting a new conversion by pulling \overline{CS} low. A conversion can be aborted by pulling \overline{CS} high before the conversion ends. Wait at least 50ns before starting a new conversion.

Data can be output in three 8-bit sequences or continuously. The bytes contain the results of the conversion padded with eight leading zeros before the MSB. If the serial clock has not been idled after the LSB (D0) and \overline{CS} has been kept low, DOUT sends trailing zeros.

SPI and MICROWIRE Interfaces

When using the SPI (Figure 10a) or MICROWIRE (Figure 10b) interfaces, set CPOL = 0 and CPHA = 0. Conversion begins with a falling edge on \overline{CS} (Figure 10c). Three consecutive 8-bit readings are necessary to obtain the entire 16-bit result from the ADC. DOUT data transitions on the serial clock's falling edge. The first 8-bit data stream contains all leading zeros. The second 8-bit data stream contains the MSB through D8. The third 8-bit data stream contains D7 through D0.

QSPI Interface

Using the high-speed QSPI interface with CPOL = 0 and CPHA = 0, the MAX1162 supports a maximum fSCLK of 4.8MHz. Figure 11a shows the MAX1162 connected to a QSPI master and Figure 11b shows the associated interface timing.

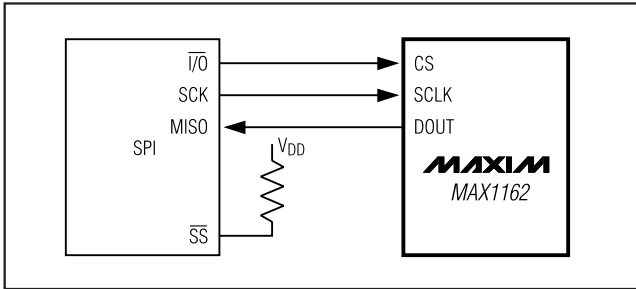


Figure 10a. SPI Connections

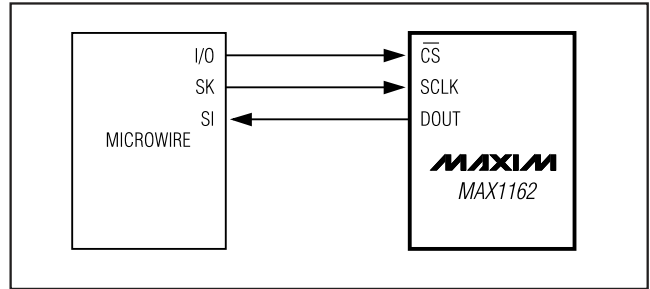


Figure 10b. MICROWIRE Connections

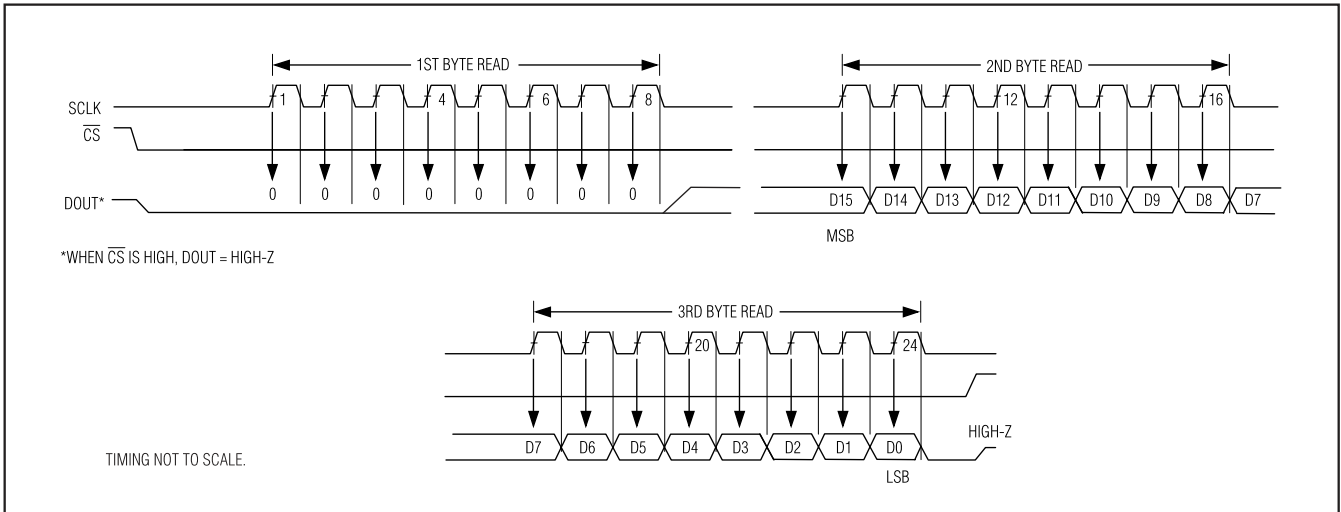


Figure 10c. SPI/MICROWIRE Interface Timing Sequence (CPOL = CPHA = 0)

16-Bit, +5V, 200ksp/s ADC with 10µA Shutdown

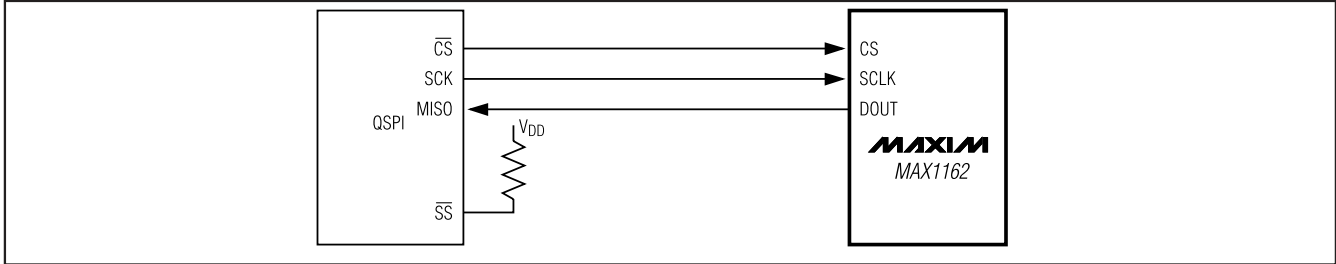


Figure 11a. QSPI Connections

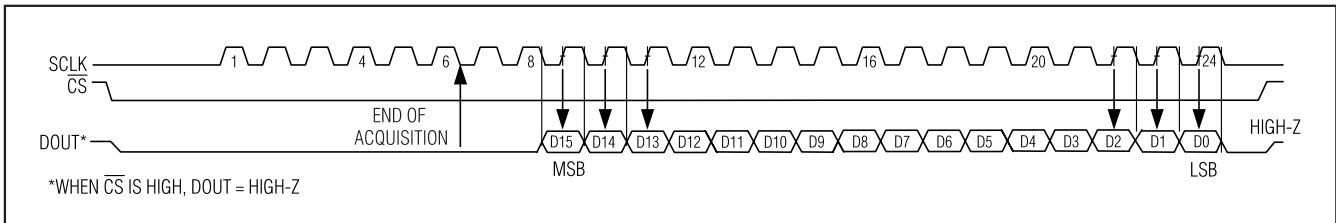


Figure 11b. QSPI Interface Timing Sequence (CPOL = CPHA = 0)

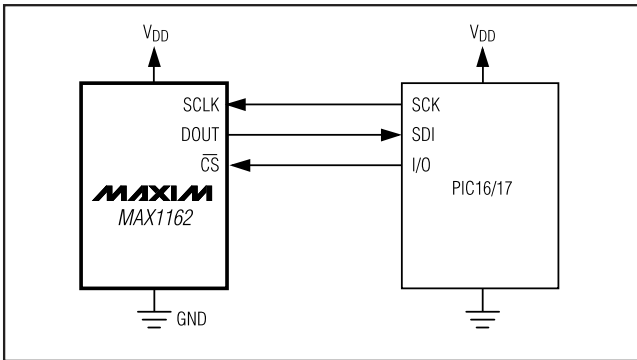


Figure 12a. SPI Interface Connection for a PIC16/PIC17

PIC16 with SSP Module and PIC17 Interface

The MAX1162 is compatible with a PIC16/PIC17 microcontroller (µC) using the synchronous serial-port (SSP) module.

To establish SPI communication, connect the controller as shown in Figure 12a. Configure the PIC16/PIC17 as system master, by initializing its synchronous serial-port control register (SSPCON) and synchronous serial-port status register (SSPSTAT) to the bit patterns shown in Tables 1 and 2.

In SPI mode, the PIC16/PIC17 µC allows 8 bits of data to be synchronously transmitted and received simulta-

Table 1. Detailed SSPCON Register Contents

CONTROL BIT		MAX1162 SETTINGS	SYNCHRONOUS SERIAL-PORT CONTROL REGISTER (SSPCON)
WCOL	BIT7	X	Write Collision Detect Bit
SSPOV	BIT6	X	Receive Overflow Detect Bit
SSPEN	BIT5	1	Synchronous Serial-Port Enable Bit: 0: Disables serial port and configures these pins as I/O port pins. 1: Enables serial port and configures SCK, SDO, and SCI pins as serial port pins.
CKP	BIT4	0	Clock Polarity Select Bit. CKP = 0 for SPI master mode selection.
SSPM3	BIT3	0	Synchronous Serial-Port Mode Select Bit. Sets SPI master mode and selects f _{CLK} = f _{osc} / 16.
SSPM2	BIT2	0	
SSPM1	BIT1	0	
SSPM0	BIT0	1	

16-Bit, +5V, 200ksps ADC with 10µA Shutdown

Table 2. Detailed SSPSTAT Register Contents

CONTROL BIT		MAX1162 SETTINGS	SYNCHRONOUS SERIAL-PORT CONTROL REGISTER (SSPSTAT)
SMP	BIT7	0	SPI Data Input Sample Phase. Input data is sampled at the middle of the data output time.
CKE	BIT6	1	SPI Clock Edge Select Bit. Data is transmitted on the rising edge of the serial clock.
D/A	BIT5	X	Data Address Bit
P	BIT4	X	Stop Bit
S	BIT3	X	Start Bit
R/W	BIT2	X	Read/Write Bit Information
UA	BIT1	X	Update Address
BF	BIT0	X	Buffer Full Status Bit

X = Don't care.

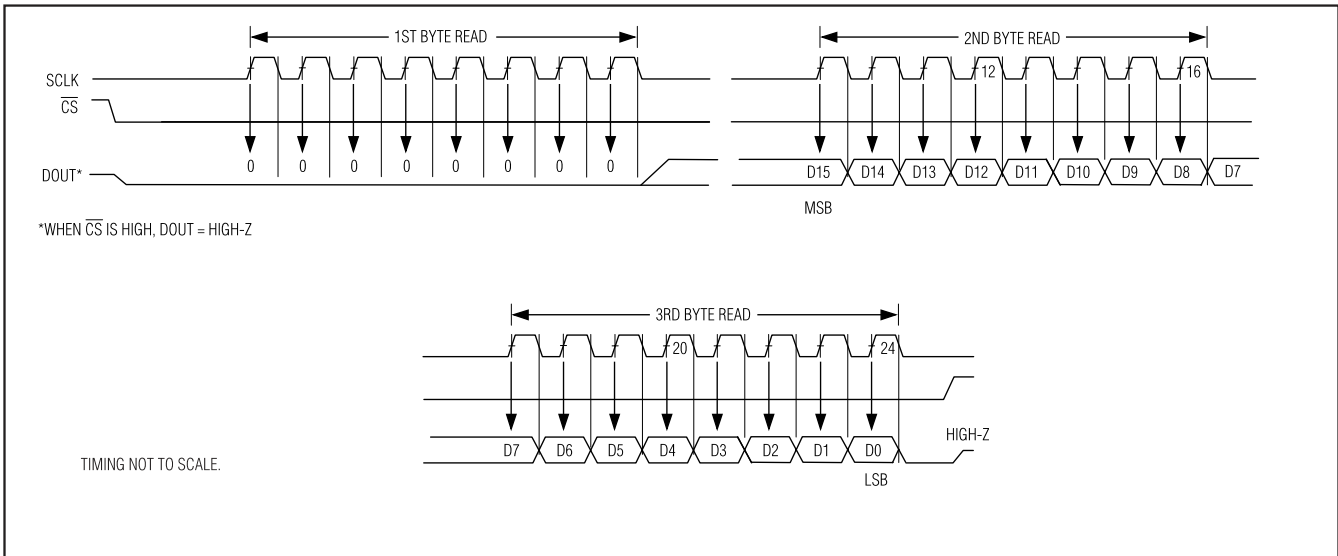


Figure 12b. SPI Interface Timing with PIC16/PIC17 in Master Mode (CKE = 1, CKP = 0, SMP = 0, SSPM3 - SSPM0 = 0001)

neously. Three consecutive 8-bit readings (Figure 12b) are necessary to obtain the entire 16-bit result from the ADC. DOUT data transitions on the serial clock's falling edge and is clocked into the µC on SCLK's rising edge. The first 8-bit data stream contains all zeros. The second 8-bit data stream contains the MSB through D8. The third 8-bit data stream contains bits D7 through D0.

Definitions

Integral Nonlinearity

Integral nonlinearity (INL) is the deviation of the values on an actual transfer function from a straight line. This straight line can be either a best-fit straight line fit or a line drawn between the endpoints of the transfer func-

tion, once offset and gain errors have been nulled. The static linearity parameters for the MAX1162 are measured using the endpoint method.

Differential Nonlinearity

Differential nonlinearity (DNL) is the difference between an actual step width and the ideal value of 1LSB. A DNL error specification of 1LSB guarantees no missing codes and a monotonic transfer function.

Aperture Definitions

Aperture jitter (t_{AJ}) is the sample-to-sample variation in the time between samples. Aperture delay (t_{AD}) is the time between the falling edge of the sampling clock and the instant when the actual sample is taken.

16-Bit, +5V, 200ksp/s ADC with 10µA Shutdown

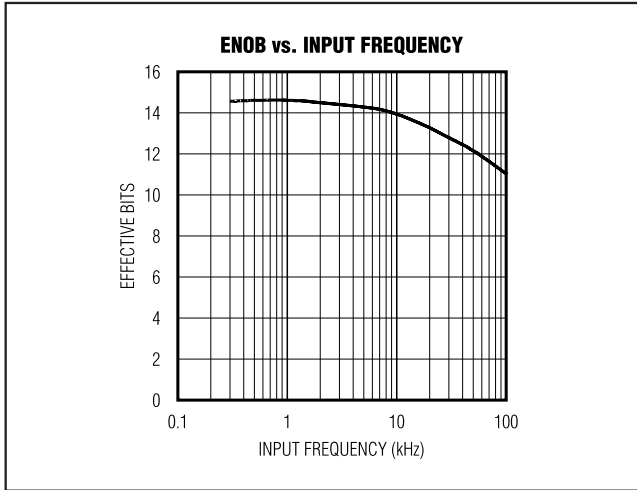


Figure 13. Effective Number of Bits vs. Input Frequency

Signal-to-Noise Ratio

For a waveform perfectly reconstructed from digital samples, signal-to-noise ratio (SNR) is the ratio of the full-scale analog input (RMS value) to the RMS quantization error (residual error). The ideal, theoretical minimum analog-to-digital noise is caused by quantization noise error only and results directly from the ADCs resolution (N bits):

$$SNR = (6.02 \times N + 1.76)dB$$

In reality, there are other noise sources besides quantization noise: thermal noise, reference noise, clock jitter, etc. SNR is computed by taking the ratio of the RMS signal to the RMS noise, which includes all spectral components minus the fundamental, the first five harmonics, and the DC offset.

Signal-to-Noise Plus Distortion

Signal-to-noise plus distortion (SINAD) is the ratio of the fundamental input frequency's RMS amplitude to the RMS equivalent of all the other ADC output signals, excluding the DC offset.

$$SINAD(dB) = 20 \times \log \left[\frac{Signal_{RMS}}{(Noise + Distortion)_{RMS}} \right]$$

Effective Number of Bits

Effective number of bits (ENOB) indicate the global accuracy of an ADC at a specific input frequency and sampling rate. An ideal ADC error consists of quantization noise only. With an input range equal to the full-scale range of the ADC, calculate the effective number of bits as follows:

$$ENOB = (SINAD - 1.76) / 6.02$$

Figure 13 shows the effective number of bits as a function of the MAX1162's input frequency.

Total Harmonic Distortion

Total harmonic distortion (THD) is the ratio of the RMS sum of the first five harmonics of the input signal to the fundamental itself. This is expressed as:

$$THD = 20 \times \log \left[\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right]$$

where V_1 is the fundamental amplitude and V_2 through V_5 are the 2nd- through 5th-order harmonics.

Spurious-Free Dynamic Range

Spurious-free dynamic range (SFDR) is the ratio of the RMS amplitude of the fundamental (maximum signal component) to the RMS value of the next largest frequency component.

Supplies, Layout, Grounding, and Bypassing

Use PC boards with separate analog and digital ground planes. Do not use wire-wrap boards. Connect the two ground planes together at the MAX1162 (pin 3). Isolate the digital supply from the analog with a low-value resistor (10Ω) or ferrite bead when the analog and digital supplies come from the same source (Figure 14).

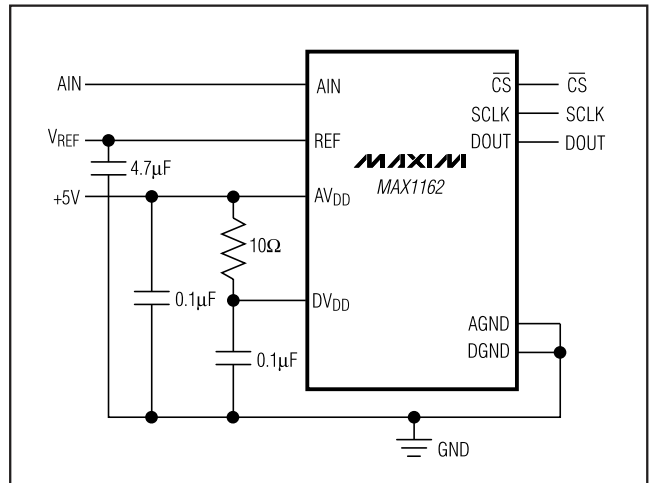


Figure 14. Powering AVDD and DVDD from a Single Supply

16-Bit, +5V, 200ksps ADC with 10µA Shutdown

MAX1162

Constraints on sequencing the power supplies and inputs are as follows:

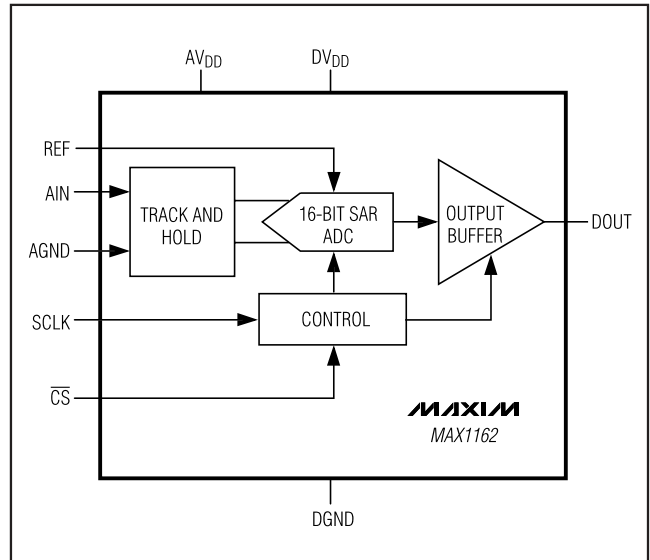
- Apply AGND before DGND.
- Apply AIN and REF after AV_{DD} and AGND are present.
- DV_{DD} is independent of the supply sequencing.

Ensure that digital return currents do not pass through the analog ground and that return-current paths are low impedance. A 5mA current flowing through a PC board ground trace impedance of only 0.05Ω creates an error voltage of about 250µV, 4LSB error with a +4V full-scale system.

The board layout should ensure that digital and analog signal lines are kept separate. Do not run analog and digital (especially the SCLK and DOUT) lines parallel to one another. If one must cross another, do so at right angles.

The ADC's high-speed comparator is sensitive to high-frequency noise on the AV_{DD} power supply. Bypass an excessively noisy supply to the analog ground plane with a 0.1µF capacitor in parallel with a 1µF to 10µF low-ESR capacitor. Keep capacitor leads short for best supply-noise rejection.

Functional Diagram



Chip Information

PROCESS: BiCMOS

Package Information

For the latest package outline information and land patterns, go to www.maxim-ic.com/packages. Note that a "+", "#", or "-" in the package code indicates RoHS status only. Package drawings may show a different suffix character, but the drawing pertains to the package regardless of RoHS status.

PACKAGE TYPE	PACKAGE CODE	DOCUMENT NO.
10 µMAX	U10-2	21-0061

16-Bit, +5V, 200ksps ADC with 10 μ A Shutdown

Revision History

REVISION NUMBER	REVISION DATE	DESCRIPTION	PAGES CHANGED
0	7/02	Initial release	—
1	4/10	Changed analog supply current and added lead-free information	1, 3, 5

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

18 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

APENDICE – F

Hoja de Especificaciones técnicas del DAC – AD5545

FEATURES

16-bit resolution AD5545
14-bit resolution AD5555
±1 LSB DNL monotonic
±1 LSB INL
2 mA full-scale current ±20%, with $V_{REF} = 10\text{ V}$
0.5 μs settling time
2Q multiplying reference-input 6.9 MHz BW
Zero or midscale power-up preset
Zero or midscale dynamic reset
3-wire interface
Compact TSSOP-16 package

APPLICATIONS

Automatic test equipment
Instrumentation
Digitally controlled calibration
Industrial control PLCs
Programmable attenuator

PRODUCT OVERVIEW

The AD5545/AD5555 are 16-bit/14-bit, current-output, digital-to-analog converters designed to operate from a single 5 V supply with bipolar output up to $\pm 15\text{ V}$ capability.

An external reference is needed to establish the full-scale output-current. An internal feedback resistor (R_{FB}) enhances the resistance and temperature tracking when combined with an external op amp to complete the I-to-V conversion.

A serial data interface offers high speed, 3-wire microcontroller compatible inputs using serial data in (SDI), clock (CLK), and chip select ($\overline{\text{CS}}$). Additional $\overline{\text{LDAC}}$ function allows simultaneous update operation. The internal reset logic allows power-on preset and dynamic reset at either zero or midscale, depending on the state of the MSB pin.

The AD5545/AD5555 are packaged in the compact TSSOP-16 package and can be operated from -40°C to $+85^\circ\text{C}$.

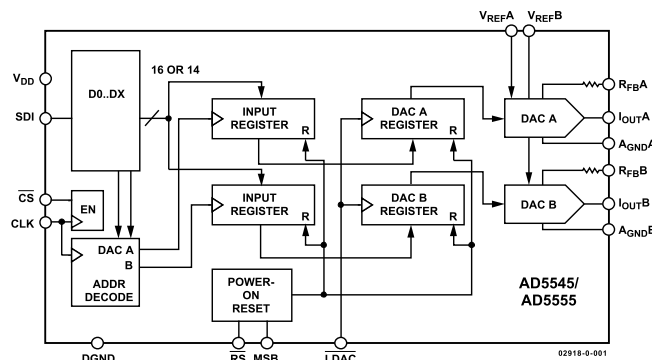
FUNCTIONAL BLOCK DIAGRAM

Figure 1.

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

TABLE OF CONTENTS

Features	1	Serial Data Interface.....	10
Applications.....	1	Power-Up Sequence	11
Product Overview.....	1	Layout and Power Supply Bypassing	11
Functional Block Diagram	1	Grounding	11
Revision History	2	Applications Information	12
Specifications.....	3	Stability	12
Electrical Characteristics	3	Positive Voltage Output	12
Timing Diagrams.....	4	Bipolar Output.....	12
Absolute Maximum Ratings.....	5	Programmable Current Source	13
ESD Caution.....	5	DAC with Programmable Input Reference Range.....	14
Pin Configuration And Functional Descriptions.....	6	Reference Selection	15
Typical Performance Characteristics	7	Amplifier Selection	15
Theory of Operation	9	Outline Dimensions	17
Digital-to-Analog Converter	9	Ordering Guide	17

REVISION HISTORY

4/10—Rev. A to Rev. B

Changes to 2Q Multiplying Reference Input	1
Changes to AC Characteristics and Endnote 3 in Table 1	4
Changes to Figure 13 and Figure 15.....	8
Added Reference Selection Section, Amplifier Selection Section, and Table 10.....	15
Added Table 11 and Table 12	16
Changes to Ordering Guide	17

9/09—Rev. 0 to Rev. A

Changes to Features Section.....	1
Changes to Static Performance, Relative Accuracy, AD5545C Parameter, Table 1.....	3
Moved ESD Caution.....	5
Changes to Ordering Guide	16

7/03—Revision 0: Initial Version

SPECIFICATIONS

ELECTRICAL CHARACTERISTICS

$V_{DD} = 5\text{ V} \pm 10\%$, $I_{OUT} = \text{virtual GND}$, $GND = 0\text{ V}$, $V_{REF} = 10\text{ V}$, $T_A = \text{full operating temperature range}$, unless otherwise noted.

Table 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
STATIC PERFORMANCE ¹						
Resolution	N	AD5545, 1 LSB = $V_{REF}/2^{16} = 153\ \mu\text{V}$ when $V_{REF} = 10\text{ V}$ AD5555, 1 LSB = $V_{REF}/2^{14} = 610\ \mu\text{V}$ when $V_{REF} = 10\text{ V}$			16	Bits
Relative Accuracy	INL	AD5545B AD5555C AD5545C			±2	LSB
					±1	LSB
					±1	LSB
Differential Nonlinearity	DNL	Monotonic			±1	LSB
Output Leakage Current	I_{OUT}	Data = 0x0000, $T_A = 25^\circ\text{C}$ Data = 0x0000, $T_A = T_A\text{ Max}$			10	nA
					20	nA
Full-Scale Gain Error	G_{FSE}	Data = full scale		±1	±4	mV
Full-Scale Temperature Coefficient ²	TCV_{FS}			1		ppm/°C
REFERENCE INPUT						
V_{REF} Range	V_{REF}		-12		+12	V
Input Resistance	R_{REF}			5		k Ω^3
Input Capacitance ²	C_{REF}			5		pF
ANALOG OUTPUT						
Output Current	I_{OUT}	Data = full scale		2		mA
Output Capacitance ²	C_{OUT}	Code dependent		200		pF
LOGIC INPUTS AND OUTPUT						
Logic Input Low Voltage	V_{IL}				0.8	V
Logic Input High Voltage	V_{IH}		2.4			V
Input Leakage Current	I_{IL}				10	μA
Input Capacitance ²	C_{IL}				10	pF
INTERFACE TIMING ^{2, 4}						
Clock Input Frequency	f_{CLK}		10		50	MHz
Clock Width High	t_{CH}		10			ns
Clock Width Low	t_{CL}		0			ns
\overline{CS} to Clock Setup	t_{CSS}		10			ns
Clock to \overline{CS} Hold	t_{CSH}		5			ns
Data Setup	t_{DS}		10			ns
Data Hold	t_{DH}		5			ns
LDAC Setup	t_{LDS}		10			ns
Hold	t_{LDH}		10			ns
LDAC Width	t_{LDAC}				50	MHz
SUPPLY CHARACTERISTICS						
Power Supply Range	V_{DD} range		4.5		5.5	V
Positive Supply Current	I_{DD}	Logic inputs = 0 V			10	μA
Power Dissipation	P_{DISS}	Logic inputs = 0 V			0.055	mW
Power Supply Sensitivity	PSS	$\Delta V_{DD} = \pm 5\%$			0.006	%/%

AD5545/AD5555

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
AC CHARACTERISTICS						
Output Voltage Setting Time	t_S	To $\pm 0.1\%$ full scale, data = zero scale to full scale to zero scale		0.5		μs
Reference Multiplying BW	BW	$V_{REF} = 100\text{ mV rms}$, data = full scale, $C_1 = 5.6\text{ pF}$		6.9		MHz
DAC Glitch Impulse	Q	$V_{REF} = 0\text{ V}$, data = midscale minus 1 to midscale		-2		nV-s
Feedthrough Error	V_{OUT}/V_{REF}	Data = zero scale, $V_{REF} = 100\text{ mV rms}$, $f = 1\text{ kHz}$, same channel		-81		dB
Digital Feedthrough	Q	$\overline{CS} = \text{logic high}$ and $f_{CLK} = 1\text{ MHz}$		7		nV-s
Total Harmonic Distortion	THD	$V_{REF} = 5\text{ V p-p}$, data = full scale, $f = 1\text{ kHz to } 10\text{ kHz}$		-104		dB
Analog Crosstalk	C_{TA}	$V_{REFB} = 0\text{ V}$, measure V_{OUTB} with $V_{REFA} = 5\text{ V p-p}$ sine wave, data = full scale, $f = 1\text{ kHz to } 10\text{ kHz}$		-95		dB
Output Spot Noise Voltage	e_N	$f = 1\text{ kHz}$, BW = 1 Hz		12		$\text{nV}/\sqrt{\text{Hz}}$

¹ All static performance tests (except I_{OUT}) are performed in a closed-loop system using an external precision [OP1177](#) I-to-V converter amplifier. The AD5545 R_{FB} terminal is tied to the amplifier output. Typical values represent average readings measured at 25°C.

² These parameters are guaranteed by design and not subject to production testing.

³ All ac characteristic tests are performed in a closed-loop system using an [AD8038](#) I-to-V converter amplifier and the [AD8065](#) for the THD specification.

⁴ All input control signals are specified with $t_r = t_f = 2.5\text{ ns}$ (10% to 90% of 3 V) and timed from a voltage level of 1.5 V.

TIMING DIAGRAMS

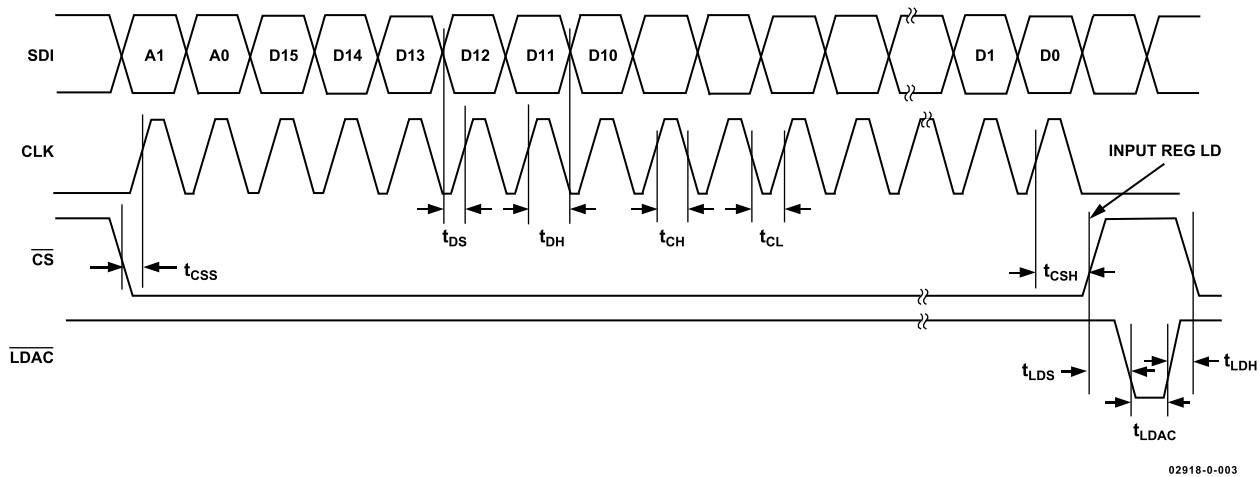


Figure 2. AD5545 18-Bit Data Word Timing Diagram

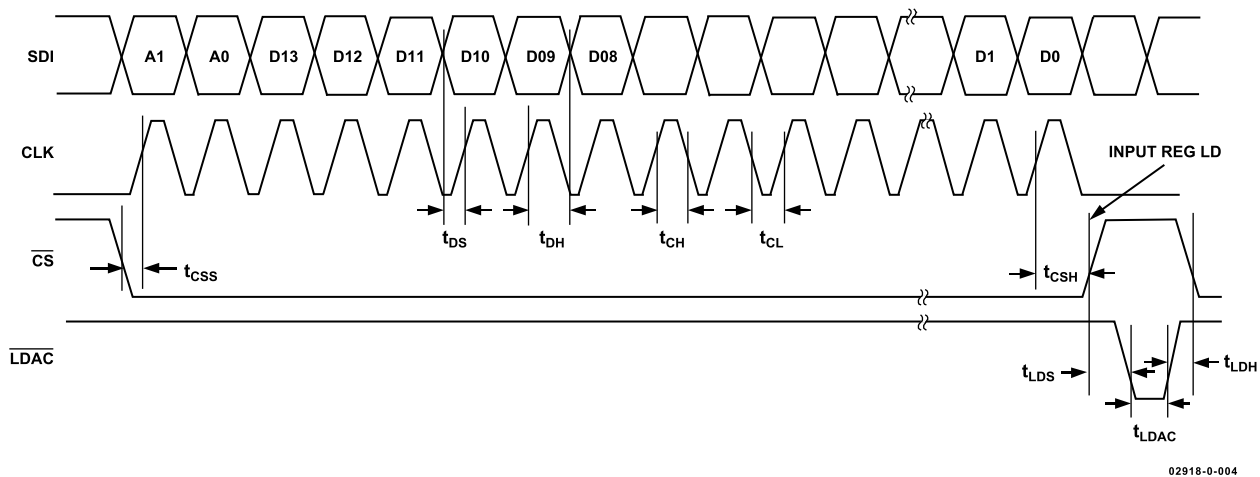


Figure 3. AD5555 16-Bit Data Word Timing Diagram

ABSOLUTE MAXIMUM RATINGS

Table 2.

Parameter	Rating
V _{DD} to GND	−0.3 V to +8 V
V _{REF} to GND	−18 V to +18 V
Logic Inputs to GND	−0.3 V to +8 V
V(I _{OUT}) to GND	−0.3 V to V _{DD} + 0.3 V
Input Current to Any Pin except Supplies	±50 mA
Package Power Dissipation	(T _{J max} − T _A)/θ _{JA}
Thermal Resistance θ _{JA} 16-Lead TSSOP	150°C/W
Maximum Junction Temperature (T _{J max})	150°C
Operating Temperature Range	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature	
RU-16 (Vapor Phase, 60 sec)	215°C
RU-16 (Infrared, 15 sec)	220°C

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ESD CAUTION



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

PIN CONFIGURATION AND FUNCTIONAL DESCRIPTIONS

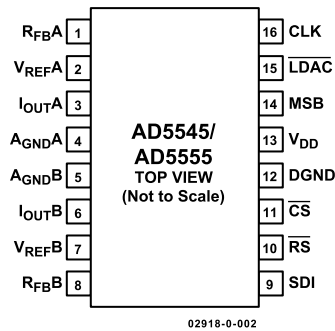


Figure 4. 16-Lead TSSOP

Table 3. Pin Function Descriptions

Pin No.	Mnemonic	Description
1	R _{FBA}	Establish voltage output for DAC A by connecting this pin to an external amplifier output.
2	V _{REFA}	DAC A Reference Voltage Input Terminal. Establishes DAC A full-scale output voltage. This pin can be tied to the V _{DD} pin.
3	I _{OUTA}	DAC A Current Output.
4	A _{GNDA}	DAC A Analog Ground.
5	A _{GNDB}	DAC B Analog Ground.
6	I _{OUTB}	DAC B Current Output.
7	V _{REFB}	DAC B Reference Voltage Input Terminal. Establishes DAC B full-scale output voltage. This pin can be tied to the V _{DD} pin.
8	R _{FBB}	Establish voltage output for DAC B by the R _{FBB} pin connecting to an external amplifier output.
9	SDI	Serial Data Input. Input data loads directly into the shift register.
10	\overline{RS}	Reset Pin, Active Low Input. Input registers and DAC registers are set to all 0s or midscale. Register Data = 0x0000 when MSB = 0. Register Data = 0x8000 for AD5545 and 0x2000 for AD5555 when MSB = 1.
11	\overline{CS}	Chip Select, Active Low Input. Disables shift register loading when high. Transfers serial register data to the input register when $\overline{CS}/\overline{LDAC}$ returns high. This does not affect \overline{LDAC} operation.
12	DGND	Digital Ground Pin.
13	V _{DD}	Positive Power Supply Input. Specified range of operation 5 V ± 10% or 3 V ± 10%.
14	MSB	MSB bit sets output to either 0 or midscale during a RESET pulse (\overline{RS}) or at system power-on. Output equals zero scale when MSB = 0 and midscale when MSB = 1. MSB pin can also be tied permanently to ground or V _{DD} .
15	\overline{LDAC}	Load DAC Register Strobe, Level Sensitive Active Low. Transfers all input register data to DAC registers. Asynchronous active low input. See Table 7 and Table 8 for operation.
16	CLK	Clock Input. Positive edge clocks data into shift register.

TYPICAL PERFORMANCE CHARACTERISTICS

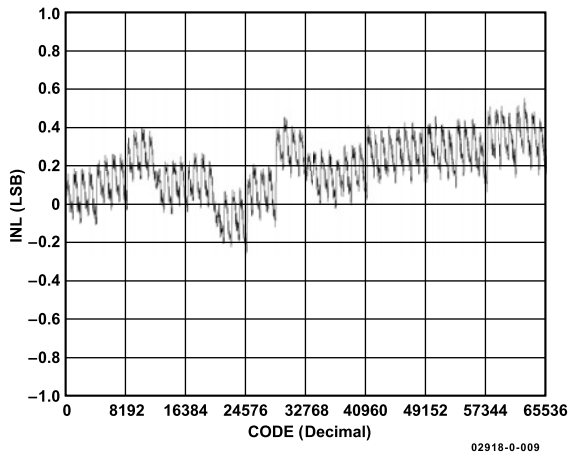


Figure 5. AD5545 Integral Nonlinearity Error

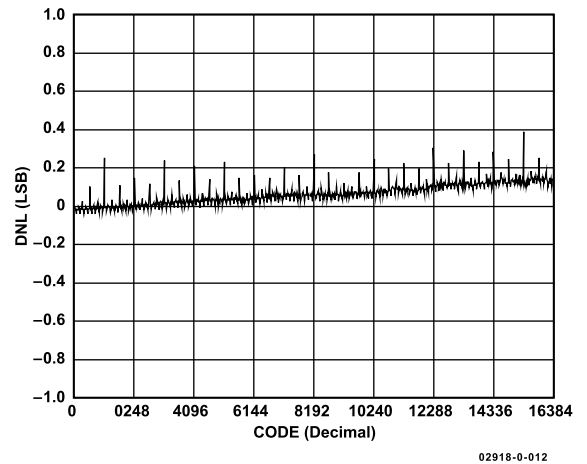


Figure 8. AD5555 Differential Nonlinearity Error

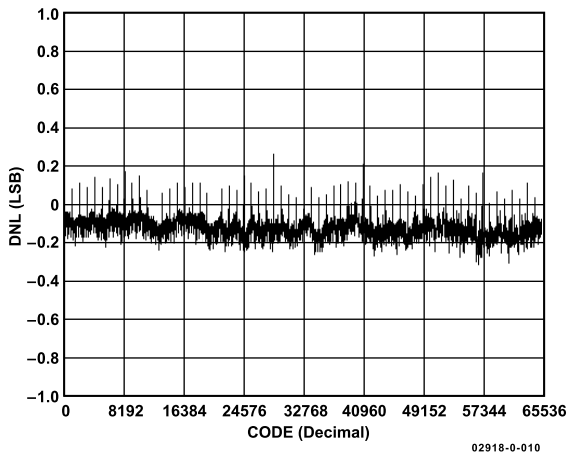


Figure 6. AD5545 Differential Nonlinearity Error

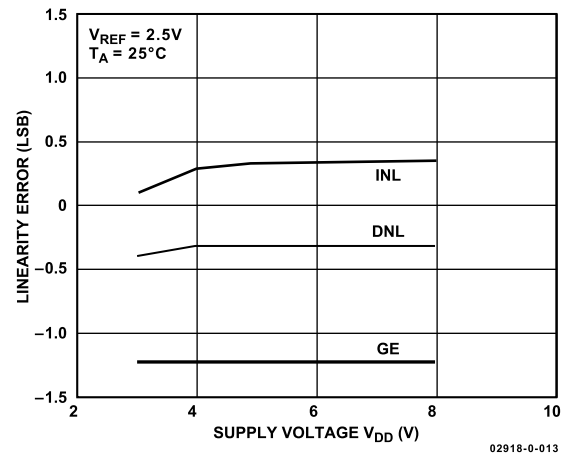


Figure 9. Linearity Errors vs. V_{DD}

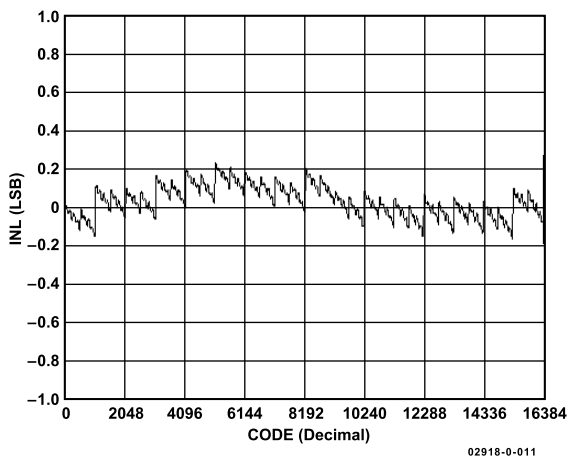


Figure 7. AD5555 Integral Nonlinearity Error

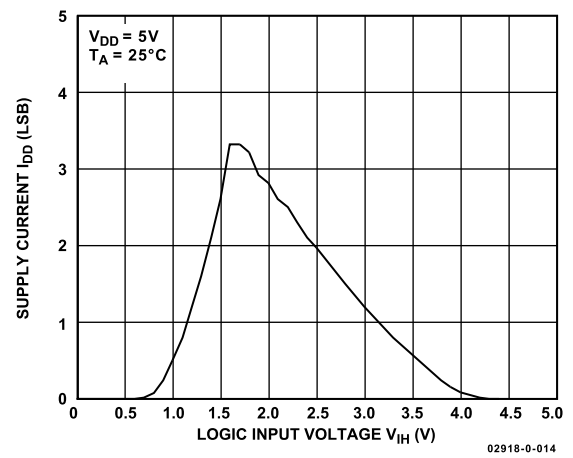


Figure 10. Supply Current vs. Logic Input Voltage

AD5545/AD5555

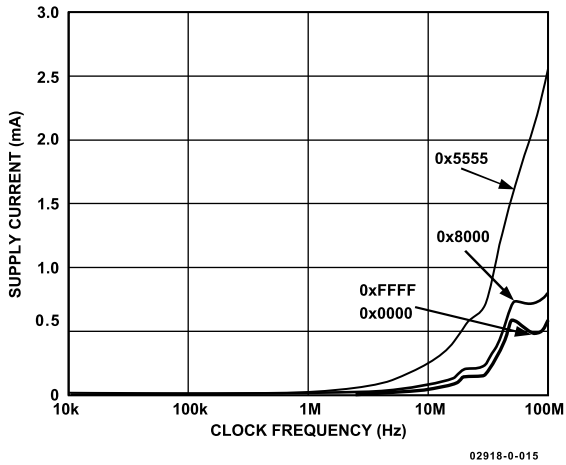


Figure 11. Supply Current vs. Clock Frequency

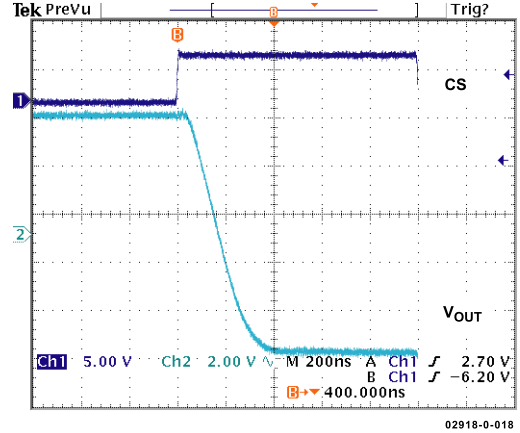


Figure 14. Settling Time

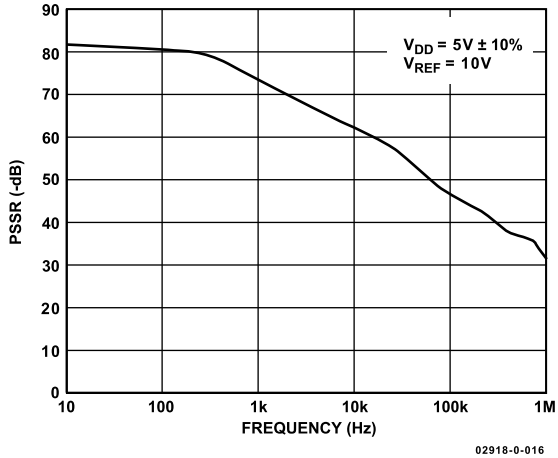


Figure 12. Power Supply Rejection Ratio vs. Frequency

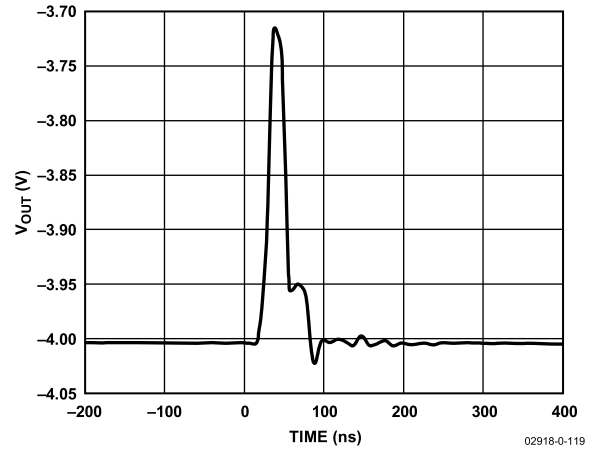


Figure 15. Midscale Transition and Digital Feedthrough

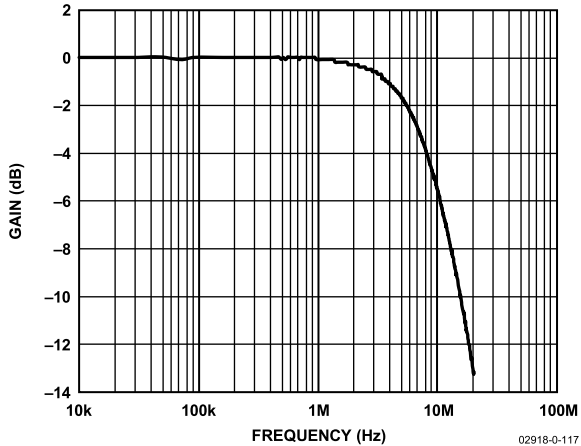


Figure 13. Reference Multiplying Bandwidth

THEORY OF OPERATION

The AD5545/AD5555 contain a 16-/14-bit, current-output, digital-to-analog converter, a serial-input register, and a DAC register. Both parts require a minimum of a 3-wire serial data interface with an additional LDAC for dual channel simultaneous update.

DIGITAL-TO-ANALOG CONVERTER

The DAC architecture uses a current-steering R-2R ladder design. Figure 16 shows the typical equivalent DAC. The DAC contains a matching feedback resistor for use with an external I-to-V converter amplifier. The R_{FB} pin is connected to the output of the external amplifier. The I_{OUT} terminal is connected to the inverting input of the external amplifier. These DACs are designed to operate with both negative or positive reference voltages. The V_{DD} power pin is used only by the logic to drive the DAC switches on and off. Note that a matching switch is used in series with the internal 5 kΩ feedback resistor. If users attempt to measure the R_{FB} value, power must be applied to V_{DD} to achieve continuity. The V_{REF} input voltage and the digital data (D) loaded into the corresponding DAC register, according to Equation 1 and Equation 2, determine the DAC output voltage.

$$V_{OUT} = -V_{REF} \times D / 65,536 \quad (1)$$

$$V_{OUT} = -V_{REF} \times D / 16,384 \quad (2)$$

Note that the output full-scale polarity is the opposite of the V_{REF} polarity for dc reference voltages.

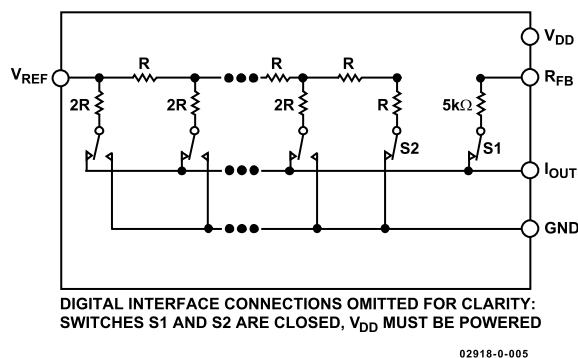


Figure 16. Equivalent R-2R DAC Circuit

These DACs are also designed to accommodate ac reference input signals. The AD5545/AD5555 accommodate input reference voltages in the range of -12 V to +12 V. The reference voltage inputs exhibit a constant nominal input-resistance value of 5 kΩ, ±30%. The DAC output (I_{OUT}) is code dependent, producing various output resistances and capacitances. When choosing an external amplifier, the user should take into account the variation in impedance generated by the AD5545/AD5555 on the amplifiers inverting input node. The feedback resistance in parallel with the DAC ladder resistance dominates output voltage noise.

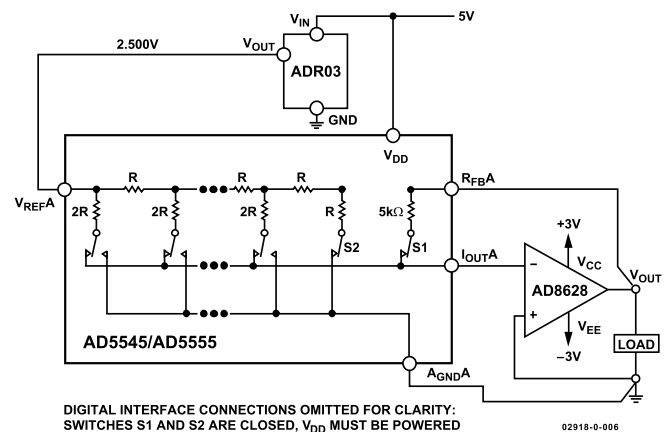


Figure 17. Recommended System Connections

AD5545/AD5555

SERIAL DATA INTERFACE

The AD5545/AD5555 use a minimum 3-wire (\overline{CS} , SDI, CLK) serial data interface for single channel update operation. With Table 7 as an example (AD5545), users can tie \overline{LDAC} low and \overline{RS} high, then pull \overline{CS} low for an 18-bit duration. New serial data is then clocked into the serial-input register in an 18-bit data-word format with the MSB bit loaded first. Table 8 defines the truth table for the AD5555. Data is placed on the SDI pin and clocked into the register on the positive clock edge of CLK. For the AD5545, only the last 18-bits clocked into the serial register are interrogated when the \overline{CS} pin is strobed high, transferring the serial register data to the DAC register and updating the output. If the applied microcontroller outputs serial data in different lengths than the AD5545, such as 8-bit bytes, three right justified data bytes can be written to the AD5545. The AD5545 ignores the six MSB and recognizes the 18 LSB as valid data. After loading the serial register, the rising edge of \overline{CS} transfers the serial register data to the DAC register and updates the output; during the \overline{CS} strobe, the CLK should not be toggled.

If users want to program each channel separately but update them simultaneously, program \overline{LDAC} and \overline{RS} high initially, then pull \overline{CS} low for an 18-bit duration and program DAC A with the proper address and data bits. \overline{CS} is then pulled high to latch data to the DAC A register. At this time, the output is not updated. To

load DAC B data, pull \overline{CS} low for an 18-bit duration and program DAC B with the proper address and data, then pull \overline{CS} high to latch data to the DAC B register. Finally, pull \overline{LDAC} low and then high to update both the DAC A and DAC B outputs simultaneously.

Table 6 shows that each DAC A and DAC B can be individually loaded with a new data value. In addition, a common new data value can be loaded into both DACs simultaneously by setting Bit A1 = A0 = high. This command enables the parallel combination of both DACs, with I_{OUTA} and I_{OUTB} tied together, to act as one DAC with significant improved noise performance.

ESD Protection Circuits

All logic input pins contain back-biased ESD protection Zeners connected to digital ground (DGND) and V_{DD} as shown in Figure 18.

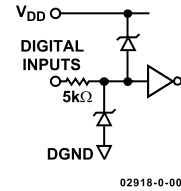


Figure 18. Equivalent ESD Protection Circuits

Table 4. AD5545 Serial Input Register Data Format, Data Is Loaded in the MSB-First Format¹

	MSB																	LSB
Bit Position	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Data Word	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

¹ Note that only the last 18 bits of data clocked into the serial register (address + data) are inspected when the \overline{CS} line's positive edge returns to logic high. At this point, an internally generated load strobe transfers the serial register data contents (Bit D15 to Bit D0) to the decoded DAC input register address determined by Bit A1 and Bit A0. Any extra bits clocked into the AD5545 shift register are ignored; only the last 18 bits clocked in are used. If double-buffered data is not needed, the \overline{LDAC} pin can be tied logic low to disable the DAC registers.

Table 5. AD5555 Serial Input Register Data Format, Data Is Loaded in the MSB-First Format¹

	MSB																	LSB
Bit Position	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0		B0
Data Word	A1	A0	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		D0

¹ Note that only the last 16 bits of data clocked into the serial register (address + data) are inspected when the \overline{CS} line's positive edge returns to logic high. At this point, an internally generated load strobe transfers the serial register data contents (Bit D13 to Bit D0) to the decoded DAC input register address determined by Bit A1 and Bit A0. Any extra bits clocked into the AD5555 shift register are ignored; only the last 16 bits clocked in are used. If double-buffered data is not needed, the \overline{LDAC} pin can be tied logic low to disable the DAC registers.

Table 6. Address Decode

A1	A0	DAC Decoded
0	0	None
0	1	DAC A
1	0	DAC B
1	1	DAC A and DAC B

Table 7. AD5545 Control Logic Truth Table^{1, 2}

CS	CLK	LDAC	RS	MSB	Serial Shift Register Function	Input Register Function	DAC Register
H	X	H	H	X	No effect	Latched	Latched
L	L	H	H	X	No effect	Latched	Latched
L	↑+	H	H	X	Shift register data advanced one bit	Latched	Latched
L	H	H	H	X	No effect	Latched	Latched
↑+	L	H	H	X	No effect	Selected DAC updated with current SR current	Latched
H	X	L	H	X	No effect	Latched	Transparent
H	X	H	H	X	No effect	Latched	Latched
H	X	↑+	H	X	No effect	Latched	Latched
H	X	H	L	0	No effect	Latched data = 0x0000	Latched data = 0x0000
H	X	H	L	H	No effect	Latched data = 0x8000	Latched data = 0x8000

¹ SR = shift register, ↑+ = positive logic transition, and X = don't care.

² At power-on, both the input register and the DAC register are loaded with all 0s.

Table 8. AD5555 Control Logic Truth Table^{1, 2}

CS	CLK	LDAC	RS	MSB	Serial Shift Register Function	Input Register Function	DAC Register
H	X	H	H	X	No effect	Latched	Latched
L	L	H	H	X	No effect	Latched	Latched
L	↑+	H	H	X	Shift register data advanced one bit	Latched	Latched
L	H	H	H	X	No effect	Latched	Latched
↑+	L	H	H	X	No effect	Selected DAC updated with current SR current	Latched
H	X	L	H	X	No effect	Latched	Transparent
H	X	H	H	X	No effect	Latched	Latched
H	X	↑+	H	X	No effect	Latched	Latched
H	X	H	L	0	No effect	Latched data = 0x0000	Latched data = 0x0000
H	X	H	L	H	No effect	Latched data = 0x2000	Latched data = 0x2000

¹ SR = shift register, ↑+ = positive logic transition, and X = don't care.

² At power-on, both the input register and the DAC register are loaded with all 0s.

POWER-UP SEQUENCE

It is recommended to power-up V_{DD} and ground prior to any reference voltages. The ideal power-up sequence is A_{GNDX} , $DGND$, V_{DD} , V_{REFX} , and digital inputs. A noncompliance power-up sequence can elevate reference current, but the device will resume normal operation once V_{DD} is powered.

LAYOUT AND POWER SUPPLY BYPASSING

It is a good practice to employ compact, minimum lead length layout design. The input leads should be as direct as possible with a minimum conductor length. Ground paths should have low resistance and low inductance.

Similarly, it is also good practice to bypass the power supplies with quality capacitors for optimum stability. Supply leads to the device should be bypassed with 0.01 μF to 0.1 μF disc or chip ceramic capacitors. Low ESR 1 μF to 10 μF tantalum or electrolytic capacitors should also be applied at V_{DD} to minimize any transient disturbance and to filter any low frequency ripple

(see Figure 19). Users should not apply switching regulators for V_{DD} due to the power supply rejection ratio degradation over frequency.

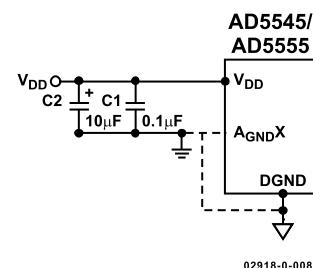


Figure 19. Power Supply Bypassing and Grounding Connection

GROUNDING

The $DGND$ and A_{GNDX} pins of the AD5545/AD5555 refer to the digital and analog ground references. To minimize the digital ground bounce, the $DGND$ terminal should be joined remotely at a single point to the analog ground plane (see Figure 19).

APPLICATIONS INFORMATION

STABILITY

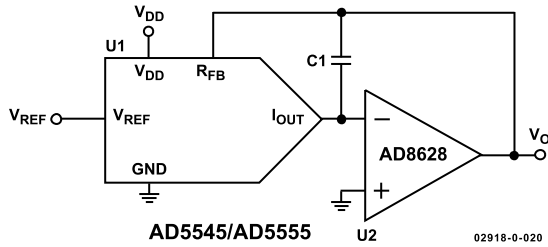


Figure 20. Operational Compensation Capacitor for Gain Peaking Prevention

In the I-to-V configuration, the I_{OUT} of the DAC and the inverting node of the op amp must be connected as close as possible, and proper PCB layout techniques must be employed. Because every code change corresponds to a step function, gain peaking may occur if the op amp has limited GBP, and if there is excessive parasitic capacitance at the inverting node.

An optional compensation capacitor, C1, can be added for stability as shown in Figure 20. C1 should be found empirically, but 6 pF is generally more than adequate for the compensation.

POSITIVE VOLTAGE OUTPUT

To achieve the positive voltage output, an applied negative reference to the input of the DAC is preferred over the output inversion through an inverting amplifier because of the resistors' tolerance errors. To generate a negative reference, the reference can be level shifted by an op amp such that the V_{OUT} and GND pins of the reference become the virtual ground and -2.5 V, respectively (see Figure 21).

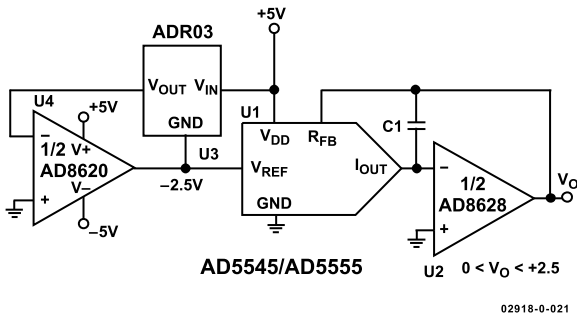


Figure 21. Positive Voltage Output Configuration

BIPOLAR OUTPUT

The AD5545/AD5555 is inherently a 2-quadrant multiplying DAC. It can easily be set up for unipolar output operation. The full-scale output polarity is the inverse of the reference input voltage.

In some applications, it may be necessary to generate the full 4-quadrant multiplying capability or a bipolar output swing. This is easily accomplished by using an additional external amplifier, U4, configured as a summing amplifier (see Figure 22). In this circuit, the second amplifier, U4, provides a gain of 2, which increases the output span magnitude to 5 V. Biasing the external amplifier with a 2.5 V offset from the reference voltage results in a full 4-quadrant multiplying circuit. The transfer equation of this circuit shows that both negative and positive output voltages are created because the input data (D) is incremented from code zero ($V_{OUT} = -2.5$ V) to midscale ($V_{OUT} = 0$ V) to full scale ($V_{OUT} = +2.5$ V).

$$V_{OUT} = (D / 32,768 - 1) \times V_{REF} \quad (\text{AD 5545}) \quad (3)$$

$$V_{OUT} = (D / 16,384 - 1) \times V_{REF} \quad (\text{AD 5555}) \quad (4)$$

For the AD5545, the external resistance tolerance becomes the dominant error that users should be aware of.

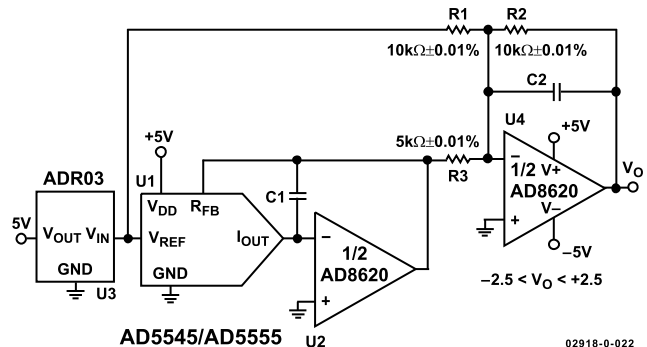


Figure 22. Four-Quadrant Multiplying Application Circuit

PROGRAMMABLE CURRENT SOURCE

Figure 23 shows a versatile V-to-I conversion circuit using improved Howland Current Pump. In addition to the precision current conversion it provides, this circuit enables a bidirectional current flow and high voltage compliance. This circuit can be used in a 4 mA to 20 mA current transmitter with up to a 500 Ω of load. In Figure 23, it shows that if the resistor network is matched, the load current is

$$I_L = -\frac{(R2 + R3)}{R3} \times V_{REF} \times D \tag{5}$$

R3, in theory, can be made small to achieve the current needed within the U3 output current driving capability. This circuit is versatile such that the AD8510 can deliver ±20 mA in both directions, and the voltage compliance approaches 15 V, which is mainly limited by the supply voltages of U3. However, users must pay attention to the compensation. Without C1, it can be shown that the output impedance becomes

$$Z_o = \frac{R1'R3(R1 + R2)}{R1(R2' + R3') - R1'(R2 + R3)} \tag{6}$$

If the resistors are perfectly matched, Z_o is infinite, which is desirable, and the resistors behave as an ideal current source. On the other hand, if they are not matched, Z_o can be either positive or negative. The latter can cause oscillation. As a result, C1 is needed to prevent the oscillation. For critical applications, C1 could be found empirically but typically falls in the range of a few picofarads.

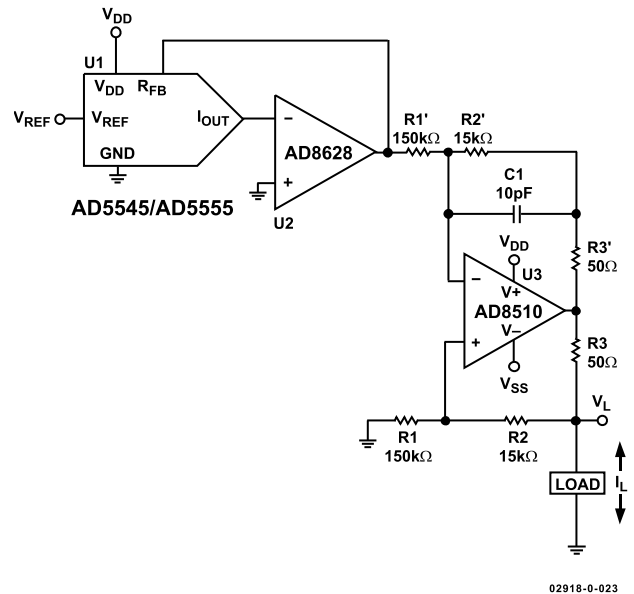


Figure 23. Programmable Current Source with Bidirectional Current Control and High Voltage Compliance Capabilities

AD5545/AD5555

DAC WITH PROGRAMMABLE INPUT REFERENCE RANGE

Because high voltage references can be costly, users may consider using one of the DACs, a digital potentiometer, and a low voltage reference to form a single-channel DAC with a programmable input reference range. This approach optimizes the programmable range as well as facilitates future system upgrades with just software changes. Figure 24 shows this implementation. V_{REFAB} is in the feedback network, therefore,

$$V_{REFAB} = V_{REF} \times \left(1 + \frac{R_{WB}}{R_{WA}} \right) - \left(-V_{REF_AB} \times \frac{D_A}{2^N} \times \frac{R_{WB}}{R_{WA}} \right) \quad (7)$$

where:

V_{REFAB} = reference voltage of V_{REFA} and V_{REFB}

V_{REF} = external reference voltage

D_A = DAC A digital code in decimal

N = number of bits of DAC

R_{WB} and R_{WA} are digital potentiometer 128-step programmable resistances and are given by

$$R_{WB} \approx \frac{D_C}{128} R_{AB} \quad (8)$$

$$R_{WA} \approx \frac{128 - D_C}{128} R_{AB} \quad (9)$$

$$\frac{R_{WB}}{R_{WA}} \approx \frac{D_C}{128 - D_C} \quad (10)$$

where D_C = digital potentiometer digital code in decimal ($0 \leq D_C \leq 127$).

By putting Equations 7 through 10 together, the following results:

$$V_{REFAB} = V_{REF} \times \frac{\left(1 + \frac{D_C}{128 - D_C} \right)}{1 - \frac{D_A}{2^N} \times \frac{D_C}{128 - D_C}} \quad (11)$$

Table 9 shows a few examples of V_{REFAB} of the 14-bit AD5555.

Table 9. V_{REFAB} vs. D_B and D_C of the AD5555

D_C	D_A	V_{REFAB}
0	X	V_{REF}
32	0	$1.33 V_{REF}$
32	8192	$1.6 V_{REF}$
64	0	$2 V_{REF}$
64	8192	$4 V_{REF}$
96	0	$4 V_{REF}$
96	8192	$-8 V_{REF}$

The output of DAC B is, therefore,

$$V_{OB} = -V_{REFAB} \frac{D_B}{2^N} \quad (12)$$

where D_B is the DAC B digital code in decimal.

The accuracy of V_{REFAB} is affected by the matching of the input and feedback resistors and, therefore, a digital potentiometer is used for U4 because of its inherent resistance matching. The AD7376 is a 30 V or ± 15 V, 128-step digital potentiometer. If 15 V or ± 7.5 V is adequate for the application, a 256-step AD5260 digital potentiometer can be used instead.

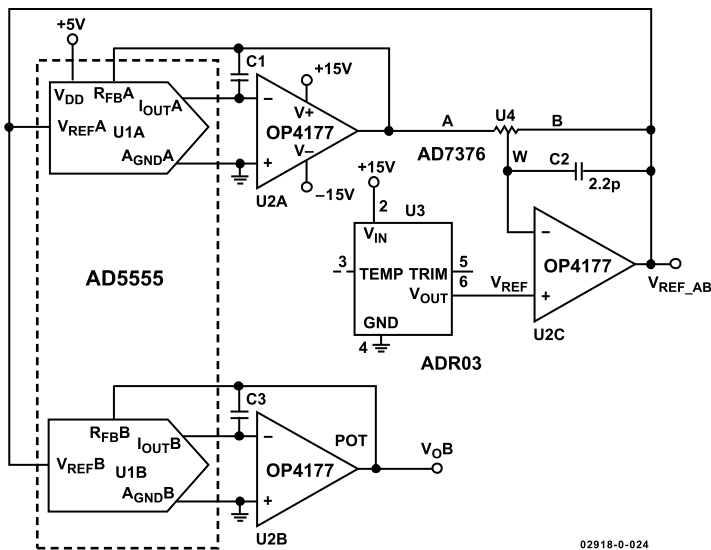


Figure 24. DAC with Programmable Input Reference Range

REFERENCE SELECTION

When selecting a reference for use with the AD55xx series of current output DACs, pay attention to the output voltage, temperature coefficient specification of the reference. Choosing a precision reference with a low output temperature coefficient minimizes error sources. Table 10 lists some of the references available from Analog Devices, Inc., that are suitable for use with this range of current output DACs.

AMPLIFIER SELECTION

The primary requirement for the current-steering mode is an amplifier with low input bias currents and low input offset voltage. Because of the code-dependent output resistance of the DAC, the input offset voltage of an op amp is multiplied by the variable gain of the circuit. A change in this noise gain between two adjacent digital fractions produces a step change in the output voltage due to the amplifier's input offset voltage. This output voltage change is superimposed upon the desired change in output between the two codes and gives rise to a differential linearity error, which, if large enough, can cause the DAC to be nonmonotonic.

The input bias current of an op amp also generates an offset at the voltage output because of the bias current flowing in the feedback resistor, R_{FB} .

Common-mode rejection of the op amp is important in voltage-switching circuits because it produces a code-dependent error at the voltage output of the circuit.

Provided that the DAC switches are driven from true wideband low impedance sources (V_{IN} and AGND), they settle quickly. Consequently, the slew rate and settling time of a voltage-switching DAC circuit is determined largely by the output op amp. To obtain minimum settling time in this configuration, minimize capacitance at the V_{REF} node (the voltage output node in this application) of the DAC. This is done by using low input capacitance buffer amplifiers and careful board design.

Analog Devices offers a wide range of amplifiers for both precision dc and ac applications, as listed in Table 11 and Table 12.

Table 10. Suitable Analog Devices Precision References

Part No.	Output Voltage (V)	Initial Tolerance (%)	Maximum Temperature Drift (ppm/°C)	I_{SS} (mA)	Output Noise (μ V p-p)	Package(s)
ADR01	10	0.05	3	1	20	SOIC-8
ADR01	10	0.05	9	1	20	TSOT-5, SC70-5
ADR02	5.0	0.06	3	1	10	SOIC-8
ADR02	5.0	0.06	9	1	10	TSOT-5, SC70-5
ADR03	2.5	0.1	3	1	6	SOIC-8
ADR03	2.5	0.1	9	1	6	TSOT-5, SC70-5
ADR06	3.0	0.1	3	1	10	SOIC-8
ADR06	3.0	0.1	9	1	10	TSOT-5, SC70-5
ADR420	2.048	0.05	3	0.5	1.75	SOIC-8, MSOP-8
ADR421	2.50	0.04	3	0.5	1.75	SOIC-8, MSOP-8
ADR423	3.00	0.04	3	0.5	2	SOIC-8, MSOP-8
ADR425	5.00	0.04	3	0.5	3.4	SOIC-8, MSOP-8
ADR431	2.500	0.04	3	0.8	3.5	SOIC-8, MSOP-8
ADR435	5.000	0.04	3	0.8	8	SOIC-8, MSOP-8
ADR391	2.5	0.16	9	0.12	5	TSOT-5
ADR395	5.0	0.10	9	0.12	8	TSOT-5

AD5545/AD5555

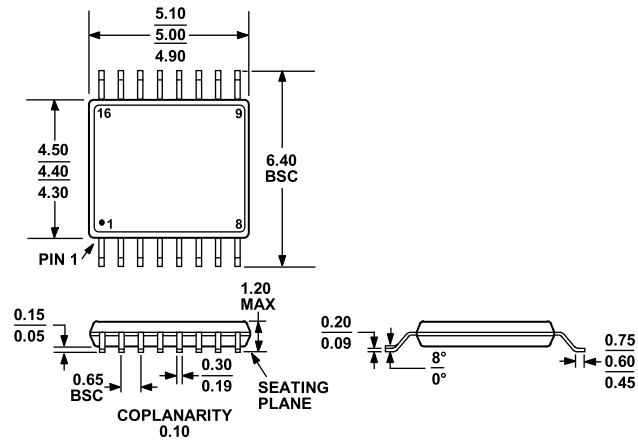
Table 11. Suitable Analog Devices Precision Op Amps

Part No.	Supply Voltage (V)	V _{os} Maximum (μV)	I _B Maximum (nA)	0.1 Hz to 10 Hz Noise (μV p-p)	Supply Current (μA)	Package(s)
OP97	±2 to ±20	25	0.1	0.5	600	SOIC-8, PDIP-8
OP1177	±2.5 to ±15	60	2	0.4	500	MSOP-8, SOIC-8
AD8675	±5 to ±18	75	2	0.1	2300	MSOP-8, SOIC-8
AD8671	±5 to ±15	75	12	0.077	3000	MSOP-8, SOIC-8
ADA4004-1	±5 to ±15	125	90	0.1	2000	SOIC-8, SOT-23-5
AD8603	1.8 to 5	50	0.001	2.3	40	TSOT-5
AD8607	1.8 to 5	50	0.001	2.3	40	MSOP-8, SOIC-8
AD8605	2.7 to 5	65	0.001	2.3	1000	WLCSP-5, SOT-23-5
AD8615	2.7 to 5	65	0.001	2.4	2000	TSOT-5
AD8616	2.7 to 5	65	0.001	2.4	2000	MSOP-8, SOIC-8

Table 12. Suitable Analog Devices High Speed Op Amps

Part No.	Supply Voltage (V)	BW @ ACL (MHz)	Slew Rate (V/μs)	V _{os} (Max) (μV)	I _B (Max) (nA)	Package(s)
AD8065	5 to 24	145	180	1500	0.006	SOIC-8, SOT-23-5
AD8066	5 to 24	145	180	1500	0.006	SOIC-8, MSOP-8
AD8021	5 to 24	490	120	1000	10,500	SOIC-8, MSOP-8
AD8038	3 to 12	350	425	3000	750	SOIC-8, SC70-5
ADA4899	5 to 12	600	310	35	100	LFCSP-8, SOIC-8
AD8057	3 to 12	325	1000	5000	500	SOT-23-5, SOIC-8
AD8058	3 to 12	325	850	5000	500	SOIC-8, MSOP-8
AD8061	2.7 to 8	320	650	6000	350	SOT-23-5, SOIC-8
AD8062	2.7 to 8	320	650	6000	350	SOIC-8, MSOP-8
AD9631	±3 to ±6	320	1300	10,000	7000	SOIC-8, PDIP-8

OUTLINE DIMENSIONS



COMPLIANT TO JEDEC STANDARDS MO-153-AB

Figure 25. 16-Lead Thin Shrink Small Outline Package [TSSOP]
(RU-16)

Dimensions shown in millimeters

ORDERING GUIDE

Model ^{1,2}	INL LSB	DNL LSB	RES (Bits)	Temperature Range	Package Description	Package Option	Ordering Qty
AD5545BRU	±2	±1	16	-40°C to +85°C	16-Lead TSSOP	RU-16	96
AD5545BRU-REEL7	±2	±1	16	-40°C to +85°C	16-Lead TSSOP	RU-16	1000
AD5545BRUZ	±2	±1	16	-40°C to +85°C	16-Lead TSSOP	RU-16	96
AD5545BRUZ-REEL7	±2	±1	16	-40°C to +85°C	16-Lead TSSOP	RU-16	1000
AD5545CRUZ	±1	±1	16	-40°C to +85°C	16-Lead TSSOP	RU-16	96
AD5545CRUZ-REEL7	±1	±1	16	-40°C to +85°C	16-Lead TSSOP	RU-16	1000
AD5555CRU	±1	±1	14	-40°C to +85°C	16-Lead TSSOP	RU-16	96
AD5555CRU-REEL7	±1	±1	14	-40°C to +85°C	16-Lead TSSOP	RU-16	1000
AD5555CRUZ	±1	±1	14	-40°C to +85°C	16-Lead TSSOP	RU-16	96
AD5555CRUZ-REEL7	±1	±1	14	-40°C to +85°C	16-Lead TSSOP	RU-16	1000

¹ The AD5545/AD5555 contain 3131 transistors. The die size measures 71 mil. × 96 mil., 6816 sq. mil.

² Z = RoHS Compliant Part.

AD5545/AD5555

NOTES

NOTES

NOTES

APENDICE – G

Código Fuente del Sistema Diseñado

```
1  -----
2  -- Company:
3  -- Engineer:
4  --
5  -- Create Date:    09:26:52 03/22/2011
6  -- Design Name:
7  -- Module Name:    ADCDAC_1205_5545 - Behavioral
8  -- Project Name:
9  -- Target Devices:
10 -- Tool versions:
11 -- Description:
12 --
13 -- Dependencies:
14 --
15 -- Revision:
16 -- Revision 0.01 - File Created
17 -- Additional Comments:
18 --
19  -----
20  library IEEE;
21  use IEEE.STD_LOGIC_1164.ALL;
22  use IEEE.STD_LOGIC_ARITH.ALL;
23  use IEEE.STD_LOGIC_UNSIGNED.ALL;
24
25  ----- Uncomment the following library declaration if instantiating
26  ----- any Xilinx primitives in this code.
27  --library UNISIM;
28  --use UNISIM.VComponents.all;
29
30  entity ADCDAC_121 is
31  Port(
32
33      ----- CLK & RESET
34
35      RST      :  IN    STD_LOGIC;
36      CLK      :  IN    STD_LOGIC;
37
38      ----- BUTTON MATRIX
39
40      ABCD    :  out    std_logic_vector(3 downto 0);
41      EFGH    :  in     std_logic_vector(3 downto 0);
42  --  O_EFGH  :  out    std_logic_vector(3 downto 0);
43
44      LEDES   :  out    std_logic_vector(7 downto 0);
45      ----- BEEP
46
```

```
47     BEEP      :   out   std_logic;
48
49     ----- LCD
50
51     LCD_OUT   :   inout  std_logic_vector (7 downto 0);
52     LCD_RS    :   inout  std_logic;
53     LCD_RW    :   inout  std_logic;
54     LCD_E     :   inout  std_logic;
55
56
57     ----- ADC 1 CONTROL SIGNALS
58
59     DOUT_1:    in     std_logic;
60     SCLK_1:    out    std_logic;
61     CS_1  :    out    std_logic;
62
63     ----- ADC 2 CONTROL SIGNALS
64
65     DOUT_2:    in     std_logic;
66     SCLK_2:    out    std_logic;
67     CS_2  :    out    std_logic;
68
69     ----- RS-232 SIGNALS
70
71     RxD      :    in     std_logic;
72     TxD      :    out    std_logic;
73
74     ----- DAC CONTROL SIGNALS
75
76     CS       :    out    std_logic;  -- Chip Select (Active Low)
77     RS       :    out    std_logic;  -- Reset Pin (Active Low)
78     SDI      :    out    std_logic;  -- Serial Data Input
79     MSB      :    out    std_logic;  -- Midscale o Full Scale
80     LDAC     :    out    std_logic;  -- Load Register Strobe
81     CLK_AD   :    out    std_logic   -- Clock AD5545
82
83 );
84
85 end ADCDAC_121;
86
87 architecture Behavioral of ADCDAC_121 is
88     -----
89
90     component Driver_1162
91     Port (
92
```

```
93 ----- Estado
94
95 STATE      : in    std_logic_vector (5 downto 0);
96
97 ----- Señales de Control del ADC
98
99 DOUT       : in    std_logic;
100 SCLK      : out   std_logic;
101 CS        : out   std_logic;
102
103 ----- Datos en modo Paralelo
104
105 DATAOUT  : out   std_logic_vector (15 downto 0)
106           );
107
108 end component;
109
110 -----
111
112 component Simetrico
113   port(
114     RST : in  std_logic;
115     CLK : in  std_logic;
116     N   : in  std_logic_vector (31 downto 0);
117     Fo  : out std_logic
118   );
119 end component;
120
121 -----
122
123 component Divisor_F
124   port(
125     RST : in  std_logic;
126     CLK : in  std_logic;
127     N   : in  std_logic_vector (31 downto 0);
128     Fo  : out std_logic
129   );
130 end component;
131
132 -----
133
134 component cnt_up_dw_32
135   port (
136     RST : in std_logic;
137     CLK : in std_logic;
138     UPE : in std_logic;
```

```
139     DWN      : in std_logic;
140     Value: out std_logic_vector (31 downto 0)
141   );
142
143 end component;
144
145 -----
146
147 component Sintetizador is
148   port(
149     RST      : in std_logic;           -- RST GENERAL
150     CLK      : in std_logic;           -- CLK SYSTEM
151     SHIFT    : in std_logic_vector (7 downto 0); -- PHASE SHIFT
152     P        : in std_logic_vector (31 downto 0); -- PHASE
153     F01      : out std_logic;
154     S        : out std_logic_vector (15 downto 0) -- DATA
155   );
156
157 end component;
158
159 -----
160
161 component AD4555 is
162   port(
163     ----- GENERAL SIGNALS
164     RST      : in std_logic; -- External Reset
165     CLK      : in std_logic; -- External Clock
166
167     ----- WORDS TO DAC
168     DATAIN_A : in std_logic_vector (15 downto 0); -- WORD A TO DAC
169     DATAIN_B : in std_logic_vector (15 downto 0); -- WORD B TO DAC
170
171     ----- CHIP CONTROL SIGNALS
172     CS:      out std_logic; -- Chip Select (Active Low)
173     RS:      out std_logic; -- Reset Pin (Active Low)
174     SDI:     out std_logic; -- Serial Data Input
175     MSB:     out std_logic; -- Midscale o Full Scale
176     LDAC:    out std_logic; -- Load Register Strobe
177     CLK_AD:  out std_logic -- Clock AD5545
178   );
179
180 end component;
181
182 -----
183
184
```

```
185
186     component cnt_up_dwn_8
187     port (
188         RST      : in std_logic;
189         CLK      : in std_logic;
190         UPE      : in std_logic;
191         DWN      : in std_logic;
192         Value    : out std_logic_vector (7 downto 0)
193     );
194     end component;
195
196 -----
197
198     component M_Driver
199     port(
200
201         RST      : in  std_logic;
202         CLK      : in  std_logic;
203
204         STATE    : in  std_logic_vector (7 downto 0);
205         ABCD     : out std_logic_vector (3 downto 0);
206         EFGH     : in  std_logic_vector (3 downto 0);
207         M_OUT    : out std_logic_vector (15 downto 0)
208
209     );
210
211     end component;
212
213 -----
214
215     component LCD
216     port(
217
218         LCD_STA  : in  std_logic_vector (6 downto 0);
219
220         LCD_IN_00: in  std_logic_vector (7 downto 0);
221         LCD_IN_01: in  std_logic_vector (7 downto 0);
222         LCD_IN_02: in  std_logic_vector (7 downto 0);
223         LCD_IN_03: in  std_logic_vector (7 downto 0);
224         LCD_IN_04: in  std_logic_vector (7 downto 0);
225         LCD_IN_05: in  std_logic_vector (7 downto 0);
226         LCD_IN_06: in  std_logic_vector (7 downto 0);
227         LCD_IN_07: in  std_logic_vector (7 downto 0);
228         LCD_IN_08: in  std_logic_vector (7 downto 0);
229         LCD_IN_09: in  std_logic_vector (7 downto 0);
230         LCD_IN_10: in  std_logic_vector (7 downto 0);
```

```
231     LCD_IN_11: in  std_logic_vector (7 downto 0);
232     LCD_IN_12: in  std_logic_vector (7 downto 0);
233     LCD_IN_13: in  std_logic_vector (7 downto 0);
234     LCD_IN_14: in  std_logic_vector (7 downto 0);
235     LCD_IN_15: in  std_logic_vector (7 downto 0);
236
237     LCD_IN_16: in  std_logic_vector (7 downto 0);
238     LCD_IN_17: in  std_logic_vector (7 downto 0);
239     LCD_IN_18: in  std_logic_vector (7 downto 0);
240     LCD_IN_19: in  std_logic_vector (7 downto 0);
241     LCD_IN_20: in  std_logic_vector (7 downto 0);
242     LCD_IN_21: in  std_logic_vector (7 downto 0);
243     LCD_IN_22: in  std_logic_vector (7 downto 0);
244     LCD_IN_23: in  std_logic_vector (7 downto 0);
245     LCD_IN_24: in  std_logic_vector (7 downto 0);
246     LCD_IN_25: in  std_logic_vector (7 downto 0);
247     LCD_IN_26: in  std_logic_vector (7 downto 0);
248     LCD_IN_27: in  std_logic_vector (7 downto 0);
249     LCD_IN_28: in  std_logic_vector (7 downto 0);
250     LCD_IN_29: in  std_logic_vector (7 downto 0);
251     LCD_IN_30: in  std_logic_vector (7 downto 0);
252     LCD_IN_31: in  std_logic_vector (7 downto 0);
253
254     LCD_OUT  : out std_logic_vector (7 downto 0);
255     RS       : out std_logic;
256     RW       : out std_logic;
257     E        : out std_logic
258 );
259
260 end component;
261
262 -----
263
264 component Multiplicador_nm_uu
265     port(
266         X : in  std_logic_vector(17  downto 0);
267         A : in  std_logic_vector(17  downto 0);
268         R : out std_logic_vector(35  downto 0)
269     );
270 end component;
271
272 -----
273
274 component registro_16
275     port(
276         LOAD : in  std_logic;
```

```
277     CLEAR : in  std_logic;
278     DT_STAR  : in  std_logic_vector (15 downto 0);
279     DTIN    : in  std_logic_vector (15 downto 0);
280     DTOUT   : out std_logic_vector (15 downto 0)
281     );
282 end component;
283
284 -----
285
286 component registro_20
287     port(
288         LOAD  : in  std_logic;
289         CLEAR : in  std_logic;
290         DT_STAR  : in  std_logic_vector (19 downto 0);
291         DTIN    : in  std_logic_vector (19 downto 0);
292         DTOUT   : out std_logic_vector (19 downto 0)
293     );
294 end component;
295
296 -----
297
298 component registro_32
299     port(
300         LOAD  : in  std_logic;
301         CLEAR : in  std_logic;
302         DT_STAR  : in  std_logic_vector (31 downto 0);
303         DTIN    : in  std_logic_vector (31 downto 0);
304         DTOUT   : out std_logic_vector (31 downto 0)
305     );
306 end component;
307
308 -----
309
310 component Sumador_n
311     generic(
312         n : integer := 32
313     );
314     port(
315         A  : in  std_logic_vector(n-1 downto 0);
316         B  : in  std_logic_vector(n-1 downto 0);
317         Ci : in  std_logic;
318         S  : out std_logic_vector(n-1 downto 0);
319         Co : out std_logic
320     );
321 end component;
322
```



```
323 -----
324
325 component Division
326     port(
327         RST : in  std_logic;
328         CLK : in  std_logic;
329         STA : in  std_logic;
330         X   : in  std_logic_vector(35 downto 0);
331         Y   : in  std_logic_vector(17 downto 0);
332         EOA : out std_logic;
333         R   : out std_logic_vector(17 downto 0)
334     );
335 end component;
336
337 -----
338
339 component cnt_up_dwn_16
340     port (
341         RST    : in std_logic;
342         CLK    : in std_logic;
343         UPE    : in std_logic;
344         DWN    : in std_logic;
345         Value: out std_logic_vector (15 downto 0)
346     );
347
348 end component;
349
350 -----
351
352 component MUX_16_4
353     port(
354
355         SELECTOR : IN  std_logic_vector (1 downto 0);
356
357         INPUT00  : IN  std_logic_vector (15 downto 0);
358         INPUT01  : IN  std_logic_vector (15 downto 0);
359         INPUT02  : IN  std_logic_vector (15 downto 0);
360         INPUT03  : IN  std_logic_vector (15 downto 0);
361
362         INPUT04  : IN  std_logic_vector (15 downto 0);
363         INPUT05  : IN  std_logic_vector (15 downto 0);
364         INPUT06  : IN  std_logic_vector (15 downto 0);
365         INPUT07  : IN  std_logic_vector (15 downto 0);
366
367         INPUT08  : IN  std_logic_vector (15 downto 0);
368         INPUT09  : IN  std_logic_vector (15 downto 0);
```

```
369     INPUT10  : IN  std_logic_vector (15 downto 0);
370     INPUT11  : IN  std_logic_vector (15 downto 0);
371
372     INPUT12  : IN  std_logic_vector (15 downto 0);
373     INPUT13  : IN  std_logic_vector (15 downto 0);
374     INPUT14  : IN  std_logic_vector (15 downto 0);
375     INPUT15  : IN  std_logic_vector (15 downto 0);
376
377     TAG00    : OUT std_logic_vector (23 downto 0);
378     TAG01    : OUT std_logic_vector (23 downto 0);
379     TAG02    : OUT std_logic_vector (23 downto 0);
380     TAG03    : OUT std_logic_vector (23 downto 0);
381
382     OUTPUT00 : OUT std_logic_vector (31 downto 0);
383     OUTPUT01 : OUT std_logic_vector (31 downto 0);
384     OUTPUT02 : OUT std_logic_vector (31 downto 0);
385     OUTPUT03 : OUT std_logic_vector (31 downto 0);
386
387 );
388 end component;
389
390 -----
391
392 component miniUART is
393     port (
394         Reset      : in  Std_Logic;  -- Reset input
395         SysClk     : in  Std_Logic;  -- System Clock
396         CS_N       : in  Std_Logic;
397         RD_N       : in  Std_Logic;
398         WR_N       : in  Std_Logic;
399         RxD        : in  Std_Logic;
400         TxD        : out Std_Logic;
401         IntRx_N    : out Std_Logic;  -- Receive interrupt
402         IntTx_N    : out Std_Logic;  -- Transmit interrupt
403         Addr       : in  Std_Logic_Vector(1 downto 0); --
404         DataIn     : in  Std_Logic_Vector(7 downto 0); --
405         DataOut    : out Std_Logic_Vector(7 downto 0)); --
406 end component;
407
408 -----
409
410 -----SEÑALES DEL MODULO GENERADOR DE FX-----
411
412
413 Signal  InCLK      : std_logic;
414 Signal  PHASE     : std_logic_vector (31 downto 0);
```

```
415 Signal SHIFT : std_logic_vector (7 downto 0);
416 Signal SINE : std_logic_vector (15 downto 0);
417 Signal COSINE : std_logic_vector (15 downto 0);
418 Signal FIX : std_logic_vector (15 downto 0);
419 Signal SINE_18 : std_logic_vector (17 downto 0);
420 Signal COSINE_18 : std_logic_vector (17 downto 0);
421 Signal FIX_18 : std_logic_vector (17 downto 0);
422 Signal SPEED_A : std_logic;
423 Signal SPEED_B : std_logic;
```

424

425 -----SEÑALES DEL ADC-----

```
426 Signal ADC_RDY : std_logic;
427 Signal DATA_1 : std_logic_vector (15 downto 0);
428 Signal DATA_2 : std_logic_vector (15 downto 0);
429 Signal DATA_1_18 : std_logic_vector (17 downto 0);
430 Signal DATA_2_18 : std_logic_vector (17 downto 0);
431 Signal STATE_ADC : std_logic_vector (7 downto 0);
432 Signal REG_DATA_1 : std_logic_vector (15 downto 0);
433 Signal REG_DATA_2 : std_logic_vector (15 downto 0);
```

434

435

436 -----SEÑALES DE LA MATRIZ DE BOTONES-----

437

```
438 Signal STATE : std_logic_vector (7 downto 0);
439 Signal M_CLK : std_logic;
440 Signal C_RDY : std_logic;
441 Signal M_OUT : std_logic_vector (15 downto 0);
442 Signal notRST : std_logic;
```

443

444 -----SEÑALES DE LA LCD-----

445

```
446 Signal LCDSTATE : std_logic_vector (7 downto 0);
447 Signal LCDCLK : std_logic;
448 Signal LCD_RDY : std_logic;
449 --Signal PH : std_logic_vector (31 downto 0);
450 --Signal ADC : std_logic_vector (31 downto 0);
451 --Signal DAC1 : std_logic_vector (31 downto 0);
452 --Signal DAC2 : std_logic_vector (31 downto 0);
```

453

454 -----SEÑALES DEL BEEP-----

455

```
456 Signal F_BEEP : std_logic;
457 Signal R_BEEP : std_logic;
```

458

459 -----SEÑALES DE LA CONVOLUCION-----

460

```
461     signal    VrVref1   : std_logic_vector (35 downto 0);
462     signal    VrVref2   : std_logic_vector (35 downto 0);
463     signal    DATA_A    : std_logic_vector (17 downto 0);
464     signal    DATA_B    : std_logic_vector (17 downto 0);
465
466     -----SEÑALES DEL PROMEDIO-----
467
468     signal    REG_A      : std_logic_vector (31 downto 0);
469     signal    REG_B      : std_logic_vector (31 downto 0);
470     signal    REG_A_A    : std_logic_vector (31 downto 0);
471     signal    REG_B_A    : std_logic_vector (31 downto 0);
472     signal    REG_C_A    : std_logic_vector (31 downto 0);
473     signal    REG_D_A    : std_logic_vector (31 downto 0);
474     signal    REG_A_B    : std_logic_vector (31 downto 0);
475     signal    REG_B_B    : std_logic_vector (31 downto 0);
476     signal    REG_C_B    : std_logic_vector (31 downto 0);
477     signal    REG_D_B    : std_logic_vector (31 downto 0);
478
479     signal    R_A        : std_logic_vector (31 downto 0);
480     signal    X_A        : std_logic_vector (35 downto 0);
481     signal    R_B        : std_logic_vector (31 downto 0);
482     signal    X_B        : std_logic_vector (35 downto 0);
483
484     signal    SUMA_A     : std_logic_vector (31 downto 0);
485     signal    SUMA_B     : std_logic_vector (31 downto 0);
486
487     signal    Co2_A      : std_logic;
488     signal    Co2_B      : std_logic;
489
490     signal    EOA_A      : std_logic;
491     signal    EOA_B      : std_logic;
492
493     signal    REFRESH    : std_logic;
494     signal    Fo1        : std_logic;
495     signal    Fo2        : std_logic;
496     signal    Fo3        : std_logic;
497     signal    notFo1     : std_logic;
498     signal    C_RDY2     : std_logic;
499     signal    DISPLAY    : std_logic;
500     signal    C_STA      : std_logic;
501
502     --signal    ST_A      : std_logic_vector (19 downto 0);
503     signal    ST_B      : std_logic_vector (19 downto 0);
504     signal    ST_C      : std_logic_vector (19 downto 0);
505     signal    STATEB_20 : std_logic_vector (19 downto 0);
506     signal    STATE_B   : std_logic_vector (15 downto 0);
```



```

553          ---00111111
554      MODULO_03: Sintetizador    port map (notRST, CLK, "00111111", PHASE, Fo2, COSINE);
555
556      MODULO_04: Sintetizador    port map (notRST, CLK, SHIFT, PHASE, Fo3, FIX);
557          ---FIX_18(17 downto 2)
558      MODULO_05: AD4555          port map (notRST, CLK, SINE_18(17 downto 2),FIX_18(17 downto 2), CS, RS, SDI, MSB, LDAC,
CLK_AD);
559
560      MODULO_06A: Simetrico      port map (notRST, CLK, "000000000000000000001001110001000", SPEED_A);
561
562      MODULO_06B: Simetrico      port map (notRST, CLK, "000000000000100000001001110001000", SPEED_B);
563
564
565      -----MODULO DE CONTROL DE MATRIZ DE BOTONES-----
566
567      MODULO_07: Simetrico      port map (RST, CLK, "00000000000000001100001101010000", M_CLK);
568
569      MODULO_08: cnt_up_dwn_8    port map (C_RDY, M_CLK, '1', '0', STATE);
570
571      MODULO_09: M_Driver        port map (RST, CLK, STATE, ABCD, EFGH, M_OUT);
572
573      -----MODULO DE CONTROL DE LCD-----
574          #          _          #          #          #
575          #          _          #          #          #
576      MODULO_10: LCD              port map (LCDSTATE (6 downto 0), TAG00(23 downto 16), TAG00(15 downto 8), TAG00(7 downto
OUTPUT00 (31 downto 24), OUTPUT00 (23 downto 16), OUTPUT00 (15 downto 8), OUTPUT00 (7 downto 0), "00100000",
TAG01(23 downto 16), TAG01(15 downto 8), TAG01(7 downto
OUTPUT01 (31 downto 24), OUTPUT01 (23 downto 16), OUTPUT01 (15 downto 8), OUTPUT01 (7 downto 0), "00100000",
TAG02(23 downto 16), TAG02(15 downto 8), TAG02(7 downto
OUTPUT02 (31 downto 24), OUTPUT02 (23 downto 16), OUTPUT02 (15 downto 8), OUTPUT02 (7 downto 0), "00100000",
TAG03(23 downto 16), TAG03(15 downto 8), TAG03(7 downto
OUTPUT03 (31 downto 24), OUTPUT03 (23 downto 16), OUTPUT03 (15 downto 8), OUTPUT03 (7 downto 0), "00100000",
LCD_OUT, LCD_RS, LCD_RW, LCD_E);
577
578
579          ---00000000010011000100101101000000
580      MODULO_11: Simetrico      port map (notRST, CLK, "00000000000011001011011100110101", LCDCLK);
581
582          --RST
583      MODULO_12: cnt_up_dwn_8    port map (LCD_RDY, LCDCLK, '1', '0', LCDSTATE);
584
585      -----MODULO BEEP-----
586
587          --00000000010011000100101101000000
588      MODULO_13: Simetrico      port map (notRST, CLK, "00000000000000000000111001110100", F_BEEP);
589
590      MODULO_14: Simetrico      port map (notRST, CLK, "00000001001100010010110100000000", R_BEEP);
591
592

```

```

593
594 -----MODULO DE CONVOLUCION-----
595 -----FIX_18
596 MODULO_15: Multiplicador_nm_uu port map(DATA_1_18, Sine_18, VrVref1);
597
598 MODULO_16: Multiplicador_nm_uu port map(DATA_1_18, Cosine_18, VrVref2);
599
600 ----- CALCULO DEL PROMEDIO (A)
-----
601 -----Fol          ---VrVref1(35 downto 16), VrVref1(35 downto 16)
602 MODULO_17A: Registro_32      port map (Fol, '0', REG_A, REG_A, REG_A_A);
603
604 MODULO_18A: Sumador_n       port map (REG_A_A, REG_B_A, '0', SUMA_A, Co2_A);
605
606 MODULO_19A: Registro_32     port map (Fol, C_STA, "00000000000000000000000000000000", SUMA_A, REG_B_A);
607 -----REG_B_A
608 MODULO_20A: Registro_32     port map (C_RDY2, '0', "00000000000000000000000000000000", REG_B_A, REG_C_A);
609 -----ST_C
610 MODULO_21A: Division        port map (M_OUT(12), CLK, C_RDY2, X_A, ST_B (17 downto 0), EOA_A, R_A(17 downto 0));
611 -----DISPLAY
612 MODULO_22A: Registro_32     port map (DISPLAY, '0', R_A, R_A, REG_D_A);
613
614 ----- CALCULO DEL PROMEDIO (B)
-----
615 -----VrVref2(35 downto 16), VrVref2(35 downto 16)
616 MODULO_17B: Registro_32     port map (Fol, '0', REG_B, REG_B, REG_A_B);
617
618 MODULO_18B: Sumador_n       port map (REG_A_B, REG_B_B, '0', SUMA_B, Co2_B);
619
620 MODULO_19B: Registro_32     port map (Fol, C_STA, "00000000000000000000000000000000", SUMA_B, REG_B_B);
621 -----REG_B_B
622 MODULO_20B: Registro_32     port map (C_RDY2, '0', "00000000000000000000000000000000", REG_B_B, REG_C_B);
623 -----ST_C
624 MODULO_21B: Division        port map (M_OUT(12), CLK, C_RDY2, X_B, ST_B (17 downto 0), EOA_B, R_B(17 downto 0));
625
626 MODULO_22B: Registro_32     port map (DISPLAY, '0', R_B, R_B, REG_D_B);
627
628 ----- CONTROL DE PROMEDIOS -----
629
630 MODULO_23: Divisor_F        port map (RST, CLK, "00000000000011001011011100110101", REFRESH);
631 -----Fol
632 MODULO_24: cnt_up_dwn_16    port map (C_RDY2, Fol, '1', '0', STATE_B);
633
634 -----REGISTROS CONTADORES DE EVENTOS -----
635 -----not C_RDY2
636 MODULO_25: Registro_20      port map (not C_RDY2, '0', "00000000000000000000", STATEB_20, ST_B );

```



```
679      -- DATA_A (17)          <='1';
680      -- DATA_A (16 downto 3) <= DATA + "1000000000000000";
681      -- DATA_A (2 downto 0)  <="000";
682      -- DATA_B <= DATA_A + "11000000000000000000";
683
684      DATA_A (17 downto 2) <= DATA_1;
685      DATA_A (1 downto 0) <= "00";
686      DATA_B <= DATA_A+"00001000000000000000";
687
688
689      -- O_EFGH <= EFGH;
690
691      -----PROMEDIO DE DATOS-----
692
693      --REG_A (31 downto 16) <= "0000000000000000";
694      --REG_A (15 downto 0) <= VrVref1 (35 downto 20);
695
696      --REG_B (31 downto 16) <= "0000000000000000";
697      --REG_B (15 downto 0) <= VrVref2 (35 downto 20);
698
699      REG_A (31 downto 24) <= "00000000";
700      REG_A (23 downto 8) <= VrVref1 (35 downto 20);
701      REG_A (7 downto 0) <= "00000000";
702
703      REG_B (31 downto 24) <= "00000000";
704      REG_B (23 downto 8) <= VrVref2 (35 downto 20);
705      REG_B (7 downto 0) <= "00000000";
706
707
708
709      DATA_1_18(15 downto 0) <= DATA_1;
710      DATA_1_18(17 downto 16) <= "00";
711
712      DATA_2_18(15 downto 0) <= DATA_2;
713      DATA_2_18(17 downto 16) <= "00";
714
715
716      X_A(35 downto 32) <= "0000";
717      X_A(31 downto 0) <= REG_C_A;
718      --REG_C_A
719      R_A(31 downto 18) <= "0000000000000000";
720
721      X_B(35 downto 32) <= "0000";
722      X_B(31 downto 0) <= REG_C_B;
723      --REG_C_B
724      R_B(31 downto 18) <= "0000000000000000";
```

```

725
726
727     ST_C <= ST_B - "0000000000000000000001";
728
729     STATEB_20(15 downto 0) <= STATE_B;
730     STATEB_20 (19 downto 16) <= "0000";
731
732     DISPLAY      <= ((not EOA_A) and REFRESH);
733
734
735     notFol      <= (not Fol);
736
737
738     LEDS <= DataOut_RS232;
739
740     -- Test00   <= DOUT_1;
741
742     -- Test01   <= INCLK;
743
744     -- Test02   <= DOUT_2;
745
746     -- Test03   <= INCLK;
747
748     -----RESET CON MATRIZ DE BOTONES-----
749
750     notRST      <= not M_OUT(12);
751
752     -----VARIABLES COMBINACIONALES-----
753
754
755
756     Combinacional : process (STATE, STATE_B, LCDSTATE, STATE3, STATE_ADC, DATA_1, DATA_2)
757     begin
758
759         C_RDY      <= not ((not STATE(7)) and (not STATE(6)) and (not STATE(5)) and (not STATE(4)) and (not STATE(3)) and
STATE(2)) and (not STATE(1)) and (not STATE(0)));
760
761         LCD_RDY    <= not ((NOT LCDSTATE(7)) and ( LCDSTATE(6)) and ( NOT LCDSTATE(5)) and (NOT LCDSTATE(4)) and ( LCDSTA
)) and (NOT LCDSTATE(2)) and (NOT LCDSTATE(1)) and (NOT LCDSTATE(0)));
762
763         C_RDY2     <= not (( STATE_B(15)) and ( STATE_B(14)) and ( STATE_B(13)) and ( STATE_B(12)) and ( STATE_B(11)) and
STATE_B(10)) and ( STATE_B(9)) and ( STATE_B(8)) and ( STATE_B(7)) and ( STATE_B(6)) and( STATE_B(5)) and ( STATE_B(4)
and ( STATE_B(3)) and ( STATE_B(2)) and ( STATE_B(1)) and ( STATE_B(0)));
764
765         C_STA      <= ((not STATE_B(15)) and (not STATE_B(14)) and (not STATE_B(13)) and (not STATE_B(12)) and (not STATE
)) and (not STATE_B(10)) and (not STATE_B(9)) and (not STATE_B(8)) and (not STATE_B(7)) and (not STATE_B(6)) and (not

```

```
766 STATE_B(5)) and (not STATE_B(4)) and (not STATE_B(3)) and (not STATE_B(2)) and (not STATE_B(1)) and (not STATE_B(0));
767     ST3_RDY <= not ((NOT STATE3(7)) AND (NOT STATE3(6)) AND (NOT STATE3(5)) AND (NOT STATE3(4)) AND (NOT STATE3(3))
768     ( STATE3(2)) AND (NOT STATE3(1)) AND (NOT STATE3(0)));
769     ADC_RDY <= not ( (not STATE_ADC(7)) and (not STATE_ADC(6)) and ( STATE_ADC(5)) and ( STATE_ADC(4)) and (not
770 STATE_ADC(3)) and (not STATE_ADC(2)) and (not STATE_ADC(1)) and ( STATE_ADC(0)) );
771     end process Combinacional;
772
773
774 -----
775
776
777
778 end Behavioral;
779
780
```