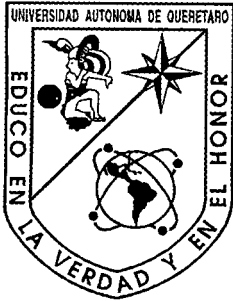
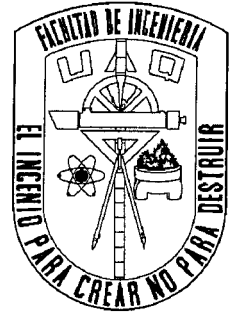


# Universidad Autónoma de Querétaro



Facultad de Ingeniería  
Campus San Juan del Río  
Área de Electromecánica



TESIS

**DISEÑO Y CONSTRUCCIÓN DE UNA TARJETA DE ADQUISICIÓN DE DATOS  
PARA APLICACIONES DE CONTROL EN LA BIBLIOTECA DE LA UAQ. S.J.R.**

Que para obtener el título de:

**INGENIERO ELECTROMECAÁNICO**

Presentan:

**< EDGAR ENRÍQUEZ GONZÁLEZ 141139**

**MARIO MONDRAGÓN SÁNCHEZ**

**LUIS ALBERTO MORALES HERNÁNDEZ**

**MIGUEL TREJO HERNÁNDEZ**

Director:

**ING. ROQUE A. OSORNIO RIOS**

**SAN JUAN DEL RIO, QUERÉTARO  
ENERO 2004**

No. Adq: H 58706

No. Título \_\_\_\_\_

Clas 75

621.382

ES9d



ACUERDO 846/03  
21 DE OCTUBRE DE 2003

**C. EDGAR ENRÍQUEZ GONZÁLEZ**  
**C. MARIO MONDRAGÓN SÁNCHEZ**  
**C. LUIS ALBERTO MORALES HERNÁNDEZ Y**  
**C. MIGUEL TREJO HERNÁNDEZ**

Pasantes de la Licenciatura en Electromecánica  
Presente

Con relación a su solicitud relativa a la opción de titulación “**tesis colectiva**” con título “ **Diseño y construcción de una tarjeta de adquisición de datos para aplicaciones de control en la biblioteca de la UAQ. S.J.R.**”, me permito informarles que en sesión ordinaria del 21 de octubre del año en curso, fue aceptada la tesis colectiva, con modificaciones en el capítulo 3: falta descripción y direccionamiento del convertidor analógico digital ADC0808 y en el capítulo 5: cuáles sensores se desarrollarán y cuáles serán comprados, bajo la dirección del M. en C. Roque Osornio Ríos.

El contenido aceptado por el H. Consejo Académico es el siguiente:

C O N T E N I D O

ÍNDICE

RESUMEN

INTRODUCCIÓN

Objetivo  
Alcance

**CAPÍTULO 1 ESTADO DEL ARTE.**

**CAPÍTULO 2 ARQUITECTURA DEL BUS ISA.**

2.1 Introducción  
2.2 Característica  
2.3 Descripción del Bus ISA



### CAPÍTULO 3 COMPONENTES DE LA TARJETA DE ADQUISICIÓN DE DATOS.

- 3.1 Registro de datos de almacenamiento de 8 bits (74LS373).}
- 3.2 Decodificadores (74LS138)
- 3.3 Buffer Unidireccional de 8 bits (74LS244)
- 3.4 Buffer Bidireccional de 8 bits (74LS245)
- 3.5 Descripción de la PP18255
  - 3.5.1 Control de los grupos
  - 3.5.2 Modos de operación
- 3.6 Descripción y direccionamiento del DAC. 0808. D/A Convertidor

### CAPÍTULO 4 SISTEMA DE POTENCIA.

- 4.1 Triac's
- 4.2 Transistores
- 4.3 Optoacopladores

### CAPÍTULO 5 APLICACIÓN EN CENTRO DE INFORMACIÓN.

- 5.1 Luminosidad
- 5.2 Temperatura
- 5.3 Detector de humo
- 5.4 Detector de presencia

### CAPÍTULO 6 PROGRAMACIÓN

- 6.1 Comunicación a través del BUS ISA con tarjeta de expansión
  - 6.1.1 Direccionamiento
  - 6.1.2 Tránsito de datos
- 6.2 Programación de PPI
- 6.3 Programación para ADC
- 6.4 Programación para DAC
- 6.5 Interface sencilla para visualización y control de variables a controlar
- 6.6 Recopilación de datos

### DIAGRAMAS ESQUEMÁTICOS DE LA TARJETA

PCB DE LA TARJETA

CONCLUSIONES

BIBLIOGRAFÍA



## BIBLIOGRAFÍA

Ciriaco García de Celis, "El universo digital del IBM PC, AT y PS/2", Edición 4.0

Muhamad Ali Mazidi "The 80X86 IBM PC AND COMPATIBLE COMPUTERS (Volume II)"  
Desing an Interfacing of the IBM, PC, PS and Compatibles, Ed. Prentice May, Second Edition.

Josep J. Carr, "Electronic Circuit Guide Book Volume 1 Sensors", Prompt Publications.

Muhamad Ali Mazidi "Desing and Interfacing of the IBM, PC, PS and Compatibles", ed. Prentice May, second edition.

Barry B. Brey, "Los Microprocesadores Intel", Arquitectura, Programación e Interfaces, Ed. Prentice Hall, Tercera edición.

Obras por consultar:

Manuales afines

Datos técnicos de los integrados.

[www.national.com](http://www.national.com)

También hago de su conocimiento las disposiciones de nuestra Facultad, en el sentido de que antes de se Examen Profesional deberá cumplir con los requisitos de nuestra Legislación y deberá reimprimir el presente oficio en todos los ejemplares de su Tesis.

Sin más por el momento quedo de usted.

Atentamente,

**"EL INGENIO PARA CREAR, NO PARA DESTRUIR"**

**M. en I. Gerardo Rene Serrano Gutiérrez**

Director de la Facultad

C.c.p. Archivo.  
GRSG/RRPV/img.

# Agradecimientos

A Dios, por habernos permitido llegar hasta estos momentos.

A nuestras familias, por su paciencia, comprensión y apoyo incondicional.

Nuestro sincero agradecimiento, al Ing. Wenceslao Ortiz Vargas y al Dr. Gilberto Herrera por su apoyo y confianza brindados para la realización de esta tesis.

De manera especial a nuestro director de tesis Ing. Roque A. Osornio Ríos por la ayuda y enseñanza en el diseño de la tarjeta de expansión.

## PRÓLOGO

En la actualidad la tendencia general para cualquier industria, es administrar cada vez más eficientemente los recursos, así entonces la automatización de los procesos ha tomado mayor importancia, es decir, la automatización se puede aplicar en prácticamente todos los rubros de nuestro entorno laboral y personal, con la finalidad de proporcionarnos una vida mucho más agradable y placentera.

Por consiguiente, es de vital importancia que en el desarrollo de la carrera de ingeniero electromecánico se incluya de manera importante con los sistemas automatizados inteligentes, ya que con los conocimientos obtenidos en las disciplinas de electrónica, electricidad y mecánica permitirá entender de manera muy completa la complejidad del sistema y, por consiguiente lograr, que el control o automatización que se desarrolle para el mismo sea de mayor calidad.

De esta manera el poder presentar un proyecto en donde se pueda crear una tarjeta interfaz que sea de arquitectura abierta y sea capaz de monitorear señales análogas y digitales, en donde con un análisis de estas señales se logre un control óptimo, nos dará una visión muy completa de lo que se puede lograr con la automatización de los procesos.

De manera general, podemos concluir que la automatización minimiza los costos de operación, los límites entre un ambiente de trabajo mejorado y productivo son reducidos mediante la automatización, que es la principal demanda de la nueva tendencia económica, en donde

$$\textit{La inversión inicial} + (\textit{Costos de Operación} \times \textit{Vida útil})$$

represente directamente el beneficio el cual se puede expresar como:

$$\textit{Eficiencia} + \textit{Efectividad} = \textit{Productividad}.$$

## PREFACIO

La intención de esta tesis es la de cubrir con amplitud la estructura del sistema de comunicación de un ordenador y que contenga el material necesario para que cualquier persona interesada en este tema pueda programar esta interfaz de acuerdo a las necesidades de su proceso o en su caso pueda ampliar las capacidades de esta conforme lo requiera su proceso.

Esta tesis esta dividida en 6 capítulos y un apéndice, su contenido a grandes rasgos es: el capítulo 1 presenta de manera general la forma en que interactúan las diferentes disciplinas de la ingeniería para lograr la automatización de cualquier instalación o proceso, utilizando lo que resulte más adecuado y de menor costo para el mismo. El capítulo 2 ofrece de manera general lo que es la arquitectura de comunicación del CPU con sus periféricos de E/S, en este caso, específicamente por medio del bus ISA (Industry Standard Architecture), que es información primordial para el diseño de la tarjeta de interfaz. El capítulo 3 describe las características de los componentes utilizados en el diseño de la tarjeta, este capítulo esencialmente servirá de referencia para cualquier lector de cómo están constituidos y como funcionan dichos componentes y así puedan entender por que se usaron en el diseño de esta tarjeta.

En el capítulo 4 se muestra la forma en que se controlan las etapas de alta potencia a partir de las salidas digitales generadas, mostrando como se puede aislar un voltaje DC para activar cualquier voltaje mayor ya sea AC o DC. Los detalles de los diferentes sensores que existen en el mercado se describen en el capítulo 5, de esta manera se puede seleccionar de acuerdo a las necesidades requeridas en su proceso. Por último en el capítulo 6 se muestra como están interconectadas cada parte de la tarjeta y como interactúan entre sí para poder obtener tanto datos analógicos como digitales y con esto tomar decisiones sobre las variables que se deseen controlar.

Al final de esta tesis se encuentra un apéndice que incluye las hojas de datos de los componentes utilizados, un glosario de palabras técnicas usadas en todo el texto y los esquemáticos correspondientes a la tarjeta diseñada.



## ABREVIATURAS

ADC: Convertidor de analógico a digital

DAC: Convertidor de digital a analógico

AC: Corriente alterna

DC: Corriente directa

Control ON/OFF. Control de solo dos estados, encendido o apagado

PC. Computadora personal.

CPU. Unidad central de procesamiento

I/O:In/Out. En español, Entrada/salida

Op Amp: Amplificador operacional

## INTRODUCCIÓN

La automatización se puede definir como una tecnología que está relacionada con el empleo de sistemas mecánicos, electrónicos, controlados por computadoras. Ejemplos de esta tecnología son: líneas de producción, sistemas de control de realimentación, máquinas–herramientas con control numérico, edificios inteligentes, etc.

En el ámbito real, más aún en el campo industrial, el manejo de altos voltajes analógicos es muy común, por ser la mayoría de las cargas y equipos de la industria, manejados con altas corrientes; de ahí nace la necesidad del desarrollo de sistemas de control, para éste tipo de voltajes, pero, basados en sistemas microprocesados, los cuales funcionan con voltajes DC a bajos niveles.

En consecuencia, dentro del estudio y desarrollo de sistemas tecnológicos en el campo electrónico y computacional, se hace necesario satisfacer las necesidades de la industria. Dentro de las mismas, se requieren dispositivos que automaticen labores tediosas y realicen controles autónomos, ayudando a un desarrollo más rápido y óptimo de tareas, que de otro modo, se convertirían en actividades susceptibles de errores.

Es de ésta manera que el trabajo realizado está destinado a coadyuvar en dicha función, vale decir, la automatización de sistemas de monitoreo y control están orientados, no sólo a grandes clientes, sino, también se puede implementar una solución accesible para cualquier tipo de persona.

De ahí surge la idea de realizar éste proyecto en el que nuestro principal objetivo es el de diseñar y construir una tarjeta de adquisición de datos que permita llevar a cabo la digitalización de señales, provenientes de sensores análogos para que en el momento de su utilización permita el control y activación de cargas remotas a voltajes AC por medio de voltajes DC, (Control ON/OFF) por medio de una interface ISA.

Los sistemas de control electrónicos son, con el avance de la ciencia, un campo en el que es importante implementar nuevas técnicas, que permitan una sistematización a un costo reducido y con funciones versátiles.

Por último se espera que esta tesis sirva de fundamento a otras personas interesadas en desarrollar proyectos en los cuales se tenga la necesidad de analizar señales análogas y controlar cargas AC o quieran realizar algún tipo de control sobre un proceso determinado, ya que la tarjeta desarrollada es de arquitectura abierta, con lo cual se ofrecen opciones de desarrollo y por lo tanto se pueda ejercer cada vez más un mayor control sobre procesos más complejos.

# ÍNDICE

<b>PRÓLOGO</b>	<b>i</b>
<b>PREFACIO</b>	<b>ii</b>
<b>ABREVIATURAS</b>	<b>iii</b>
<b>INTRODUCCIÓN</b>	<b>iv</b>
<b>ÍNDICE DE FIGURAS</b>	<b>ix</b>
<b>ÍNDICE DE TABLAS</b>	<b>xi</b>
<b>Capítulo 1.- ESTADO DEL ARTE.</b>	<b>1</b>
<b>Capítulo 2.- ARQUITECTURA DEL BUS ISA.</b>	
2.1.- Introducción	4
2.2.- Buses	5
2.2.1 Tipos de buses por tecnología	5
2.3.- Descripción del bus ISA	8
2.3.1.- El concepto ISA	9
<b>Capítulo 3.- COMPONENTES DE LA TARJETA DE ADQUISICIÓN DE DATOS.</b>	
3.1.- Descripción general	16
3.2.- Chip select	18
3.2.1.- Organización de direcciones: segmentación	18
3.2.2.- Matriz lógica genérica (GAL, Generic Array Logic)	20
3.3.- Buffer unidireccional de 8 bits (74LS244)	23
3.4.- Buffer bidireccional de 8 bits (74LS245)	25
3.5.- Descripción de la PPI8255	29

3.5.1.- Control de grupos	29
3.5.2.- Modos de operación	31
3.5.3.- Programación	32
3.6.- Conversión Analógica-Digital (A/D)	34
3.6.1.-Convertidor analógico-digital por aproximaciones sucesivas ADC0808	34
3.6.2.- Descripción del ADC0808	37

#### **Capítulo 4.- CIRCUITOS DE CONTROL DE POTENCIA.**

4.1.- Introducción	38
4.2.- Optoacopladores	38
4.3.- Triac	39
4.4.- Transistores de potencia	41

#### **Capítulo 5.- APLICACIÓN EN EL CENTRO DE INFORMACIÓN.**

5.1.- Introducción	43
5.2.- Luminosidad	44
5.2.1.- Fotorresistencias	44
5.2.2.- Fotodiodos	46
5.2.3.- Fototransistor	47
5.3.- Temperatura	48
5.3.1.- Termopar	49
5.3.2.- RTD's	49
5.3.3.- Circuito integrado	50
5.3.4.- Acondicionamiento de la señal	51
5.4.- Detector de humo	52
5.4.1.- Fotoeléctricos	52
5.4.2.- Iónicos	53
5.5.- Detectores de presencia	54
5.5.1.- Tecnología PIR (rayos infrarrojos pasivos)	55
5.5.2.- Tecnología ultrasónica	56

5.5.3.- Tecnología dual	57
5.6.- Acondicionadores de la señal	58

## **Capítulo 6.- PROGRAMACIÓN**

6.1.- Programación del PPI8255	60
6.2.- Programación del puerto de entradas analógicas de ADC0808	66
6.3.- Adquisición de datos.	69
6.4.- Lenguaje de programación	72
6.5.- Transferencia de datos	75

<b>CONCLUSIONES</b>	77
---------------------	----

## **APÉNDICES**

<b>A.</b> Diagramas esquemáticos y PCB de la tarjeta diseñada
<b>B.</b> Hoja de datos del 74LS244
<b>C.</b> Hoja de datos del 74LS245
<b>D.</b> Hoja de datos del PPI8255
<b>E.</b> Hoja de datos de la GAL 20V8
<b>F.</b> Hoja de datos del ADC0808
<b>G.</b> Hoja de datos del AD590
<b>H.</b> Glosario

## **BIBLIOGRAFÍA**

## ÍNDICE DE FIGURAS

Figura 2.1. Organización de entradas y salidas I/O.	7
Figura 2.2. Señales presentes en el spot de expansión ISA.	10
Figura 2.3. Apariencia externa de la tarjeta de ampliación AT.	13
Figura 2.4. Tiempos de acceso a memoria.	14
Figura 3.1. Bus ISA	16
Figura 3.2. Diagrama a bloques de la tarjeta	17
Figura 3.3. Esquema de direccionamiento	20
Figura 3.4. Estructura básica de una matriz E <sup>2</sup> CMOS de una GAL.	21
Figura 3.5. Implementación de una suma de productos con una GAL.	22
Figura 3.6. Diagrama de bloques de una GAL.	22
Figura 3.7. Nomenclatura de las GAL.	23
Figura 3.8. El buffer 74LS244.	24
Figura 3.9. Registros de tres estados.	26
Figura 3.10. Diagrama lógico del tranceptor octal de tres estados 74LS245.	27
Figura 3.11. Símbolo lógico estándar IEEE para el 74LS245.	28
Figura 3.12 PPI8255.	29
Figura 3.13 Palabra de control.	33
Figura 3.14 Código de la palabra de control.	33
Figura 3.15 ADC por aproximaciones sucesivas.	35
Figura 3.16. Proceso de conversión por aproximaciones sucesivas.	36
Figura 3.17 Diagrama en bloques.	37
Figura 4.1. Encapsulado de un optoacoplador.	39
Figura 4.2. MOC3010.	39
Figura 4.3. Estructura y símbolo equivalente de un Triac.	40
Figura 4.4. Diagrama del optoacoplador junto con el Triac y la carga.	40
Figura 4.5. Transistores bipolares.	41
Figura 4.6. Cápsula plástica de un transistor de media potencia.	42
Figura 4.7. Diagrama del optoacoplador junto con el transistor NPN.	42
Figura 5.1. Fotogeneración de portadores.	45
Figura 5.2. Estado de conducción sin fotogeneración.	45
Figura 5.3. Circuito equivalente de un fotodiodo conectado a un op-amp.	46
Figura 5.4. Símbolo del fototransistor.	47
Figura 5.5. Curvas características de un fototransistor típico.	48
Figura 5.6. Blindaje del cable para la eliminación del ruido de 60Hz.	51
Figura 5.7. La luz reflejada por las partículas de humo.	53
Figura 5.8. Diagrama de un sensor basado en tecnología PIR.	56
Figura 5.9. Amplificadores de instrumentación.	58
Figura 5.10. Circuito acondicionador de señal.	59
Figura 6.1. Buffer 74LS244.	61
Figura 6.2 Buffer bidireccional 74LS245.	62

Figura 6.3 Controlador entradas/salidas PPI8255.	63
Figura 6.4 Módulo de expansión.	64
Figura 6.5. Configuración del conector DB25 y en la tarjeta de expansión.	65
Figura 6.6 Configuración del conector DB9 y conector en la tarjeta de expansión.	65
Figura 6.7 Moduló de adquisición de señales.	68
Figura 6.8 Generador de clock.	69
Figura 6.9. Esquema del circuito para la medición de temperatura.	70
Figura 6.10. Diagrama para un medidor de luz con amplificador operacional.	71
Figura 6.11. Diagrama del sensor de iluminación.	71
Figura 6.12. Pantalla del programa de control.	74
Figura 6.13. Pantalla de programación horaria.	74
Figura 6.15. Reconstrucción de una señal.	76



## ÍNDICE DE TABLAS

Tabla 1. Asignación de puerto de I/O para el PPI8255.	30
Tabla 2. Corriente obtenida para diferentes intensidades de luz.	47
Tabla 3. Características de los sensores de temperatura.	52
Tabla 4. Dirección válida para escribir, leer o programar en el PPI8255.	61
Tabla 5. Configuración elegida.	64
Tabla 6. Multiplexado de 8 canales analógicos.	66

## CAPÍTULO 1.- ESTADO DEL ARTE

El “Edificio Inteligente” tal como lo concebimos hoy en día, es la consecuencia de la evolución de la arquitectura, la tecnología y la ingeniería, las cuáles partieron, en un estado inicial de su evolución, de la necesidad de automatizar los procesos inherentes al edificio, con la finalidad de ofrecer un entorno confortable y seguro.

Con el tiempo, al irse incorporando más y más sistemas, la automatización ha tomado una mayor importancia en cada uno de ellos, de tal forma, que es imposible hablar de alguno de ellos, sin considerar rutinas automáticas de diagnóstico, monitoreo o control.

Es en éstas tareas donde el control y la automatización de carácter electrónico, entran en funcionamiento, realizando la toma de datos y según éstos, la activación cíclica ante determinadas variables cumplidas. Para realizar el control de dichas tareas automatizadas, se usa en frecuentes ocasiones las capacidades y versatilidad de una computadora, que puede ser de características industriales, o incluso una computadora personal (PC), para que realice las veces de inspector de control y precautele el correcto funcionamiento del sistema de acuerdo a las especificaciones dadas, para nuestro caso lo mas recomendable es el uso de una PC que incluyan el slot ISA fundamentalmente, ya que por las características de control y muestreo de nuestro proyecto un ordenador con un microprocesador del tipo 286 podría ser suficiente, así de esta manera se logra obtener un beneficio muy importante que es el bajo costo para la automatización de un edificio, ya que entre mas actual sea la PC o si se utiliza un computador de tipo industrial este solo provocara que se eleve el costo.

Las computadoras personales cuentan con las interfaces requeridas para el manejo de diversos dispositivos como teclado, video, impresora, modem, etc. Con el propósito de que el usuario pueda conectar dispositivos adicionales de

medición, control, comunicaciones, robótica, etc., la PC cuenta con una serie de canales que usa para comunicarse entre si, el objetivo de que el bus este conectado a la tarjeta madre es que los dispositivos que se conecten a ella, actúen como si estuvieran directamente conectadas con el procesador.

De esta manera si se requiere tener el control de un proceso en el cual existen datos análogos y digitales, es necesario el diseño de una tarjeta de adquisición de datos acorde a las necesidades del proceso, evitando así la compra de una tarjeta costosa y en su mayoría muy sobradas.

Una tarjeta de adquisición de datos se caracteriza por una serie de parámetros que permiten decidir su utilización. Los parámetros se fijan a partir de un conjunto de funciones y dispositivos internos de la placa entre los cuales destacan el número de canales de entrada y el de salidas analógicas y digitales, los convertidores analógico-digitales, los sistemas de multiplexación y los márgenes dinámicos de entrada y salida.

Las tarjetas de adquisición de datos se conectan directamente al bus del ordenador y permiten adquirir y procesar datos en tiempo real.

Cada tarjeta presenta funcionalidades diferentes, lo que da la posibilidad de utilizar una tarjeta para aplicaciones muy variadas, como podría ser el conteo de eventos, la generación de señales de salida, o la adquisición de señales de entrada.

Normalmente una tarjeta de adquisición de datos es la que se encarga de llevar la señal a la computadora, la cual realiza las funciones de cálculo, memoria, control y visualización.

Una ventaja importante en las tarjetas de adquisición de datos es que se evita la duplicidad de diferentes bloques en el instrumento y en el ordenador, como

pueden ser memoria o funciones de cálculo. También es importante la facilidad de instalación, de puesta en marcha y su flexibilidad de uso en muchas aplicaciones.

Se puede observar que el bus del futuro es claramente el PCI (Peripheral Component Interconnect) de Intel, en el cual la relación del bus ISA es nula. El motivo por el que no se utiliza un MCA, EISA ni PCI y si una ISA es muy sencillo: Por lo menos para las dos primeras, estas alternativas aumentaban el costo del PC (incluso más del 50%) y no ofrecían ninguna mejora evidente en el rendimiento del sistema. Es más, en el momento en que se presentaron estos buses (1987-1988) esta superioridad en el rendimiento no resultaba excesivamente necesaria, muy pocos dispositivos llegaban a los límites del rendimiento del bus ISA ordinario. En las computadoras actuales ya viene incluido el PCI el cual es usado principalmente para el manejo de video, en donde sus controladores vienen suministrados por el fabricante del periférico que se adquirió. De otra manera si se desean controladores para otra aplicación de este bus, habría que comprarlos lo cual incrementaría el costo para el proceso y el rendimiento no significaría una sustanciosa mejora y nos presentaría una mayor complejidad para su utilización.

## CAPÍTULO 2.- ARQUITECTURA DEL BUS ISA.

### 2.1.- Introducción

A pesar de que el bus tiene una significación muy elemental en la forma de funcionamiento de un sistema de ordenador, el desarrollo del bus del PC representa uno de los capítulos más oscuros en la historia del PC. Aunque IBM intentó conseguir un sistema abierto y de hacer pública todo tipo de información, interrumpió la documentación de los pasos exactos de las señales del bus, seguramente bajo el supuesto de que nadie necesitaría esta información.

El bus representa básicamente una serie de cables mediante los cuales pueden cargarse datos en la memoria y desde allí transportarse a la CPU. Por así decirlo es la autopista de los datos dentro del PC ya que comunica todos los componentes del ordenador con el microprocesador. El bus se controla y maneja desde la CPU.

Cuando en 1980 IBM fabricó su primer PC, este contaba con un bus de expansión conocido como XT que funcionaba a la misma velocidad que los procesadores Intel 8086 y 8088 (4.77 Mhz). Se denominó oficialmente ISA (Industry Standard Architecture) en 1988. El bus ISA maneja un bus de direcciones de 20 bits y un bus de datos de 8 bits. Permite trabajar con la mayoría de las señales de interrupción de la CPU, e incluso utilizar los circuitos de DMA (Direct Memory Access).

En este capítulo se expondrán los diferentes canales que utiliza la computadora para su comunicación y al final se describe como se realiza el intercambio de datos entre la CPU y el bus ISA.

## 2.2.- Buses

Un bus es un canal de comunicación que las computadoras usan para comunicar sus componentes entre si, por ejemplo para comunicar el procesador con los periféricos, memoria o dispositivos de almacenamiento.

Generalmente el bus esta integrado a la tarjeta madre, en ella muy posiblemente se encuentren diferentes tipos de buses.

El objetivo de que el bus este conectado a la tarjeta madre es que los dispositivos que se conecten a ella, actúen como si estuvieran directamente conectados con el procesador.

### 2.2.1.- Tipos de buses por tecnología

En el bus se encuentran dos pistas separadas, el bus de datos y el bus de direcciones. La CPU escribe la dirección de la posición deseada de la memoria en el bus de direcciones accediendo a la memoria, teniendo cada una de las líneas carácter binario. Es decir, solo pueden representar 0 o 1 y de esta manera forman conjuntamente el número de la posición dentro de la memoria (la dirección). Cuantas más líneas haya disponibles, mayor es la dirección máxima y mayor es la memoria a la cual puede dirigirse de esta forma. En el bus de direcciones original había ya 20 direcciones, ya que con 20 bits se puede dirigir a una memoria de 1 MB y esto era exactamente lo que correspondía a la CPU.

En forma muy general existen tres tipos de buses, de acuerdo a la función que realizan.

- Bus de direcciones
- Bus de datos
- Bus de control

## Bus de Direcciones

Este es un bus unidireccional debido a que la información fluye en una sola dirección, de la CPU a la memoria ó a los elementos de entrada y salida. La CPU solo puede colocar niveles lógicos en las  $n$  líneas de dirección, con la cual se generan  $2^n$  posibles direcciones diferentes. Cada una de estas direcciones corresponde a una localidad de la memoria ó dispositivo de I/O.

Los microprocesadores 8086 y 8088 usados en los primeros computadores personales (PC) podían direccionar hasta 1 megabyte de memoria (1.048.576 bytes). Es necesario contar con 20 líneas de dirección. Para poder manejar más de 1 megabyte de memoria, en los computadores AT (con procesadores 80286) se utilizó un bus de direcciones de 24 bits, permitiendo así direccionar hasta 16 MB de memoria RAM (16.777.216 bytes). En la actualidad los procesadores 80386DX pueden direccionar directamente 4 gigabytes de memoria principal y el procesador 80486DX hasta 64 GB.

## Bus de Datos

Este es un bus bidireccional, pues los datos pueden fluir hacia ó desde la CPU. Las  $m$  terminales de la CPU, de  $D_0 - D_{m-1}$ , pueden ser entradas ó salidas, según la operación que se este realizando (lectura ó escritura). En todos los casos, las palabras de datos transmitidas tiene  $m$  bits de longitud debido a que la CPU maneja palabras de datos de  $m$  bits; del número de bits del bus de datos, depende la clasificación del microprocesador.

En algunos microprocesadores, el bus de datos se usa para transmitir otra información además de los datos (por ejemplo, bits de dirección ó información de condiciones). Es decir, el bus de datos es compartido en el tiempo ó multiplexado. En general se adoptó 8 bits como ancho estándar para el bus de datos de los primeros computadores. Usualmente el computador transmite un carácter por cada pulsación de reloj que controla el bus (bus clock), el cual deriva sus

pulsaciones del reloj del sistema (system clock). Algunos computadores lentos necesitan hasta dos pulsaciones de reloj para transmitir un carácter.

Los computadores con procesador 80286 usan un bus de datos de 16 bits de ancho, lo cual permite la comunicación de dos caracteres o bytes a la vez por cada pulsación de reloj en el bus. Los procesadores 80386 y 80486 usan buses de 32 bits. El PENTIUM de Intel utiliza bus externo de datos de 64 bits, y uno de 32 bits interno en el microprocesador.

### Bus de Control

Este conjunto de señales se usa para sincronizar las actividades y transacciones con los periféricos del sistema. Algunas de estas señales, como R/W, son señales que la CPU envía para indicar que tipo de operación se espera en ese momento. Los periféricos también pueden remitir señales de control a la CPU, como son: INT, RESET, BUS RQ, etc.

Las señales más importantes en el bus de control son las señales de reloj, que generan los intervalos de tiempo durante los cuales se realizan las operaciones. Este tipo de señales depende directamente del tipo del microprocesador.

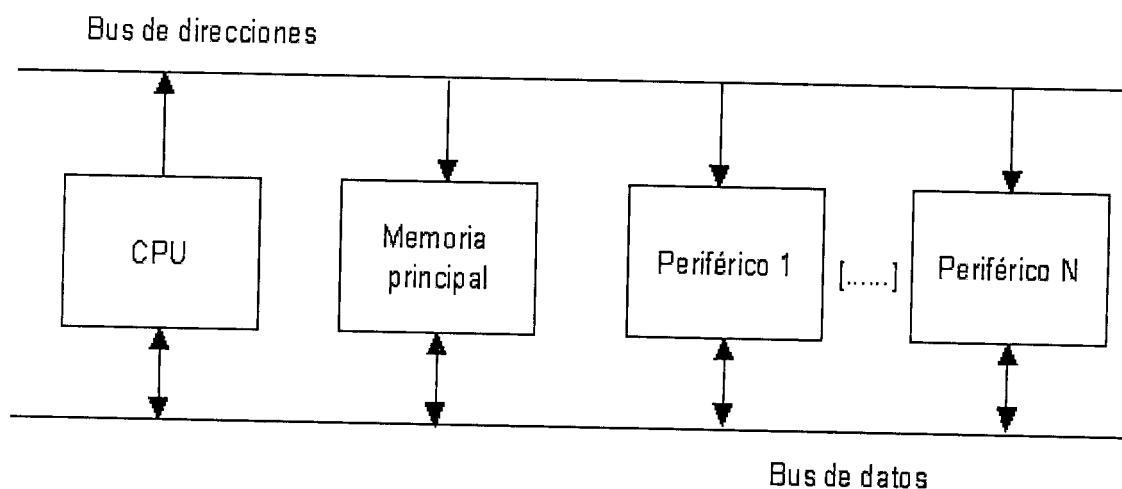


Figura 2.1. Organización de entradas y salidas I/O.



Esto que en la teoría parece tan fácil, Figura 2.1, es bastante más complicado en la práctica, ya que aparte de los bus de datos y de direcciones existen también casi dos docenas más de líneas de señal en la comunicación entre la CPU y la memoria, a las cuales también se acude. Todas las tarjetas del bus escuchan, y se tendrá que encontrar en primer lugar una tarjeta que mediante el envío de una señal adecuada indique a la CPU que es responsable de la dirección que se ha introducido. Las demás tarjetas se despreocupan del resto de la comunicación y quedan a la espera del próximo ciclo de transporte de datos que quizás les incumba a ellas.

Los datos en sí no se mandan al bus de direcciones sino al bus de datos. El bus XT tiene solo 8 bits con lo cual sólo se puede transportar 1 byte a la vez.

### 2.3.- Descripción del bus ISA

El slot de expansión del XT, de 8 bits, consta de 62 terminales en un conector hembra, 31 por cada cara. La cara A es la de los componentes; por la B sólo hay pistas. Viendo las tarjetas por arriba (por la cara de componentes) y con los conectores exteriores a la derecha, la numeración comienza de derecha a izquierda. En los AT el slot de 16 bits consta de 36 terminales más, distribuidos en grupos de 18 en dos nuevas caras (C y D). La mayoría de las máquinas AT poseen slots de 8 y 16 bits, aunque lo ideal sería que todos fueran de 16 (en los de 16 bits se pueden insertar también tarjetas de 8 bits, dejando la otra mitad *al aire*).

La coexistencia hoy en día de tarjetas de ampliación de 8 bits y de tarjetas de ampliación de 16 bits es problemática mientras que en el campo de direcciones, del cual estas tarjetas son responsables, se encuentran en un área de 128KB. El dilema empieza cuando una tarjeta de 16 bits debe señalizar mediante una línea de control al principio de una transferencia de datos, que ella puede recoger una palabra de 16 bits del bus y que al contrario de una tarjeta de 8 bits no tiene que desdoblarse la transferencia en dos bytes.

### 2.3.1.- El concepto ISA

Las señales encontradas en cada slot (hendidura) ISA pueden ser divididas en tres categorías básicas.

- Grupo del bus de dirección
- Grupo del bus de control
- Grupo del bus de datos

Estos grupos de señal están presentes en los slots de expansión de 8 y 16 bits encontrados en todos los productos IBM PC e ISA compatibles. En un sistema ISA cada uno de estos grupos de señal ha sido extendida para encontrar capacidad adicional no encontrada en la arquitectura de IBM PC y PC/XT.

La norma ISA abarca más que sólo la estructura de los conectores de la expansión. El sistema ISA también debe proporcionar el apoyo lógico para el manejo de las interrupciones, acceso directo a memoria, tiempos (cronómetros), manejo del error, la interface del keyboard (teclado), y configuración de la RAM. Adicionalmente, los IBM PC/AT e ISA compatibles, proporcionaban limitado soporte al bus dominante. Los siguientes capítulos proveen información detallada con respecto a cada aspecto de la arquitectura ISA.

#### The Industry Standard Architecture (ISA)

El bus de expansión ISA en las máquinas es frecuentemente referido como el I/O bus. Esto es incorrecto. Ambas tarjetas, memoria e I/O se unen al sistema a través del bus de expansión. Las siguientes secciones describen las capacidades proporcionadas por la interface ISA. Las características del slot ISA de 8 bits se definió en el original IBM PC.

En la figura 2.2, las líneas activas en alto van precedidas de un signo (+); las activas en estado lógico bajo (-). Los símbolos I (Input) y O (Output) indican si las líneas son de entrada, salida o bidireccionales.

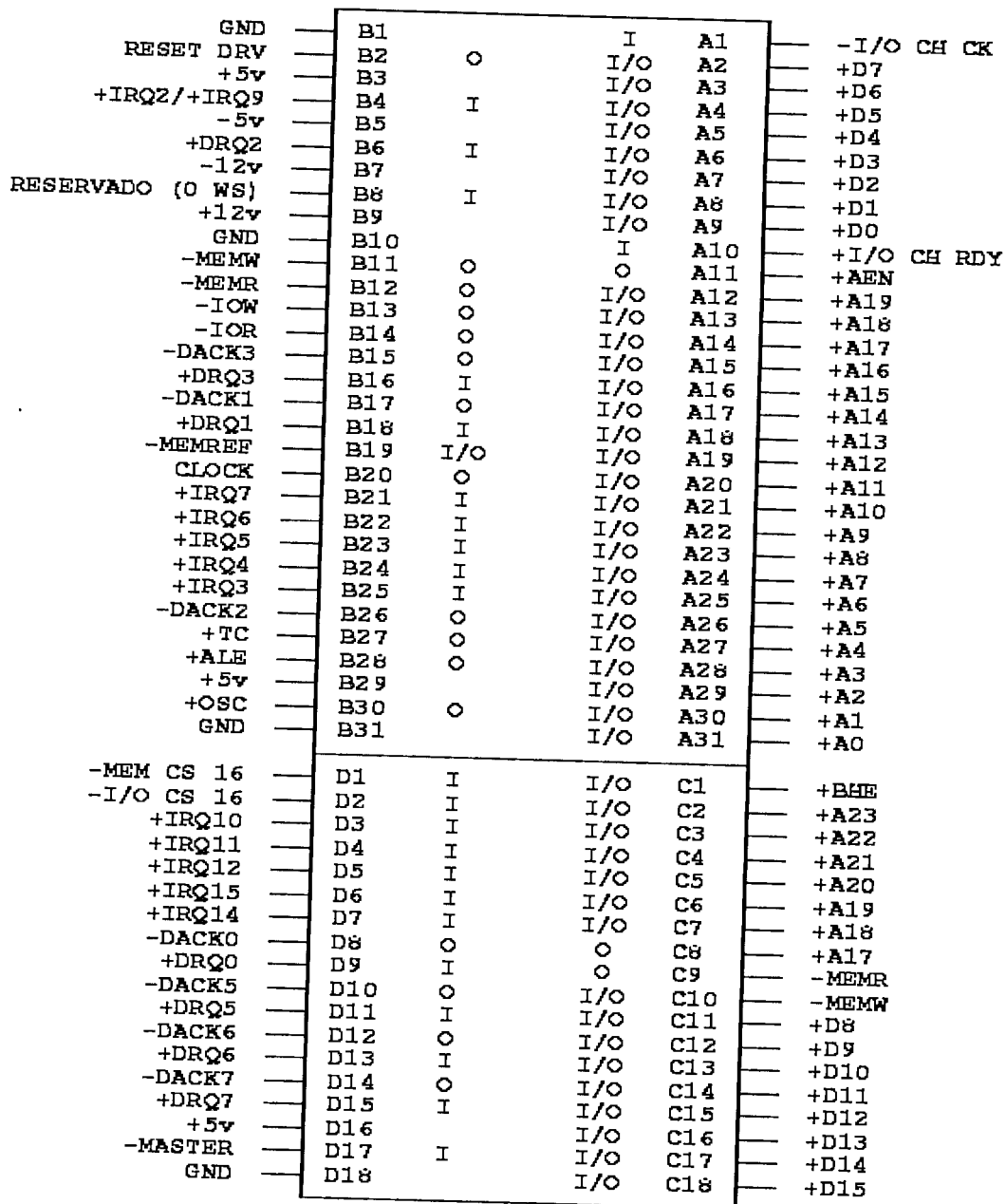


Figura 2.2 Señales presentes en el spot de expansión ISA

El slot de expansión de los PC contiene básicamente las principales señales del 8086 demultiplexadas, así como otras de interrupciones, DMA (Direct Memory Access), control de I/O, etc. Las señales presentes en el slot de expansión de 8 bits son:

- OSC: (Oscilator) Señal de reloj de casi 70 ns (14,31818 MHz) que está la mitad del período en estado alto y la otra mitad en estado bajo.
- ALE: (Ardes Latch Enable) Indica en su flanco de bajada que el latch de direcciones se ha cargado con una dirección válida procedente del microprocesador.
- TC: (Terminal Count) Indica el final de la cuenta en algún canal de DMA.
- DRQ1-DRQ3: (DMA Request) Líneas asíncronas de petición de DMA (1 mayor prioridad, 3 menor). Esta línea debe activarse hasta que DACK (activo a nivel bajo) suba.
- DACK1-DACK3: (DMA Acknowledge) Indica que ha sido atendida la petición de DMA y que debe bajarse el correspondiente DRQ.
- IRQ2-IRQ7: (Interrupt request) Indica una petición de interrupción (2 mayor prioridad, 7 menor). La señal debe mantenerse activa hasta que la interrupción acabe de ser procesada.
- IOR: (Input/Output Read) Señala al dispositivo de I/O que se va a leer el bus de datos; esta línea la controla la CPU o el DMA.
- IOW: (Input/Output Write) Señala al dispositivo de I/O que se va a escribir en el bus de datos; esta línea la controla también la CPU o el DMA.
- MEMR: (Memory Read) Indica que se va a efectuar una lectura de la memoria en la dirección contenida en el bus de direcciones. La activa la CPU o el DMA.
- MEMW: (Memory Write) Indica que se va a efectuar una escritura en memoria en la dirección contenida en el bus de direcciones. La activa la CPU o el DMA.
- RESET DRV: (Reset drive) Avisa de que el sistema está en proceso de reinicialización, para que todos los dispositivos conectados se inicialicen. Se activa en el flanco de bajada de la señal del reloj.
- A0-A19: (Ardes) Bus de direcciones común a la memoria y a la I/O, controlado por la CPU o el DMA.
- D0-D7: (Data) Bus de datos que conecta el microprocesador y los demás componentes.
- AEN: (Ardes Enable) Valida la dirección almacenada en A0-A19. Esto permite inhibir la CPU y los demás dispositivos, pudiendo el DMA tomar el control. Los periféricos deben decodificar la dirección comprobando que AEN está en estado bajo.

I/O CH RDY: (I/O Channel Ready) Esta línea se pone momentáneamente en estado bajo por los periféricos lentos (no durante más de 10 ciclos de reloj) cuando detectan una dirección válida en una operación de I/O, con objeto de poder sincronizarse con la CPU, que genera estados de espera.

I/O CH CK: (I/O Channel Check) Indica si se ha producido un error de paridad en la memoria o en los dispositivos I/O.

En la ampliación AT, figura 2.3, las líneas adicionales completan fundamentalmente la nueva longitud de los buses de datos y direcciones, permitiendo acceder también al resto del nuevo hardware:

DRQ y DACK: Nuevas líneas de petición/reconocimiento de DMA para los canales 5, 6 y 7, así como el 0 (realmente el 4) que en los XT no estaba disponible al ser empleado por el refresco de memoria.

IRQ: Nuevos niveles de interrupción: 10, 11, 12, 13, 14 y 15. IRQ8 es interna a la placa base y no está presente en el slot; IRQ9 se utiliza para emular IRQ2.

I/O CS 16: Indica un acceso de 16 bits en los puertos I/O.

MEM CS 16: Indica un acceso de 16 bits en la memoria.

D8-D15: Parte alta del bus de datos.

A17-23: Parte alta del bus de direcciones.

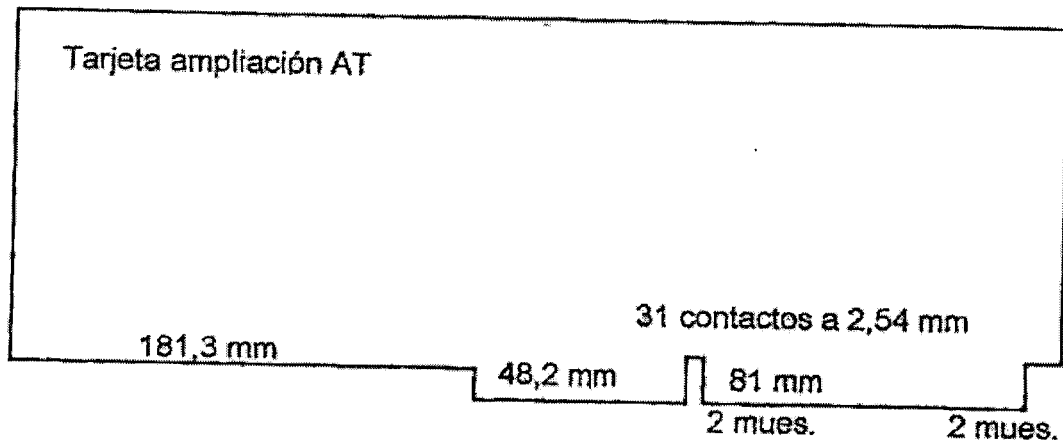


Figura 2.3. Apariencia externa de la tarjeta de ampliación AT.

Se empezara por describir el funcionamiento del bus ISA con un ciclo de lectura desde un puerto de entrada/salida. Lo primero que hace el microprocesador es poner la señal ALE hasta un nivel alto, entonces envía la dirección del puerto a través de las señales A0-A19. En otras palabras, el actual bus maestro puede comunicarse con cualquier memoria o I/O esclava en el sistema. Después, la señal ALE vuelve a nivel bajo. En adelante la dirección del puerto a ser leído quedará retenida en un latch. Entonces el bus pone -IOR a nivel bajo. El dispositivo direccionado enviará un byte de datos a través de las líneas D0-D7 del bus de datos. El microprocesador leerá el bus de datos y pondrá la señal -IOR a nivel alto de nuevo.

Un ciclo de lectura a un puerto funciona de la siguiente manera: El microprocesador pone la señal ALE a "1", entonces envía la dirección del puerto a través de A0-A19. ALE es puesta a nivel bajo. El microprocesador envía el byte de datos que será escrito. Luego pone un "0" en -IOW. Después que el dispositivo ha tenido tiempo de leer el byte, el  $\mu$ P pone la señal -IOW a nivel alto de nuevo.

La única diferencia entre un ciclo de lectura/escritura a memoria y un ciclo de lectura/escritura a un puerto consiste en que en un ciclo de memoria se

utilizarán las señales -MEMR y -MEMW de la misma manera que se hace con -IOR y -IOW.

Se muestran 4 ciclos de espera (W1 a W4), figura 2.4.

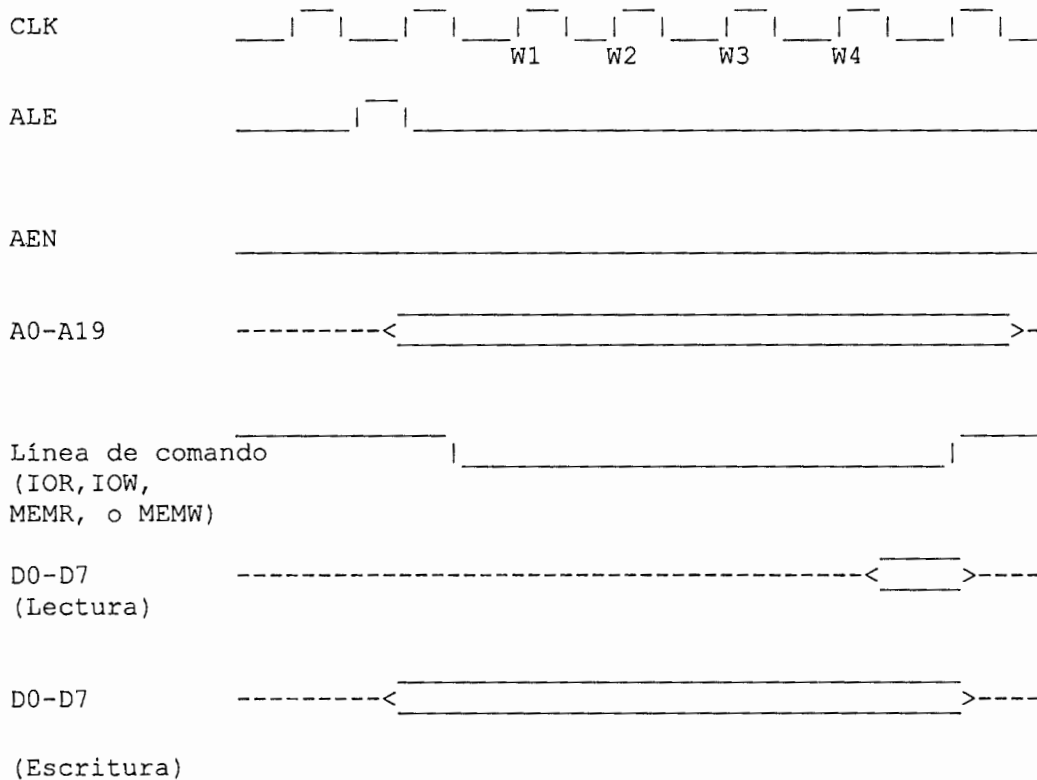


Figura 2.4 Tiempos de acceso a memoria.

ALE se pone a nivel lógico alto (1) y la dirección aparece en A0 a A19. El dispositivo esclavo debe leer la dirección durante el flanco de bajada de ALE, y la dirección en A0 a A19 permanece válida hasta el final del ciclo de transferencia. Nótese que AEN permanece a nivel bajo durante todo el ciclo de transferencia.

La línea de comando es puesta a nivel bajo (IOR o IOW para I/O, MEMR o MEMW para memoria, lectura y escritura respectivamente). Para operaciones de escritura, los datos permanecen en D0 a D7 hasta el resto del ciclo de transferencia. Para operaciones de lectura, los datos deben ser válidos en el flanco de bajada del último ciclo.

CARD SLCTD se emplea en la mitad de cada ciclo de espera. Si está a nivel bajo, el ciclo de transferencia termina sin más ciclos de espera. I/O CHRDY se emplea en la primera mitad de cada ciclo de espera. Si está a nivel bajo, más ciclos de espera serán introducidos.

Por defecto el ciclo de transferencia de 8 bits posee 4 ciclos de espera. La mayoría de las BIOS del ordenador pueden cambiar el número de ciclos de espera.



## CAPÍTULO 3.- COMPONENTES DE LA TARJETA DE ADQUISICIÓN DE DATOS.

### 3.1.- Descripción general

La placa de adquisición de datos tiene como función proveer la interface entre los sensores como los actuadores y el bus ISA de la PC. La disposición del bus ISA se encuentra en la figura 3.1.

#### PARTE POSTERIOR DEL ORDENADOR

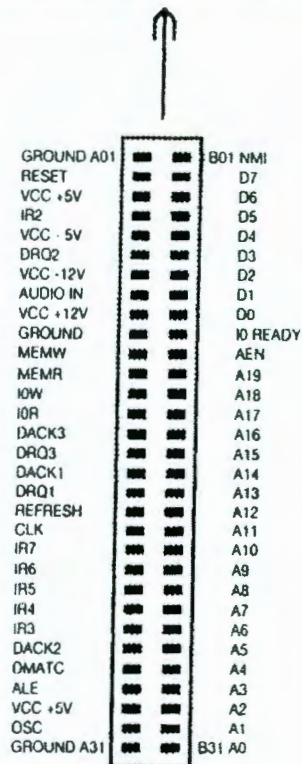


Figura 3.1 Bus ISA

La placa se divide en los siguientes bloques generales, figura 3.2

- Chip Select de direcciones y buffers.
- Controlador de puertos de I/O digitales PPI8255.
- Puerto de entradas analógicas ADC0808.
- Etapa de acondicionamiento de señales y amplificación de sensores.

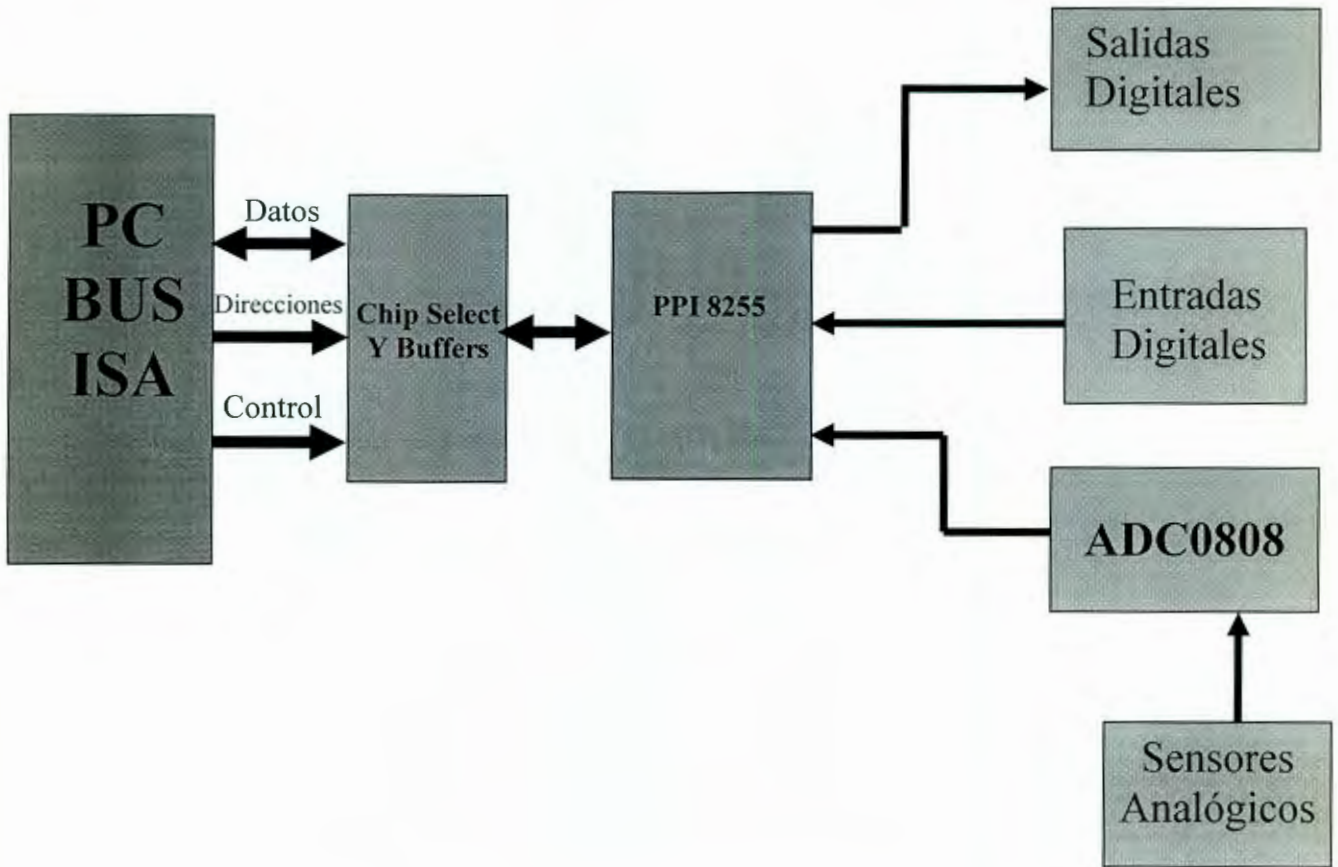


Figura 3.2. Diagrama a bloques de la tarjeta

En este capítulo hablaremos de cada uno de los componentes que se utilizan dentro de la tarjeta de adquisición, para poder comprender mejor su funcionamiento y dar un panorama de los diferentes modos que puede trabajar. Se detallará cada uno de los componentes que se utilizaron para direccionar cada uno de los buses. El propósito de este capítulo es conocer los diferentes elementos que incorporan a la tarjeta sin adentrarnos todavía a su interconexión

### 3.2.- Chip select

Lo primero que se tiene que hacer al incorporarle un periférico a la PC es indicarle cual es su dirección para que solo en esta dirección se habilite este periférico; sin que interfiera con las operaciones de otro periférico o funciones internas de la PC. Como ya se mencionó el encargado de realizar esta selección es el bus de direcciones

#### 3.2.1.- Organización de direcciones: segmentación.

Como ya sabemos, los microprocesadores 8086 y compatibles poseen registros de un tamaño máximo de 16 bits que direccionarían hasta 64Kb; en cambio, la dirección se compone de 20 bits con capacidad para 1Mb, hay por tanto que recurrir a algún artificio para direccionar toda la memoria. Dicho artificio consiste en la *segmentación*: se trata de dividir la memoria en grupos de 64Kb.

Los puertos de entrada y salida (I/O) permiten a la CPU comunicarse con los periféricos. Los 80x86 utilizan los buses de direcciones y datos ordinarios para acceder a los periféricos, pero habilitando una línea que distinga el acceso a los mismos de un acceso convencional a la memoria (si no existieran los puertos de entrada y salida, los periféricos deberían interceptar el acceso a la memoria y estar colocados en algún área de la misma). Para acceder a los puertos I/O se emplean las instrucciones Inportb y Outportb en lenguaje C.

Cada grupo de 8 bits se conoce como *byte* u octeto. Es la unidad de almacenamiento en memoria, la cual está constituida por un elevado número de posiciones que almacenan bytes. La cantidad de memoria de que dispone un sistema se mide en Kilobytes (1 Kb = 1024 bytes =  $2^{10}$ ), en Megabytes (1 Mb = 1024 Kb), Gigabytes (1 Gb = 1024 Mb), Terabytes (1 Tb = 1024 Gb) o Petabytes (1 Pb = 1024 Tb).

Lo mejor para entender esto es con un ejemplo:

Si se pone una RAM de 64Kb en la dirección 00000H y una ROM de 32Kb en la dirección FFFFH.

Lo primero que se hace es convertir la cantidad de memoria que va a ocupar cada uno, esto es:

Para la RAM  $64Kb * 1024 = 65536$  bytes esta cantidad esta en valor decimal para saber cuales bits del Bus de direcciones se utilizarán. Se convierte en Hexadecimal, el valor es  $1000H$  y le restamos 1 con lo cual se obtiene  $FFFFH$  que será el final del espacio reservado.

1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 FFFF  
 CSROM=A19+A18+A17+A16

1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

Para la ROM  $32Kb * 1024 = 32768$  bytes esta cantidad esta en valor decimal para saber cuales bits del Bus de direcciones se utilizarán. Se convierte en Hexadecimal, el valor es  $8000H$  y le restamos 1 con lo cual se obtiene  $7FFFH$  que será el final del espacio reservado. Pero como empieza en la dirección  $FFFFFH$  se resta y se obtiene  $F8000H$  como se muestra en la figura 3.3.

1 1 1 1 1 1 1 1 1 1 1 1 1 1 8000  
 CSRAM=A19+A18+A17+A16+A17+A15

1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

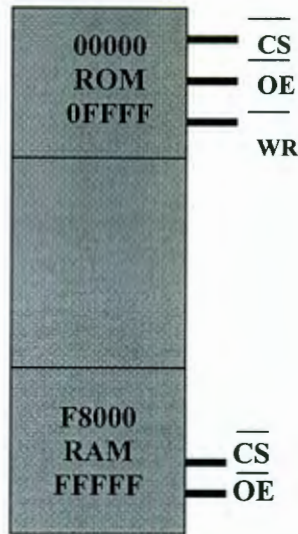


Figura 3.3. Esquema de direccionamiento

### 3.2.2.- Matriz lógica genérica (GAL, Generic Array Logic)

GAL es una denominación que utilizaba originalmente Lattice Semiconductor y que más tarde se licenció a otros fabricantes. La GAL en su forma básica es un PLD con una matriz AND reprogramable, una matriz OR fija y una salida lógica programable. En esta sección, se introducen los conceptos básicos.

#### Funcionamiento de una GAL

Básicamente, una GAL está formada por una matriz de compuertas AND reprogramable conectada a una matriz de compuertas OR fija. Al igual que una PAL (Programmable Array Logic), esta estructura permite implementar cualquier expresión lógica suma de productos con un número de variables definido.

En la figura 3.4 se ilustra la estructura básica de una GAL con dos variables de entrada y una salida, aunque la mayoría de las GAL pueden tener varias entradas y muchas salidas. La matriz reprogramable es esencialmente una red de conductores ordenados en filas y columnas, con una celda CMOS eléctricamente borrable (E<sup>2</sup>CMOS) en cada punto de intersección, en lugar de un

fusible como en el caso de las PAL. En la figura, estas celdas se indican como bloques.

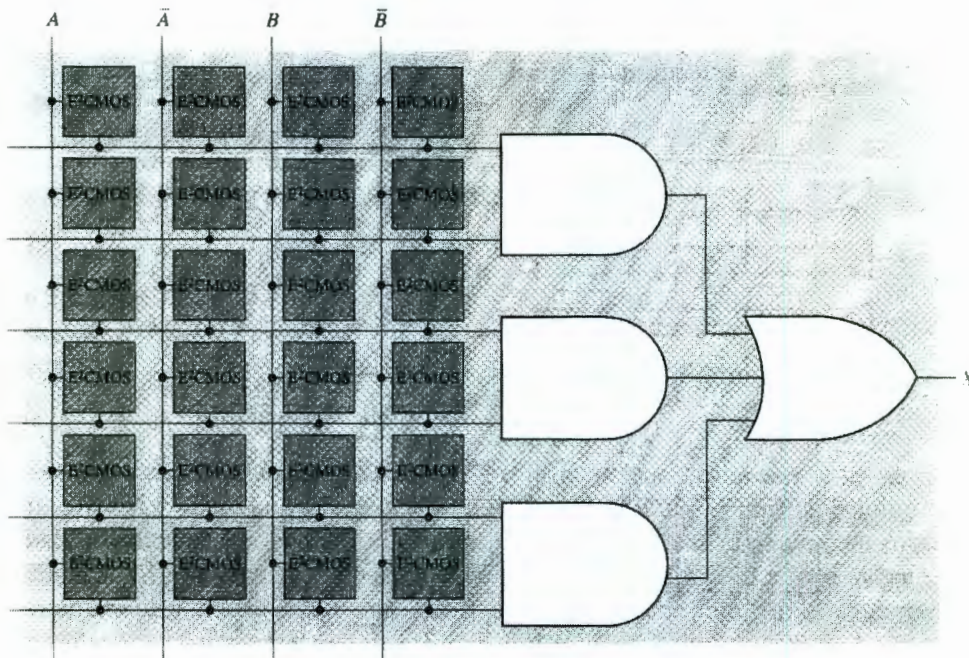


Figura 3.4 Estructura básica de una matriz E<sup>2</sup>CMOS de una GAL.

Cada fila está conectada a la entrada de una compuerta AND, y cada columna a una variable de entrada o a su complemento. Mediante la programación se activa o desactiva cada celda E<sup>2</sup>CMOS, y se puede aplicar cualquier combinación de variables de entrada, o sus complementos, a una compuerta AND para generar cualquier término producto que se desee. Una celda activada conecta de forma efectiva su correspondiente fila y columna, y una celda desactivada desconecta la fila y la columna. Las celdas se pueden borrar y reprogramar eléctricamente. Una celda E<sup>2</sup>CMOS típica puede mantener el estado en que se ha programado durante 20 años o más.

Implementación de una suma de productos. En la figura 3.5 se muestra un ejemplo de una sencilla matriz GAL, programada para obtener el producto  $\bar{A}B$  en la compuerta AND superior,  $AB$  en la compuerta del centro y  $A\bar{B}$  en la compuerta AND inferior.

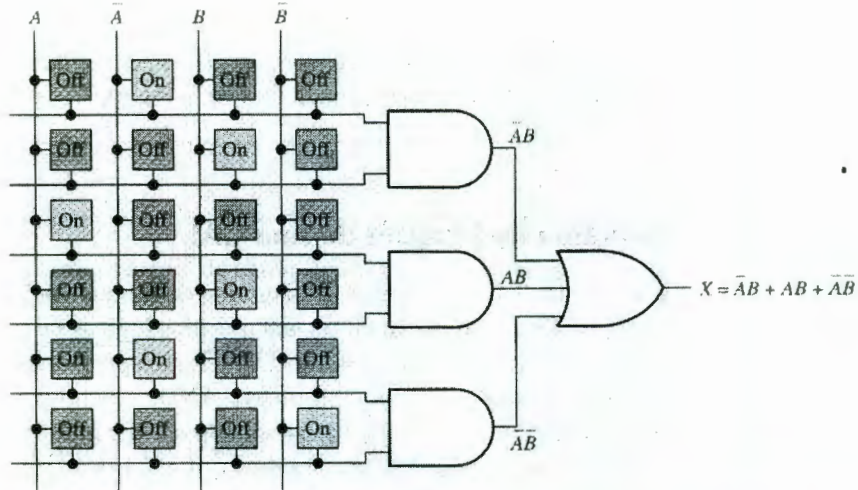


Figura 3.5 Implementación de una suma de productos con una GAL

Como se indica, las celdas E<sup>2</sup>CMOS activadas conectan las variables deseadas o sus complementos con las apropiadas entradas de las compuertas AND. Las celdas E<sup>2</sup>CMOS están desactivadas cuando una variable o su complemento no se utilizan en un determinado producto. La salida final de la compuerta OR es una suma de productos.

Diagrama de bloques de una GAL.

En la figura 3.6, se presenta el diagrama de bloques de una GAL. Las salidas de la matriz AND se introducen en las macroceldas lógicas de salida (OLMC, output logic macrocells), que contiene compuertas OR y lógica programable. Una GAL típica puede tener ocho o más entradas a su matriz AND, y ocho o más entradas/salidas de las OLMC como se indica en el diagrama, siendo  $n \geq 8$  y  $m \geq 8$ .

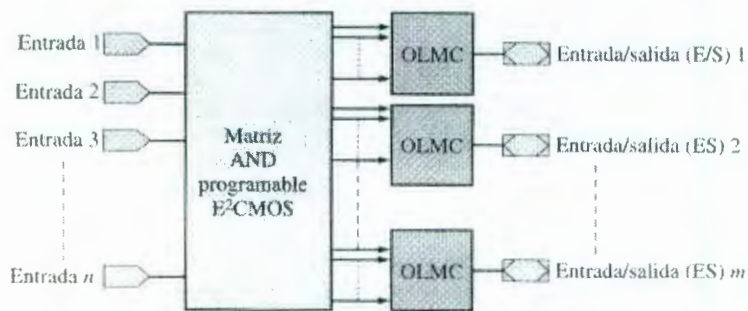


Figura 3.6. Diagrama de bloques de una GAL

Las macroceldas lógicas de salida (OLMC) están formadas por circuitos lógicos que se pueden programar como lógica combinacional o como lógica secuencial.

#### Referencia estándar de una GAL

Las GAL existen en una gran variedad de configuraciones, cada una de las cuales se identifica por una única referencia. Esta referencia siempre comienza por el prefijo GAL. Los dos primeros dígitos que siguen al prefijo indican el número de entradas, incluyendo las salidas que se pueden configurar como entradas. La letra V que sigue al número de entradas designa una configuración de salida variable. El número o los dos números siguientes al tipo de salida especifican el número de salidas. La figura 3.7 muestra un ejemplo de la nomenclatura de la GAL.

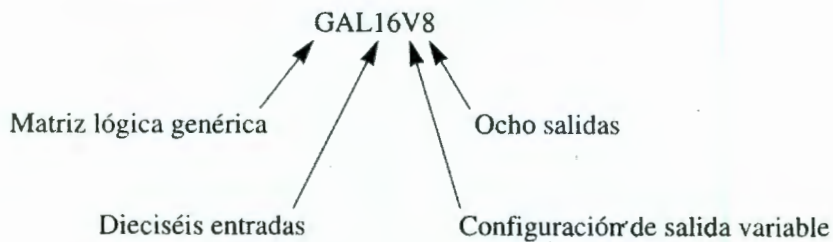


Figura 3.7 Nomenclatura de las GAL

#### 3.3.- Buffer unidireccional de 8 bits (74LS244).

La mayoría de las aplicaciones de la línea de comunicaciones usa un bus con más de un bit de datos. Por ejemplo, en un sistema de microprocesadores de 8 bits, el canal de datos tiene un ancho de 8 bits y los dispositivos periféricos normalmente colocan los datos de 8 bits a la vez en el canal.

En seguida se muestran el diagrama y símbolos lógicos para el dispositivo octal 74LS244 (figura 3.8) de tres estados no inversor. Octal significa que la parte contiene ocho buffers individuales. Las entradas de habilitación,  $\overline{1G}$  y  $\overline{2G}$ , deben activarse para habilitar las salidas del dispositivo de tres estados. Los



símbolos rectangulares dentro de los símbolos del buffer indican histéresis, una característica eléctrica de las entradas que mejora la inmunidad al ruido.

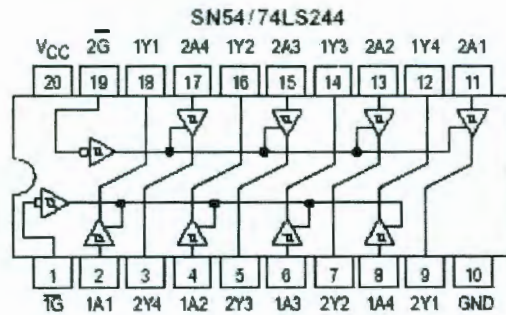


Figura 3.8. El buffer 74LS244

El buffer (compensador) 74LS244. Se envían los datos (1 byte mediante el registro de datos) al buffer y se selecciona por cual deben salir.

#### Descripción del buffer 74LS244

Entradas	Salidas
1A1 Entrada 1	1V1 Salida 1
1A2 Entrada 2	1V2 Salida 2
1A3 Entrada 3	1V3 Salida 3
1A4 Entrada 4	1V4 Salida 4
2A1 Entrada 5	2V1 Salida 5
2A2 Entrada 6	2V2 Salida 6
2A3 Entrada 7	2V3 Salida 7
2A4 Entrada 8	2V4 Salida 8

#### Alimentación y operación

1 $\bar{G}$  Selección de nibble 1A. (seleccionar con nivel bajo)

2 $\bar{G}$  Selección de nibble 2A. (seleccionar con nivel bajo)

Vcc	5 voltios
Gnd	Tierra

La fuente de 5 voltios para alimentar este circuito se puede obtener directamente de la fuente de poder de la PC, o del puerto de juegos (ver fuente de alimentación).

#### Modo de operación

El 74LS244 está formado por dos grupos de 4 bits. Cuando se selecciona un grupo, los bits que estén en la entrada serán transferidos a la salida. La selección del componente se realiza a través del registro de control. El pin del registro de control debe ser conectado a los dos bits de habilitación para que la transferencia sea de 8 en 8 bits.

Para disminuir lo más posible el riesgo de daños al puerto se utiliza un circuito integrado 74LS244 como etapa separadora y al mismo tiempo se mejora la capacidad de manejo de corriente

#### 3.4.- Buffer bidireccional de 8 bits (74LS245).

El dispositivo de tres estados más básico es un registro (buffer) de tres estados, a menudo llamado alimentador de tres estados. Los símbolos lógicos para cuatro registros de tres estados físicamente diferentes se muestran en la figura 3.9. El símbolo básico es de un amplificador no inversor (a,b) o un inversor (c,d). La señal extra en la parte superior del símbolo es una entrada de habilitación de tres estados que puede estar activa alta(a,c) o activa baja(b,d). Cuando la entrada de habilitación se activa, el dispositivo se comporta como un amplificador o inversor ordinario.



Figura 3.9. Registros de tres estados, (a) no inversor, habilitación activo alto; (b) no inversor, habilitación activo bajo; (c) inversor, habilitación activo alto; (d) inversor, habilitación activo bajo.

Cuando se niega la entrada de habilitación, la salida del dispositivo “flota”, esto es, va a un estado de alta impedancia (Z) y se comporta funcionalmente como si no estuviera ahí.

Los dispositivos de tres estados permiten que varias fuentes compartan una solo línea de comunicación, siempre y cuando un solo dispositivo “hable” en la línea a la vez. Los dispositivos típicos de tres estados se diseñan para que pasen más rápido al estado de alta impedancia de lo que salen del mismo. Esto significa que si las salidas de los dispositivos de tres estados están conectadas a la misma línea y deshabilitamos uno y habilitamos otro simultáneamente, el primer dispositivo no tomará la línea antes de que el segundo la deje.

Esto es importante, porque si ambos dispositivos trataran de tomar la línea al mismo tiempo y si ambos trataran de mantener valores de salida opuestos (0 y 1) entonces fluiría un exceso de corriente que crearía ruido en el sistema.

Un tranceptor de canal contiene pares de registros de tres estados conectados en direcciones opuestas entre cada par de terminales, de modo que los datos pueden transferirse en cualquier dirección. Por ejemplo, la figura 3.10 muestra el diagrama y símbolo lógicos para un tranceptor octal 74LS245 de tres estados. La entrada determina la dirección de la transferencia de A a B (DIR = 1) o de B a A (DIR = 0). El buffer de tres estados para la dirección seleccionada está habilitado solamente si G está activada.

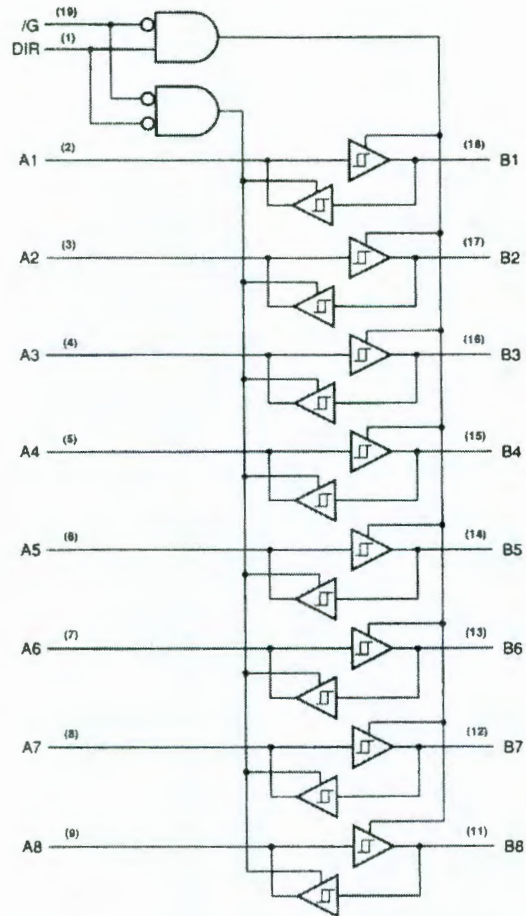


Figura 3.10. Diagrama lógico del trancceptor octal de tres estados 74LS245

Un trancceptor de bus se usa típicamente entre dos canales bidireccionales. Son posibles tres modos diferentes de operación, dependiendo del estado de  $\bar{G}$  y de DIR, como se muestra en su hoja de datos. Como es usual, es responsabilidad del diseñador asegurarse de que en ningún bus estén dos dispositivos transmitiendo simultáneamente en cualquier momento.

### Símbolos estándar IEEE

Los símbolos de buffer de tres estados usan una o más características del estándar IEEE:

Triángulo que señala hacia abajo ( $\nabla$ ). Denota una salida de tres estados.

Recuérdese también, que la entrada de habilitación etiquetada EN, fuerza a todas las salidas afectadas a un estado deshabilitado.

Otra característica importante del estándar IEEE se introdujo con los símbolos para los buffers de tres estados MSI:

Por lo tanto, los símbolos pueden dibujarse para el 74LS245 como se muestra en la figura 3.11. Las entradas de habilitación y dirección (terminales 1 y 19) se aplican a todos los elementos del dispositivo.

-Símbolo de histéresis ( $\square$ ). Las entradas con estos símbolos tienen histéresis.

-Flechas ( $\rightarrow$ ). Denotan la dirección del flujo de la señal cuando ésta no es estrictamente de izquierda a derecha.

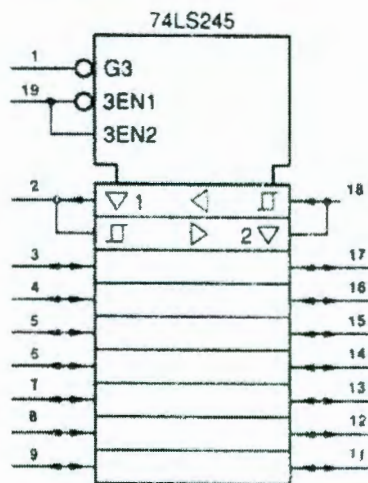


Figura 3.11. Símbolo lógico estándar IEEE para el 74LS245.

### 3.5. - Descripción de la PPI8255

La interface periférica programable (PPI) 8255 es un muy popular componente de bajo costo para interfaces, que se encuentra en muchas aplicaciones. La PPI tiene 24 terminales para I/O, programables por grupos de 12 terminales, que se utilizan en tres modos diferentes de funcionamiento. La PPI 8255 puede tener interface con cualquier dispositivo de I/O compatible con TTL para el microprocesador. Entre las aplicaciones actuales podemos comprobar como el 8255 se encuentra con facilidad en tarjetas de expansión de puertos para el bus ISA del PC, ya que simplifica enormemente la elaboración de la placa de circuito impreso aportando suficiente potencia de control. Es también ideal para expansión de puertos I/O en monoplacas o gestión de periféricos como conversores analógico/digital y otros.

#### 3.5.1.- Control de grupos

El 8255 se encapsula en formato DIP de 40 terminales como es habitual en los controladores del *chipset* 8086. Existen cinco grupos de señales, además de los dos terminales de alimentación:

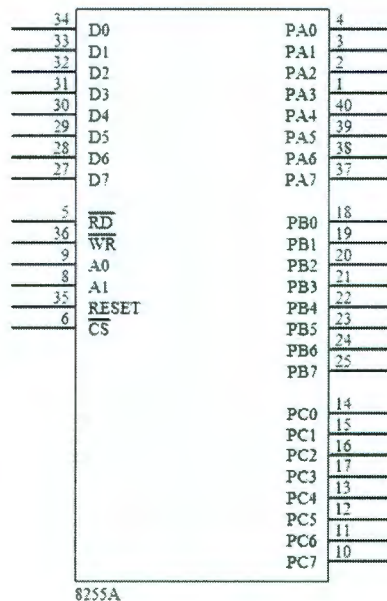


Figura 3.12 PPI8255

- Grupo de control
- Bus de datos
- Puerto A
- Puerto B
- Puerto C

En la figura 3.12 se ilustra el diagrama de base del 8255. Sus tres puertos de I/O (Marcadas A, B y C) se programan en grupos de 12 terminales. Las conexiones de grupo A constan del puerto A (PA7-PA0) y de la mitad superior del puerto C (PC7-PC4); el grupo B consiste en el puerto B (PB7-PB0) y la mitad inferior del puerto C (PC3-PC0). El PPI8255 se selecciona con su terminal CS para programarla o para leer o escribir en puerto. La selección de sus registros se logra por medio de las terminales A1 y A0, que seleccionan un registro interno para programación u operación. En la tabla 1 se muestran las asignaciones de puertos de I/O usadas para programación y acceso a esos puertos.

Tabla 1. Asignación de puerto de I/O para el PPI8255.

A1	A0	Función
0	0	Puerto A
0	1	Puerto B
1	0	Puerto C
1	1	Registro de comandos

El PPI8255 es bastante sencillo de conectar (hacer interface) con el microprocesador y el programa. Para que se pueda leer o escribir en la PPI8255, la entrada CS debe ser un 0 lógico y la dirección correcta de I/O se debe aplicar en las terminales A1 y A0

La entrada de RESET del PPI8255 lo inicializa siempre que se inicializa el microprocesador. Una entrada RESET al PPI8255 hace que se inicialicen todos los puertos como puertos de entrada en el modo de funcionamiento 0. Debido a que las terminales de los puertos son programadas como terminales de entrada, al

aplicar un RESET, se evitan daños cuando se aplica corriente por primera vez al sistema. Después de un RESET no se necesitan otras instrucciones para programar el PPI8255, siempre y cuando se utilice como dispositivo de entrada en los tres puertos.

### 3.5.2.- Modos de operación.

#### Modo 0:

Esta configuración implementa simples funciones de entrada/salida para cada bit de los 2 puertos de 8 bits y los 2 puertos de 4 bits; los datos son leídos y escritos sin más, sin ningún tipo de control adicional. Los puertos pueden ser configurados de entrada (sin latch) o salida (los datos permanecen memorizados en un latch).

#### Modo 1:

Este modo es el *strobed input/output* (entrada/salida a través de un protocolo de señales). Existen dos grupos (A y B) formados por los puertos A y B más el puerto C, que es repartido a la mitad entre ambos grupos para gestionar las señales de control. Tanto si se configura de entrada como de salida, los datos permanecen en un latch. Con este modo es factible conectar dos PPI8255 entre sí para realizar transferencias de datos en paralelo a una velocidad considerable, con posibilidad de generar interrupciones a la CPU en el momento en que los datos son recibidos o hay que enviar uno nuevo.

#### Modo 2:

En este modo se constituye un bus bidireccional de 8 bits, por el que los datos pueden ir en un sentido o en otro, siendo el flujo regulado de nuevo por señales de control a través del puerto C. Este modo sólo puede operar en el Grupo A. Tanto las entradas como salidas son almacenadas en latch.



Nota: Existen varias combinaciones posibles de estos modos, en las que las líneas del puerto C que no son empleadas como señales de control pueden actuar como entradas o salidas normales, quedando las líneas de control fuera del área de influencia de los comandos que afectan a las restantes.

### 3.5.3.- Programación.

Tras un Reset, los 3 puertos quedan configurados en modo entrada, con las 24 líneas puestas a "1" gracias a la circuitería interna. Esta configuración por defecto puede no obstante ser alterada con facilidad. El modo para el puerto A y B se puede seleccionar por separado; el puerto C está dividido en dos mitades relacionadas con el puerto A y el B. Todos los registros de salida son reseteados ante un cambio de modo, incluyendo los biestables de estado. Las configuraciones de modos son muy flexibles y se acomodan a casi todas las necesidades posibles. Los tres puertos pueden ser accedidos en cualquier momento a través de la dirección I/O que les corresponde, como se vio en el apartado anterior.

La palabra de control a enviar es (figura 3.13):

El bit 7 a uno permite acceder al registro de control y configurar el modo de funcionamiento del periférico. Si a la hora de acceder a dicho registro ponemos a cero el bit 7 accedemos al control individual de las líneas de salida del puerto C. Los puertos A y B son leídos y escritos en bloques de cuatro u ocho bits según sea la configuración de los mismos, pero el puerto C permite un acceso individual sobre las líneas de salida del mismo:

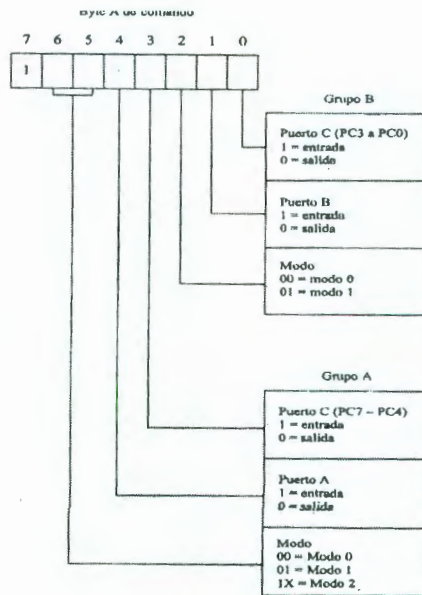


Figura 3.13 Palabra de control.

- Bit 0: Valor de salida (1 ó 0)
- Bit 3, 2, 1: Selección de bit
- (000=bit 0, 001=bit 1 ...111=bit 7)
- Bit 4, 5, 6: No influyen, cualquier valor.
- Bit 7: Flag de modo(0=Acceso al puerto C)

Si el bit más significativo de la palabra de control está borrado, es tratada entonces como un comando especial que permite activar o inhibir selectivamente los bits del puerto C, figura 3.14:

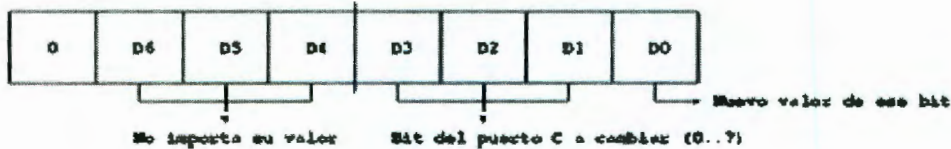


Figura 3.14 Código de la palabra de control.

Esto es particularmente útil para los modos 1 y 2, donde las interrupciones generadas por las líneas del puerto C pueden ser activadas o inhibidas simplemente poniendo a 1 ó 0, respectivamente, el flip-flop interno INTE correspondiente a la interrupción que se trate. Todos son puestos a cero tras establecer el modo.

### 3.6.- Conversión Analógica-Digital (A/D)

La conversión analógica-digital es el proceso por el cual una magnitud analógica se convierte a formato digital. La conversión A/D es necesaria cuando se debe expresar en forma digital una serie de magnitudes medidas, para procesarlas en una computadora, presentarlas en un display o almacenarlas.

#### 3.6.1.- Convertidor analógico-digital por aproximaciones sucesivas ADC0808

Quizás el método de conversión A/D más ampliamente utilizado es el de las aproximaciones sucesivas. Tiene un tiempo de conversión mucho menor que los otros métodos, a excepción del método flash. Asimismo, el tiempo de conversión es fijo para cualquier valor de la entrada analógica.

La Figura 3.15 muestra un diagrama de bloques básico de un ADC por aproximaciones sucesivas de 4 bits. Está formado por un DAC, un registro de aproximaciones sucesivas (SAR, successive-approximation register) y un comparador. Su funcionamiento básico es el siguiente: los bits de entrada al DAC se habilitan (se ponen a 1) de uno en uno sucesivamente, comenzando por el bit más significativo (MSB). Cada vez que se habilita un bit, el comparador produce una salida que indica si la tensión analógica de entrada es mayor o menor que la salida del DAC. Si la salida del DAC es mayor que la entrada analógica, la salida del comparador está a nivel BAJO, haciendo que el bit en el registro pase a cero. Si la salida es menor que la entrada analógica, el bit 1 se mantiene en el registro. El sistema realiza esta operación con el MSB primero, luego con el siguiente bit

más significativo, después con el siguiente, y así sucesivamente. Después de que todos los bits del DAC hayan sido aplicados, el ciclo de conversión estará completo.

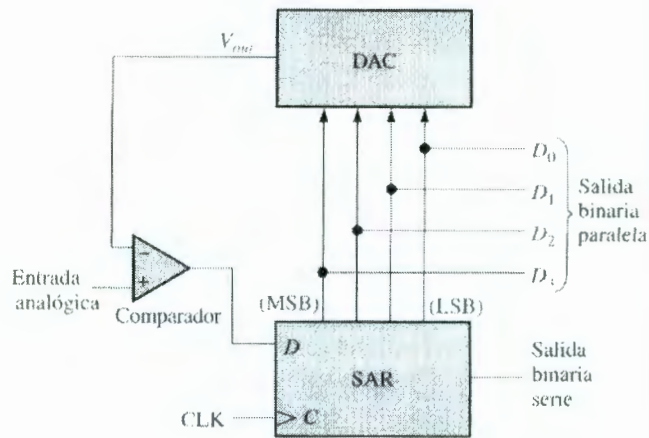


Figura 3.15 ADC por aproximaciones sucesivas.

Para comprender mejor el funcionamiento del ADC por aproximaciones sucesivas, vamos a realizar un ejemplo específico de una conversión de 4 bits. La figura 3.16 ilustra la conversión paso a paso de una tensión analógica de entrada constante (en este caso, 5.1 V). Suponemos que el DAC tiene las siguientes características de salida:  $V_{OUT} = 8\text{ V}$  para el bit  $2^3$  (MSB),  $V_{OUT} = 4\text{ V}$  para el bit  $2^2$ ,  $V_{OUT} = 2\text{ V}$  para el bit  $2^1$  y  $V_{OUT} = 1\text{ V}$  para el bit  $2^0$  (LSB).

La Figura 3.16 (a) muestra el primer paso del ciclo de conversión, con el MSB = 1. La salida del DAC es 8V. Puesto que es mayor que la entrada analógica de 5.1V, la salida del comparador está a nivel BAJO, lo que hace que el MSB del SAR se ponga a 0.

La Figura 3.16 (b) muestra el segundo paso del ciclo de conversión, con el bit  $2^2$  igual a 1. La salida del DAC es 4V. Puesto que es menor que la entrada analógica de 5.1 V, la salida del comparador conmuta a nivel ALTO, lo que hace que este bit se mantenga en el SAR.

La Figura 3.16 (c) muestra el tercer paso del ciclo de conversión, con el bit  $2^1$  igual a 1. La salida del DAC es 6 V, ya que los bits de entrada  $2^2$  y  $2^1$  están a 1;  $4\text{ V} + 2\text{ V} = 6\text{ V}$ . Puesto que es mayor que la entrada analógica de 5,1V, la salida del comparador conmuta a nivel BAJO, lo que hace que este bit se ponga a cero.

La Figura 3.16 (d) muestra el cuarto y último paso del ciclo de conversión, con el bit  $2^0$  igual a 1. La salida del DAC es 5 V, ya que los bits de entrada  $2^2$  y  $2^0$  están a 1;  $4\text{ V} + 1\text{ V} = 5\text{ V}$ .

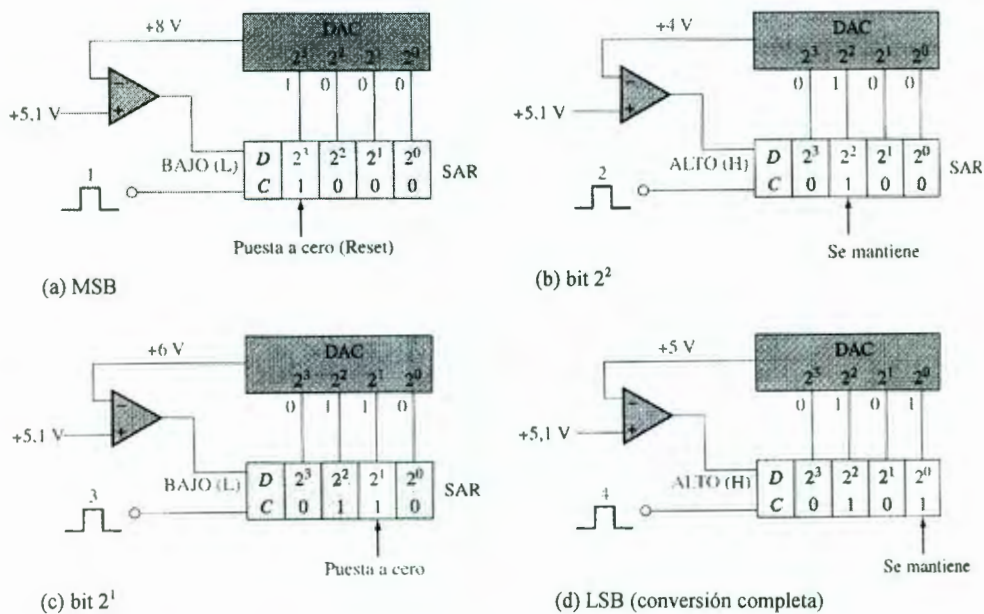


Figura 3.16. Proceso de conversión por aproximaciones sucesivas.

Se han probado los cuatro bits, y el ciclo de conversión ha sido completado. En este momento, el código binario almacenado en el registro es 0101, que es aproximadamente el valor binario de la entrada analógica de 5,1 V. Más bits producirán un resultado aún más preciso. A continuación, se inicia un nuevo ciclo de conversión y el proceso se repite. El SAR se borra al comienzo de cada nuevo ciclo.

### 3.6.2.- Descripción del ADC0808.

Se seleccionó el ADC 0808 que tiene 8 bits de resolución con un error de  $\pm 1/2$  LSB. Ocho canales para recepción de señales, estos están multiplexados. Este es un ADC por aproximaciones sucesivas. Funciona con una alimentación de +5V DC, cuenta con 2 entradas ( $V_{REF (+)}$  y  $V_{REF (-)}$ ) de voltaje las cuales son sus referencias de voltaje mínimo y máximo para comparar el voltaje de los sensores analógicos, cuenta con un tiempo de conversión de 100 $\mu$ s. También garantiza la característica de monotonicidad y dispone de START y ALE, que le indican que inicie la conversión. El EOC marca el fin de conversión, así como OE habilita cuando se quiere la señal en los 8 bits en la salida digital. Una vez que se habilita ALE, es decir, que se a asignado el canal a leer (que puede ir desde 0 a 7), empieza la conversión de analógico a digital de acuerdo con el tiempo del CLK este puede variar de 90  $\mu$ s como minimo hasta un maximo de 116  $\mu$ s.

En la figura 3.17 se muestra la configuración a bloques del ADC0808 el cual se utiliza para adquirir las señales analógicas.

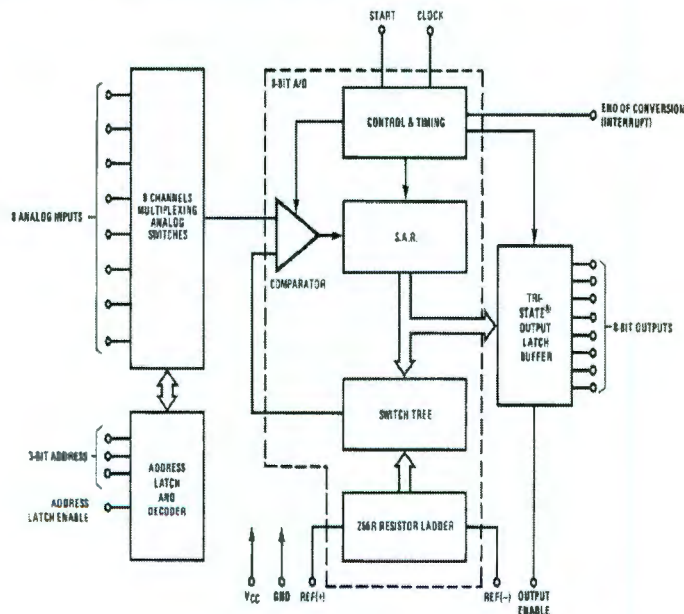


Figura 3.17 Diagrama en bloques.

## CAPÍTULO 4.- CIRCUITOS DE CONTROL DE POTENCIA

### 4.1.- Introducción

Un problema usual en el control es el de enviar señales desde un circuito de mando con una cierta tensión de referencia a semiconductores de potencia cuyos terminales de excitación están a distinto potencial debido a la propia naturaleza del circuito de potencia.

Para el control de la carga analógica en forma digital, se utiliza un circuito de control optoaislado, para evitar daños en cualquier parte del sistema computarizado; si es que existiera algún tipo de corte o problema en la parte analógica del sistema de voltaje analógico, éste podría penetrar en la computadora, es por ello que al optoaislarla se puede garantizar que en ningún momento éste voltaje analógico tendrá inferencia sobre la parte digital, y de esa forma poder dañar la computadora, ya que la señal de activación será pasada como luz al circuito, de modo que estará eléctricamente aislada. En la aplicación se utilizan los siguientes circuitos de potencia para controlar las cargas desde niveles lógicos, por medio de la interface.

### 4.2.- Optoacopladores.

Un optoacoplador combina un dispositivo semiconductor formado por un fotoemisor, un fotoreceptor y entre ambos hay un camino por donde se transmite la luz. Todos estos elementos se encuentran dentro de un solo encapsulado como se muestra en la figura 4.1.

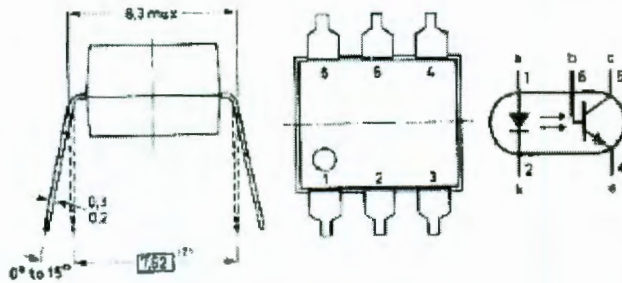


Figura 4.1. Encapsulado de un optocoplador.

La señal de entrada es aplicada al fotoemisor y la salida es tomada por el fotoreceptor. Los optocopladores son capaces de convertir una señal eléctrica en una señal luminosa modulada y volver a convertirla en una señal eléctrica. La gran ventaja de un optocoplador reside en el aislamiento eléctrico que puede establecerse entre los circuitos de entrada y salida.

En este caso, el optocoplador utilizado es del tipo MOC3010 figura 4.2.

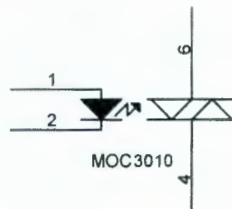


Figura 4.2. MOC3010.

#### 4.3.- Triac

El triac es un dispositivo semiconductor de tres terminales que se usa para controlar el flujo de corriente promedio a una carga, con la particularidad de que conduce en ambos sentidos y puede ser bloqueado por inversión de la tensión o al disminuir la corriente por debajo del valor de mantenimiento. El triac puede ser disparado independientemente de la polarización de compuerta, es decir, mediante una corriente de compuerta positiva o negativa.



Cuando el triac conduce, hay una trayectoria de flujo de corriente de muy baja resistencia de una terminal a la otra, dependiendo la dirección de flujo de la polaridad del voltaje externo aplicado. Cuando el voltaje es más positivo en MT2, la corriente fluye de MT2 a MT1 en caso contrario fluye de MT1 a MT2. En ambos casos el triac se comporta como un interruptor cerrado. Cuando el triac deja de conducir no puede fluir corriente entre las terminales principales sin importar la polaridad del voltaje externo aplicado por tanto actúa como un interruptor abierto. En la figura 4.3 se muestra la estructura y símbolo equivalente de un triac.

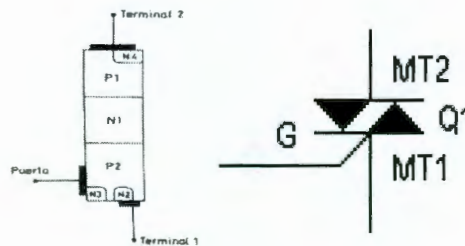


Figura 4.3. Estructura y símbolo equivalente de un Triac.

Para el sistema de control, la computadora enviará un pulso "1" lógico para poner a conducir el fotoemisor de un optoacoplador y de esta manera activar la salida del mismo, y enviar la corriente necesaria a la compuerta del Triac para que entre en conducción tal como se muestra en la figura 4.4.

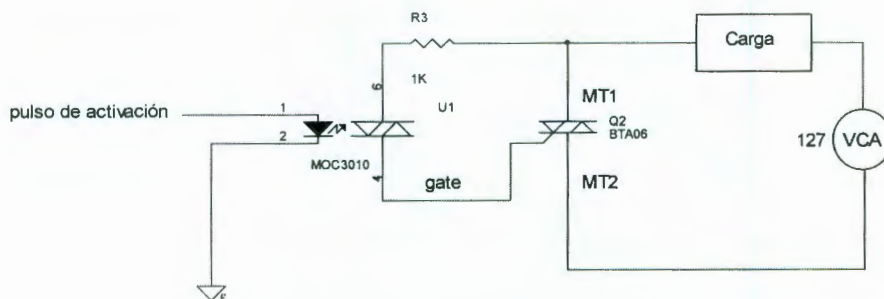


Figura 4.4. Diagrama del optoacoplador junto con el Triac y la carga.

#### 4.4.- Transistores de potencia

Los transistores de potencia tienen características controladas de activación y desactivación. Los transistores, que se utilizan como elementos conmutadores, se operan en la región de saturación, lo que da como resultado en una caída de voltaje baja en estado activo. La velocidad de conmutación de los transistores modernos es mucho mayor, por lo que se utilizan en forma amplia en convertidores de CA-CD y de CD-CA.

El funcionamiento y utilización de los transistores de potencia es idéntico al de los transistores normales, teniendo como características especiales las altas tensiones e intensidades que tienen que soportar y, por tanto, las altas potencias a disipar. En la figura 4.5 se muestra un transistor bipolar NPN y otro PNP.

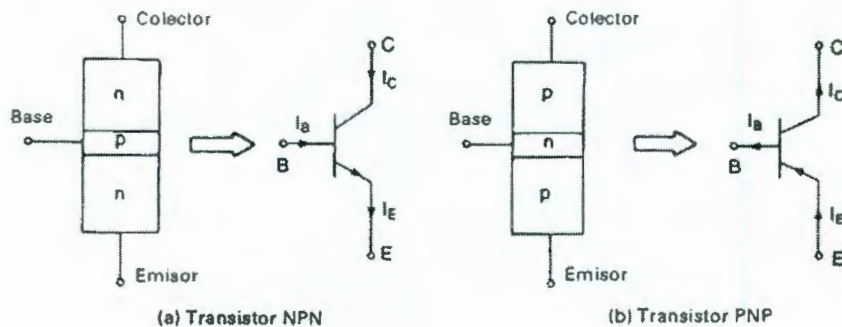


Figura 4.5. Transistores bipolares.

Para realizar el circuito optoacoplador para cargas de corriente continua de 24V, se utiliza el MOC3010 (figura 4.6) junto con un transistor bipolar NPN como el TIP121, en este caso el funcionamiento del circuito es muy similar al utilizado para el manejo de cargas de corriente alterna(figura 4.7).

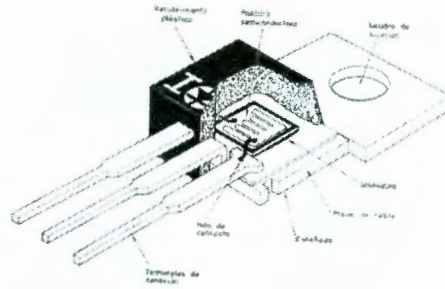


Figura 4.6. Cápsula plástica de un transistor de media potencia.

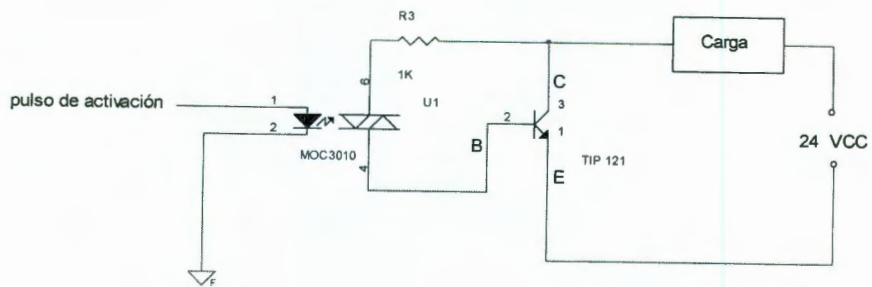


Figura 4.7. Diagrama del optoacoplador junto con el transistor NPN y la carga.

## CAPÍTULO 5.- APLICACIÓN EN EL CENTRO DE INFORMACIÓN

### 5.1.- Introducción

La mejora de los métodos de medición y la aparición de nuevas tecnologías no solo han resultado en más y mejores sensores, si no también provee de oportunidades para adaptar sensores con requerimientos específicos para el acondicionamiento confortable de espacios.

Los sensores electrónicos han ayudado no sólo a medir con mayor exactitud las magnitudes, sino a poder operar con dichas medidas. Pero no se puede hablar de los sensores sin sus acondicionadores de señal, ya que normalmente los sensores ofrecen una variación de señal muy pequeña y es muy importante equilibrar las características del sensor con las del circuito que le permite medir, acondicionar, procesar y actuar con dichas medidas.

En general se habla de sensores, pero se pueden distinguir las siguientes definiciones:

- **Sensor:** Un sensor es un dispositivo que, a partir de la energía del medio donde se mide, da una señal de salida transducible que es función de la variable medida.
- **Transductor:** Es un dispositivo que al ser afectado por la energía de un sistema de transmisión proporciona energía del mismo o de otro tipo a un segundo sistema de transmisión. Esta transmisión de energía puede ser eléctrica, mecánica, química, óptica (radiante), térmica, etc.

El transductor convierte una variable física en una variable generalmente eléctrica que puede ser más fácilmente manipulada. Si el transductor produce una señal eléctrica (voltaje o corriente) sin necesidad de

excitación eléctrica, se les llama transductores activos o de autogeneración; y si únicamente generan una señal de salida sólo cuando se utilizan con una fuente de excitación se les llaman transductores pasivos.

La administración de un edificio, requiere un fluido continuo de datos cuantitativos de las mediciones físicas dentro y fuera del edificio. Esto implica el uso de sensores con una salida eléctrica conectada a un sistema de adquisición de datos.

Para poder tener un buen control de un edificio inteligente es necesario tener un amplio conocimiento de las variables que influyen en él como son: iluminación, calefacción, aire acondicionado, detección de incendio, detectores de presencia, etc.

## 5.2.- Luminosidad

Los componentes fotodetectores son aquellos que varían algún parámetro eléctrico en función de la luz. Estos sensores permiten monitorear la cantidad de luz que hay dentro de un espacio a acondicionar y permiten tomar decisiones sobre la conveniencia de prender o apagar el sistema eléctrico de iluminación.

Aquí se menciona principalmente el funcionamiento de tres componentes:

- Fotorresistencias
- Fotodiodos
- Fototransistores

### 5.2.1.- Fotorresistencias

Una fotorresistencia se compone de un material semiconductor cuya resistencia varía en función de la iluminación. La fotorresistencia reduce su valor resistivo en presencia de rayos luminosos. Es por ello que también se le llama resistencias dependientes de luz (Light Dependent Resistors), fotoconductores o células fotoconductoras.

Cuando incide la luz en el material fotoconductor se generan pares electrón-hueco. Al haber un mayor número de portadores, el valor de la resistencia disminuye. De este modo, la fotorresistencia iluminada tiene un valor de resistencia bajo, figura 5.1.

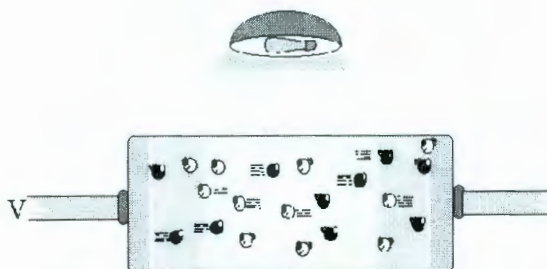


Figura 5.1. Fotogeneración de portadores

Si dejamos de iluminar, los portadores fotogenerados se recombinarán hasta volver hasta sus valores iniciales. Por lo tanto el número de portadores disminuirá y el valor de la resistencia será mayor, figura 5.2.



Figura 5.2. Estado de conducción sin fotogeneración

Por supuesto, el material de la fotorresistencia responderá a unas longitudes de onda determinadas. Es decir, la variación de resistencia será

máxima para una longitud de onda determinada. Esta longitud de onda depende del material y el dopado, y deberá ser suministrada por el proveedor.

En la zona visible (0,38 a 0,75  $\mu\text{m}$ ) y del infrarrojo muy cercano (0,75 a 1,4  $\mu\text{m}$ ) se emplean compuestos de cadmio. En la zona del infrarrojo cercano (1,4 a 3  $\mu\text{m}$ ) se emplean compuestos de plomo. En la zona del infrarrojo medio (3 a 14  $\mu\text{m}$ ) y lejano (hasta 1 mm) se emplean compuestos de indio, telurio, y aleaciones de telurio, cadmio y mercurio, así como silicio y germanio.

### 5.2.2- Fotodiodos

Los fotodiodos generan una pequeña corriente proporcional al nivel de iluminación. Algunas de las aplicaciones típicas son: en la industria (sensores de posición, lector de códigos de barras, impresoras láser), en comunicaciones (receptores de fibra óptica), en medicina (detección de rayos X, analizador de partículas en la sangre), en óptica (auto-foco y control de flash). El circuito equivalente de un fotodiodo se muestra en la figura 5.3.

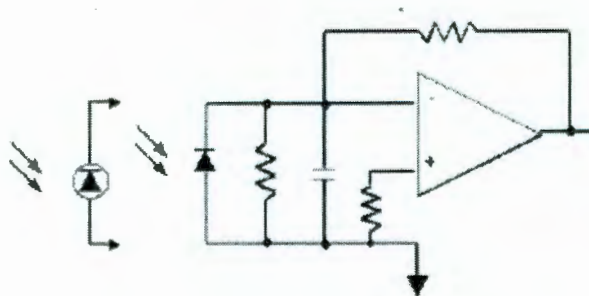


Figura 5.3. Circuito equivalente de un fotodiodo conectado a un op-amp.

El modo de trabajo lineal más preciso se obtiene con el sistema denominado fotovoltáico. La corriente obtenida para diferentes intensidades de luz se muestra en la tabla 2.

Tabla 2. Corriente obtenida para diferentes intensidades de luz.

	ILUMINACION	CORRIENTE
Sol directo	1000 fc	30 mA
Cielo nublado	100 fc	3 mA
Anochecer	100 fc	0.03 mA
Noche con Luna llena	0.1 fc	3000 pA
Noche sin Luna	0.001 fc	30 pA

### 5.2.3.- Fototransistor

Se trata de un transistor bipolar sensible a la luz, figura 5.4.

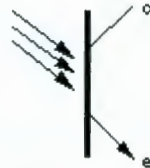


Figura 5.4. Símbolo del fototransistor

El funcionamiento de un fototransistor viene caracterizado por los siguientes puntos:

1. Un fototransistor opera, generalmente sin terminal de base ( $I_b=0$ ) aunque en algunos casos hay fototransistores que tienen disponible un terminal de base para trabajar como un transistor normal.
2. La sensibilidad de un fototransistor es superior a la de un fotodiodo, ya que la pequeña corriente fotogenerada es multiplicada por la ganancia del transistor.
3. Las curvas de funcionamiento de un fototransistor son las que aparecen en la figura 5.5. Como se puede apreciar, son curvas análogas a las del transistor BJT, sustituyendo la intensidad de base por la potencia luminosa por unidad de área que incide en el fototransistor.



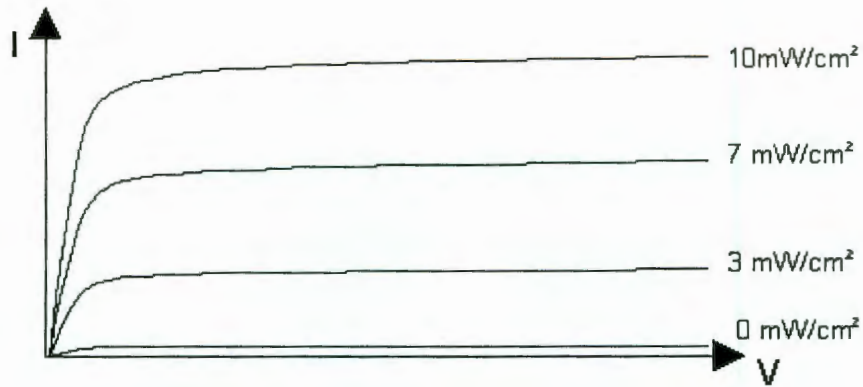


Figura 5.5. Curvas características de un fototransistor típico

### 5.3.- Temperatura.

Probablemente sea la temperatura el parámetro físico más común que se mide en una aplicación electrónica, incluso en muchos casos en que el parámetro de interés no es la temperatura, ésta se ha de medir para incluir indirectamente su efecto en la medida deseada. En un espacio a acondicionar este parámetro físico es de los más importantes ya que este espacio debe tener una temperatura confortable para los usuarios.

La diversidad de sus aplicaciones ha condicionado igualmente una gran proliferación de dispositivos sensores y transductores, desde la sencilla unión bimetalica de los termostatos, hasta los dispositivos semiconductores más complejos.

#### Tipos de sensores de temperatura

- Termopar.
- RTD's
- Circuito Integrado.

### 5.3.1.-Termopar.

Este consta de dos metales unidos en una punta y cuyas características es que produce una corriente eléctrica proporcional a la temperatura que se le aplica a dichos metales, el principio de medición de temperatura utilizando termopares se basa en tres principios físicos, que son:

- Efecto Seebeck: Al unir dos cables de materiales diferentes formando un circuito, se presenta una corriente eléctrica cuando una de las juntas es calentada.
- Efecto Peltier: Consiste en que cuando una corriente eléctrica fluye a través de una junta de dos metales diferentes, se libera o absorbe calor. Cuando la corriente eléctrica fluye en la misma dirección que la corriente Seebeck, el calor es absorbido en la junta caliente y liberado en la junta fría.
- Efecto Thomson: Un gradiente de temperatura en un conductor metálico está acompañado por un gradiente de voltaje, cuya magnitud y dirección depende del metal que se esté utilizando.

Este sensor es sencillo y barato, produce un voltaje pequeño, por lo que la electrónica asociada a él es cara; necesita una referencia para poder medir correctamente, es poco estable y sensitivo.

### 5.3.2. - RTD's

El principio de funcionamiento se basa en que al existir un cambio de temperatura en un material cambia su resistencia eléctrica de una manera definida. Para metales puros, la relación que gobierna la termometría de resistencia es:

$$R_T = R_0 (1 + at + bt^2 + ct^3 + \dots)$$

Donde  $R_T$  es la resistencia a la temperatura  $t$ ,  $R_0$  es la resistencia a la temperatura de referencia (usualmente  $0^\circ\text{C}$ ),  $a$  es el coeficiente de temperatura de la resistencia eléctrica (se mide en  $\text{W/W}^\circ\text{C}$ ,  $b$  y  $c$  son coeficientes calculados basándose en dos o más puntos conocidos (puntos de calibración) de resistencia-temperatura.

### 5.3.3.- Circuito integrado.

Un desarrollo muy reciente en la termometría han sido los circuitos integrados, este avance ha permitido producir sensores de temperatura muy precisos basados en esta tecnología. Estos sensores actúan como fuentes constantes de corriente o voltaje. Estos producen una corriente o voltaje proporcional a la temperatura absoluta. Valores típicos son de  $1\mu\text{A/K}$  y  $10\text{mV/K}$ . La integración de mediciones de temperatura con este tipo de sensores resulta en soluciones muy baratas y simples.

#### Sensores de temperatura con salida en corriente

El AD590, AD592 y AD2626 de *Analog Devices*, son dispositivos de dos terminales cuya corriente de salida es proporcional a la temperatura, variando a razón de  $1\mu\text{A}$  por cada  $^\circ\text{K}$  de variación y un offset de  $273.2\mu\text{A}$  a una temperatura de  $273.2^\circ\text{K}$  ( $0^\circ\text{C}$ ) en el caso del AD590, este sensor fue seleccionado principalmente por su respuesta casi lineal ( $\pm 0.3^\circ\text{C}$ ) y debido a que al tener como salida una corriente, nos permite conectarlo a grandes distancias sin pérdidas de información. La señal de este sensor es convertida a voltaje por medio de una resistencia de precisión, para que pueda ser conectado a la tarjeta de adquisición de datos que se tiene configurada para operar en modo de voltaje. No necesitan calibración alguna o ajuste externo.

### 5.3.4.- Acondicionamiento de la señal

Hay tres tipos de ruido inherentes en cualquier sistema de adquisición de datos que son:

- Transmitido: es el ruido recibido con la señal original e indistinguible de esta.
- Intrínseco: es el ruido generado dentro de los dispositivos usados en un circuito.
- Inducido: es el ruido tomado de fuera del circuito.

Hay tres problemas envueltos en cualquier problema de ruido, que son: fuentes del ruido (radio señales AM, campos magnéticos, señales lógicas, etc.), medios de acoplamiento (es la forma como la fuente de ruido entra al circuito: por impedancia común, capacitancia, inductancia mutua) y el receptor (o la susceptibilidad del circuito al ruido). Estos problemas están relacionados con el ruido inducido, que es con el que tratamos en nuestros experimentos ya que es el ruido más penetrante en sistemas de adquisición de datos y sistemas de prueba. Esta es la única forma de ruido que puede ser influenciado por la selección del cableado, blindado, etc. El blindaje correcto del cableado (véase figura 5.6) nos puede eliminar la señal de ruido de 60 Hz y el ruido electrostático.

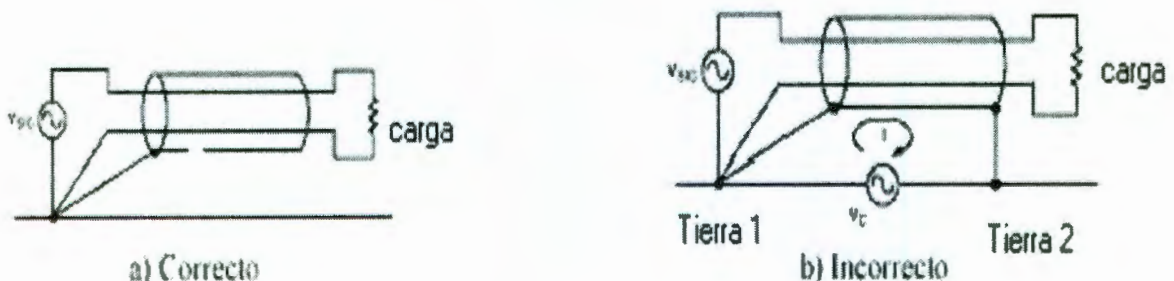


Figura 5.6. Blindaje del cable para la eliminación del ruido de 60Hz.

La tabla 3 muestra las características de los sensores de temperatura.

Tabla 3. Características de los sensores de temperatura

<b>TERMOPARES</b>	<b>RTDs</b>	<b>TERMISTORES</b>	<b>SEMICONDUCTORES</b>
Rango muy grande: -184°C a +2300°C	Rango: -200°C a +850°C	Poco Rango: 0°C a +100°C	Rango: -55°C a +150°C
Alta Precisión y Repetibilidad	Buena Linealidad	Pobre Linealidad	Linealidad: 1°C Precisión: 1°C
Necesita Unión Fria de Compensación	Requiere Excitación	Requiere Excitación	Requiere Excitación
Bajo Voltage de Salida	Bajo Costo	Alta Sensibilidad	Salida Típica 10mV/K, 20mV/K o 1µA/K

#### 5.4.- Detector de humo

Este sensor tiene especial importancia en la seguridad del edificio. Ya que si en su interior llegara a iniciarse un conato de incendio, este nos alertaría de ello; para evitar daños graves a los usuarios y equipos que se encuentren en su interior.

Los hay de 2 tipos:

- Fotoeléctricos
- Iónicos

##### 5.4.1.- Fotoeléctricos

Los sensores de humo fotoeléctricos se basan en una barrera de infrarrojos colocados en una cámara que cuando entra humo hay una interrupción del haz de infrarrojos.

Se utiliza un método similar que es con una lámpara y una celda fotoconductor que se montan en una cámara cerrada a la que puede entrar humo, pero no luz del exterior. El fotoconductor es una resistencia sensible a la

luz. Cuando no hay humo, es muy poca la luz que incide en el fotoconductor y su resistencia permanece en cierto valor alto, en forma tradicional, varios cientos de kilohms. Se muestra en la figura 5.7.

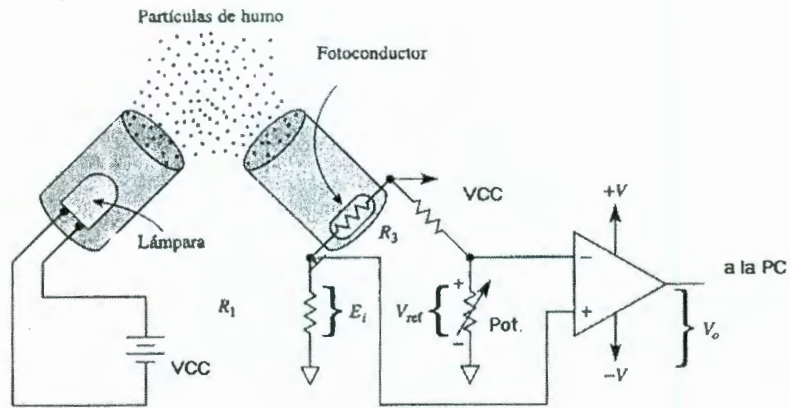


Figura 5.7. La luz reflejada por las partículas de humo hace que se envíe la señal a la PC.

Si entra humo a la cámara, éste provocará que la luz se refleje en las partículas de humo e incida en el fotoconductor. Ésta, a su vez, ocasiona que la resistencia del fotoconductor disminuya y se eleve el voltaje por  $R_1$ . A medida que  $E_i$  rebase el  $V_{ref}$ ,  $V_o$  pasará de  $-V_{sat}$  a  $+V_{sat}$  y esto hará que mande una señal de alarma a la PC. De esta manera, cuando las partículas de humo abandonan la cámara, la resistencia del fotoconductor aumenta y la alarma se desactiva. Es necesario montar la lámpara y la fotorresistencia en una caja negra y plana, a prueba de luz, en la que pueda penetrar el humo. La luz ambiental impide un correcto funcionamiento. La red resistiva a la entrada del amplificador operacional forma un puente de Wheatstone. Este circuito puede utilizarse también para monitorear el nivel de partículas de polvo en un ambiente de sala limpia.

#### 5.4.2.- Iónicos.

Los sensores de humo iónicos se basan en una cámara iónica, con material radioactivo, que cuando entra humo en dicha cámara se produce un

cambio de ionización y se procesa la señal a través de un completo circuito integrado.

### 5.5.- Detectores de presencia

Actualmente el ahorro de energía es ya una realidad que ha entrado en todos los sectores de la vida cotidiana. Además de buscar ahorrar energía en la industria u oficina, también a nivel personal ya se ha hecho latente esta necesidad.

Hablando de casos reales, en un estudio realizado (bticino) en diversas áreas de servicio en oficinas, se comprobó que el 40% del tiempo que las luces permanecían encendidas mientras dichas áreas se encontraban desocupadas.

Si estas luces estuvieran encendidas únicamente cuando se necesitan, además de obtener un beneficio económico tangible, se contribuiría con los esfuerzos que se realizan en el país para ahorrar energía.

Los detectores de presencia infrarrojos y ultrasónicos, además de provocar ahorro energético, económico y de recursos, nos brindan el máximo confort al automatizar el encendido y apagado de las luces cuando así se requiera.

Los detectores de presencia, han sido diseñados pensando en el ahorro de energía y comodidad para el usuario, debido a que al sensor la presencia de una persona en el área controlada, éstos mandan una señal a la PC para encender la luz y así de igual forma, apagar la luz una vez desocupada dicha área. Esto a la par con un sensor de luminosidad ya que se conjuntan dos factores luminosidad y presencia.

Los detectores de presencia funcionan con diferentes tecnologías:

- PIR (infrarrojo pasivo)

- Ultrasónica
- Dual

#### 5.5.1.- Tecnología PIR (rayos infrarrojos pasivos)

Los detectores PIR reaccionan sólo ante determinadas fuentes de energía tales como el cuerpo humano. Estos captan la presencia detectando la diferencia entre el calor emitido por el cuerpo humano y el espacio alrededor.

Los sensores PIR utilizan un lente de Fresnel que distribuye los rayos infrarrojos en diferentes radios (o zonas), los cuales tienen diferentes longitudes e inclinaciones, obteniendo así una mejor cobertura del área a controlar. Cuando se da un cambio de temperatura en alguno de estos radios o zonas, se detecta la presencia y se acciona la carga.

Con objeto de lograr total confiabilidad, esta tecnología integra además, un filtro especial de luz que elimina toda posibilidad de falsas detecciones causadas por la luz visible (rayos solares), así como circuitos especiales que dan mayor inmunidad a ondas de radio frecuencia.

La tecnología PIR permite definir con precisión al 100% el área de cobertura requerida.

Un ejemplo de un sensor con tecnología PIR se muestra en la figura 5.8.



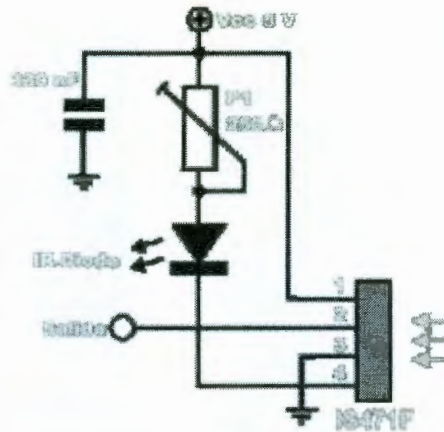


Figura 5.8. Diagrama de un sensor basado en tecnología PIR

### 5.5.2.- Tecnología Ultrasónica

Los detectores ultrasónicos son sensores de movimiento volumétricos que utilizan el principio Doppler. Los sensores emiten ondas de sonido ultrasónico hacia el área a controlar, las cuales rebotan en los objetos presentes y regresan al receptor del detector. El movimiento de una persona en el área provoca que las ondas de sonido regresen con una frecuencia diferente a la cual fue emitida, lo cual es interpretado como detección de presencia.

Los sensores ultrasónicos contienen un transmisor y uno o varios receptores. Estos transmiten las ondas sonoras a una alta frecuencia generada por un oscilador de cristal de cuarzo. Dicha frecuencia es tan alta que no alcanza a ser percibida por el hombre.

Dado que la cobertura ultrasónica puede "ver" a través de puertas y divisiones, es necesario darle una ubicación adecuada al sensor para evitar así, posibles detecciones fuera de la zona deseada.

Las áreas con alfombra gruesa y materiales antiacústicos absorben el sonido ultrasónico y pueden reducir la cobertura. La eficiencia del sensor también

puede verse alterada por flujo excesivo de aire (provocado por aires acondicionados, ventiladores, calefacción, etc.).

### 5.5.3.- Tecnología dual

La tecnología Dual combina las tecnologías PIR y Ultrasónica, proporcionando así el control de iluminación en áreas donde sensores de una sola tecnología pudieran presentar deficiencias en la detección.

La combinación de PIR y Ultrasónica permite que el sensor aproveche las mejores características de ambas tecnologías, ofreciendo así mayor sensibilidad y exactitud de operación.

Esta tecnología presenta diferentes configuraciones de operación. La configuración estándar enciende la iluminación cuando las dos tecnologías detectan ocupación de forma simultánea, la mantiene encendida mientras una de las dos siga detectando presencia y la apaga cuando el área se desocupa. Según las condiciones específicas de la zona a controlar, es posible cambiar dicha configuración.

Un ejemplo de aplicación pudiera darse en una sala de cómputo: El flujo de aire (generado por el aire acondicionado) podría provocar falsos encendidos para un sensor ultrasónico, mientras que la falta de actividad en el área pudiera provocar falsos apagones con un PIR. Este tipo de problemas se pueden resolver con la tecnología Dual, ya que para el encendido de las luces, el detector, en su configuración estándar, necesita detección de presencia de las dos tecnologías (pudiéndose entender esto como "confirmación" de presencia en el área), mientras que para mantener la luz encendida, sólo es necesario que alguna de las dos tecnologías detecte movimiento por mínimo que éste sea.

## 5.6.- Acondicionadores de la señal

Para acondicionar las señales de algunos sensores descritos anteriormente es necesario adaptarlo a un sistema de adquisición y control. Por lo que se utilizan algunas tecnologías de adaptación de estos sensores que como parte de una cadena de dispositivos, forman un sistema.

Estos adaptadores, como acondicionadores de señal, son los amplificadores operacionales en sus diferentes configuraciones, pasando por filtros o por procesadores analógicos, convirtiendo estas señales de analógico a digital para posteriormente ser procesados los datos con un Microprocesador por medio de las entradas lógicas de la interface y actuando por medio de las salidas lógicas de la Interface.

La alta integración de los circuitos está desplazando los montajes con muchos componentes a diminutas placas con mayor precisión en el proceso analógico, empezando por el uso de amplificadores operacionales integrando varios de ellos en uno sólo, como los amplificadores de instrumentación, figura 5.9.

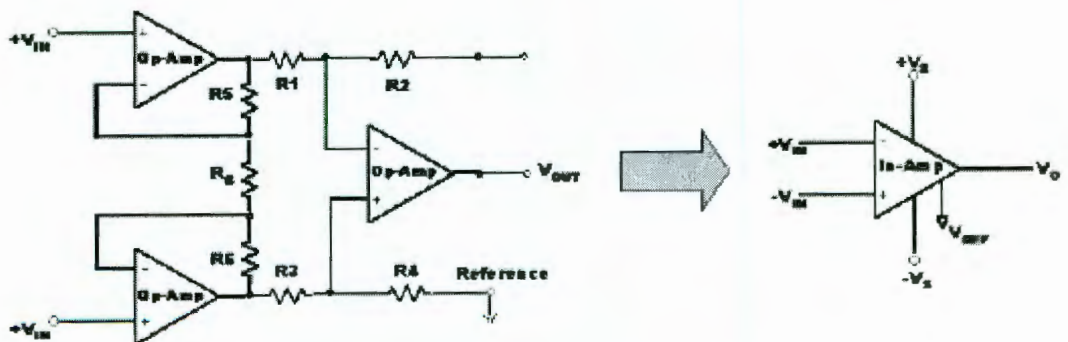


Figura 5.9. Amplificadores de instrumentación.

También las cadenas de acondicionamiento se han ido reduciendo drásticamente y día a día hay que ir viendo los nuevos productos que compiten en costo con los “actuales” y mejoran sus prestaciones.

Además se pueden encontrar en una cantidad de circuitos acondicionadores (figura 5.10), de los principales fabricantes de circuitos analógicos, como Analog Devices, Texas Instruments y BurnBrown (adquirida por TI), así como en Philips Semiconductors, ST.

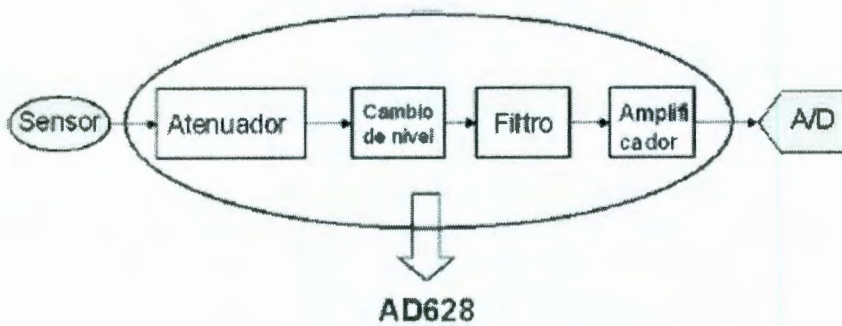


Figura 5.10. Circuito acondicionador de señal.

## CAPÍTULO 6.- PROGRAMACIÓN

### 6.1.- Programación del PPI8255

Una vez que se conocen todos los elementos que se emplean en la interface, se puede describir como se realiza su interconexión, y como interactúan entre sí, para adquirir las señales tanto analógicas como digitales y poder ingresarlas a la CPU para analizar esta información, y así posteriormente activar las salidas digitales, según sea el caso.

Lo primero que se hace es asignar una dirección para la interfaz. Para esto se usa un chip select. En esta etapa se fijan las direcciones del bus ISA de la PC que se utilizan mediante el chip select para la decodificación de direcciones, esto se realiza por medio de una GAL 20V8. Se le programa la función del chip select para que la dirección 0x300h de la computadora corresponda al bus ISA.

$$\overline{Y1} = \overline{A19} + \overline{A18} + \overline{A17} + \overline{A16} + \overline{A15} + \overline{A14} + \overline{A13} + \overline{A12} + \overline{A11} + \overline{A10} + \overline{A9} + \overline{A8} + \overline{A7} + \overline{A6} + \overline{A5} + \overline{A4} + \overline{A3} + \overline{A2} + \overline{AEN}$$

Y1 es la salida de la función generada para el chip select, esta se conectan a los pines  $\overline{CS}$  del PPI8255 y al  $\overline{G}$  del 74LS245, lo cual permitirá escribir en el PPI, y asegurar que el componente 74LS245 trabaje sólo como salida, ya que este por sus características es bidireccional.

Las líneas de direcciones disponibles para puertos mediante el bus ISA están acotados a las 12 primeras (A0-A12). Cabe agregar, que las direcciones de los puertos no están mapeadas en la memoria principal del procesador sino que son independientes y se acceden mediante las líneas IOW e IOR.

Como se ve, es necesario que las líneas de direcciones A2, A3, A4, A5, A6, A7, estén en un nivel bajo y las líneas A8 y A9 a nivel alto, para de esta forma, tener la dirección 0x300H. Las siguientes líneas (A10-A19) deben estar a nivel bajo.

Con las líneas A0 y A1 del bus se forman 4 direcciones:

La 0x300 que es para direccionar el puerto A del PPI8255, la 0x301 para el puerto B, y la 0x302 para el puerto C y la 0x303 es la dirección en la cual se programa el PPI 8255 (tabla 6.1).

Tabla 4 Dirección válida para escribir, leer o programar en el PPI8255

A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	AEN	Dirección
0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0x300
0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0	0x301
0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	0	0x302
0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	0	0x303

Las líneas de direcciones que se usan para quemar la GAL son las 12 primeras (A0-A12) con la función . Esto es para asegurar que la dirección sea válida solo para la interface. El programa para quemar la función en la GAL, mediante lenguaje VHDL, se encuentra en el apéndice XXX.

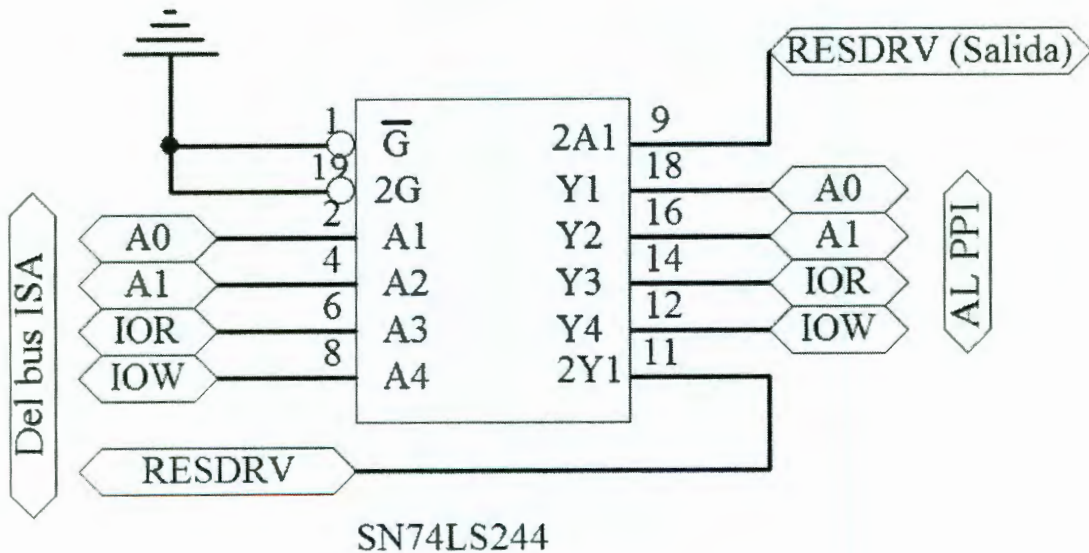


Figura 6.1. Buffer 74LS244.

En el buffer 74LS244, figura 6.1, los pines 1 y 19 se conectan a tierra para tener los ocho bits disponibles ya que se encarga de aislar las líneas A0, A1, (para el PPI8255) y , y RESDRV (reset) provenientes del bus del microprocesador. De este modo, la PC queda totalmente aislada de las tarjetas que se le conectan. El bus tranceptor 74LS245, figura 6.2, actúa como buffer bidireccional, y se encarga de las líneas de datos. Cuando su pin G está a nivel bajo se encuentra activado y dependiendo del nivel que se aplique al pin DIR, trabaja en un sentido o en otro: si está en nivel alto, entonces se lee un dato. El pin DIR se conecta a una de las salidas del buffer 74LS244, específicamente la que proviene de IOR del slot ISA, para que le indique cuándo es una operación de lectura o escritura. IOR se conecta a RD del PPI8255 así como IOW se conecta a WR del PPI8255, estas dos serán de control para éste, ya que indicarán si estamos mandando datos o leyendo. En la figura 6.2 se muestra la forma de conectarse.

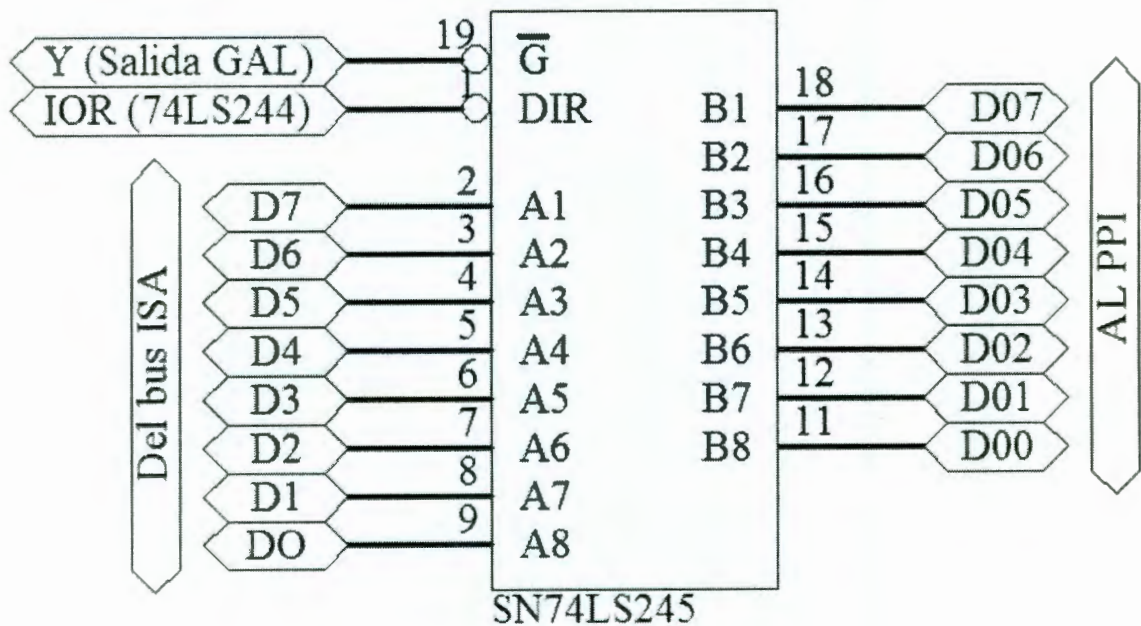


Figura 6.2 Buffer bidireccional 74LS245.

El PPI8255, que como una interfaz programable para periféricos (figura 6.3), está preparado para ser conectado al bus ISA de una PC, protegiendo el bus

de datos por un 74LS245 y el de control con un 74LS244, puede funcionar como un controlador de entradas/salidas de propósito general para interfasear periféricos al bus de la PC. La configuración de funcionamiento del PPI8255 se programa por software, por lo que no se necesita lógica externa adicional.

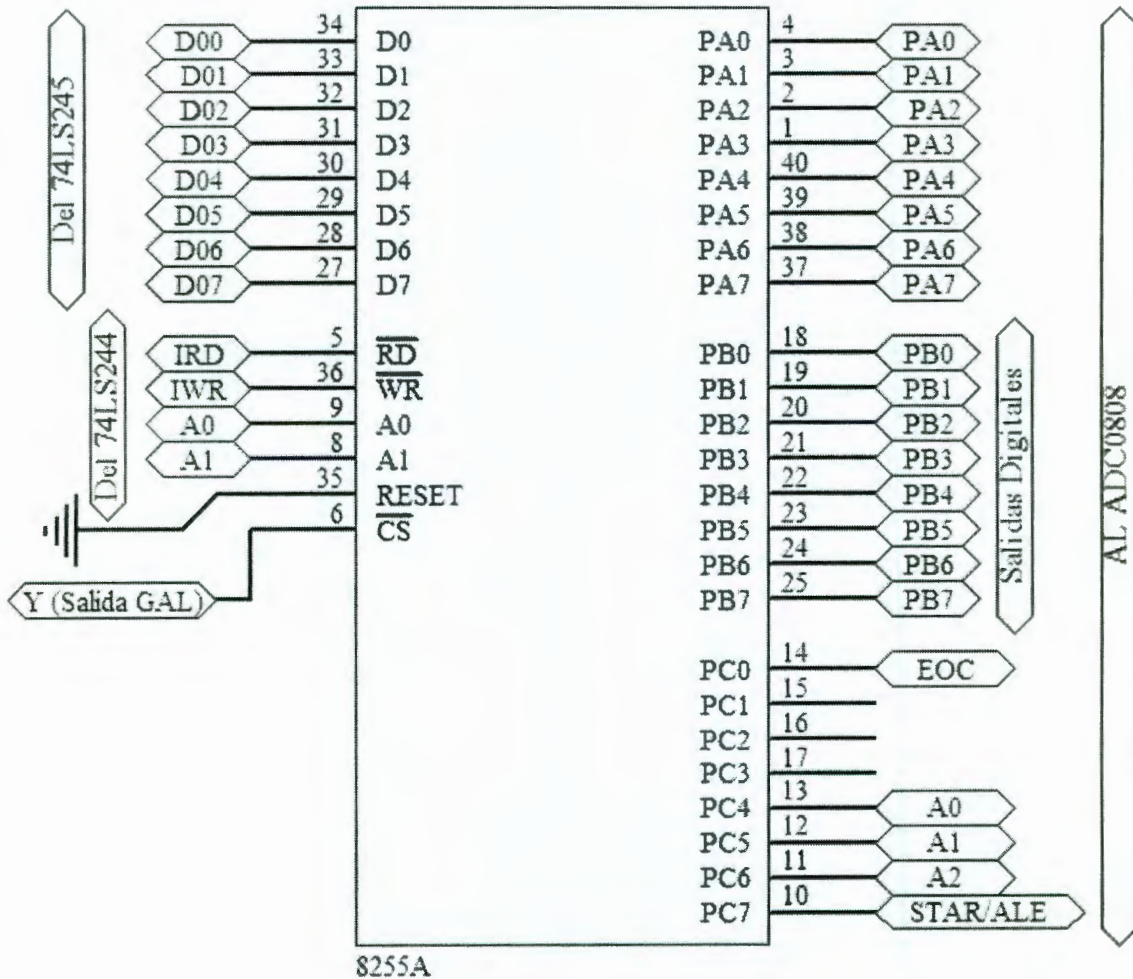


Figura 6.3 Controlador entradas/salidas PPI8255

Éste será el módulo de señales digitales que como se mencionó en el capítulo 3 se pueden programar los puertos de diferentes formas; dependiendo de las necesidades de la aplicación que se desee controlar y por ello hasta aquí se deja un solo módulo de expansión (figura 6.4). De aquí en adelante se pueden hacer módulos según los requerimientos del proceso a controlar.



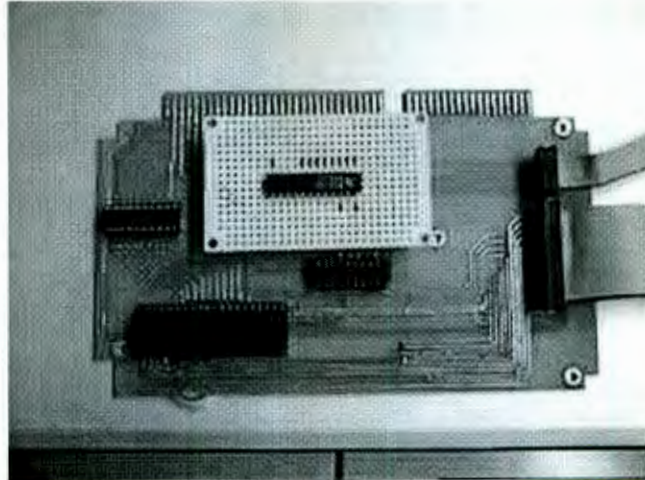


Figura 6.4 Módulo de expansión.

El modo de operación elegido fue en modo 0, dejando el puerto A como entradas de 8 bits, el puerto B como salidas de 8 bits, el puerto C tiene 4 bits de salidas(PC7-PC4) y cuatro 4 bits de entradas(PC3-PC0). Entonces tendremos 12 salidas digitales (puerto B y C) y 12 entradas digitales (puerto A y puerto B).

La dirección en la cual se programa el PPI8255 es 0x303 con el comando en el registro de control 0x91h. El código de la dirección se muestra en la tabla 5.

Tabla 5 Configuración elegida

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	1	0	0	0	1

La configuración del conector de la tarjeta de expansión se muestra en la figura 6.5, a este conector se le acopla un conector hembra de tipo DB-25, para poder tener acceso desde el exterior de la PC.

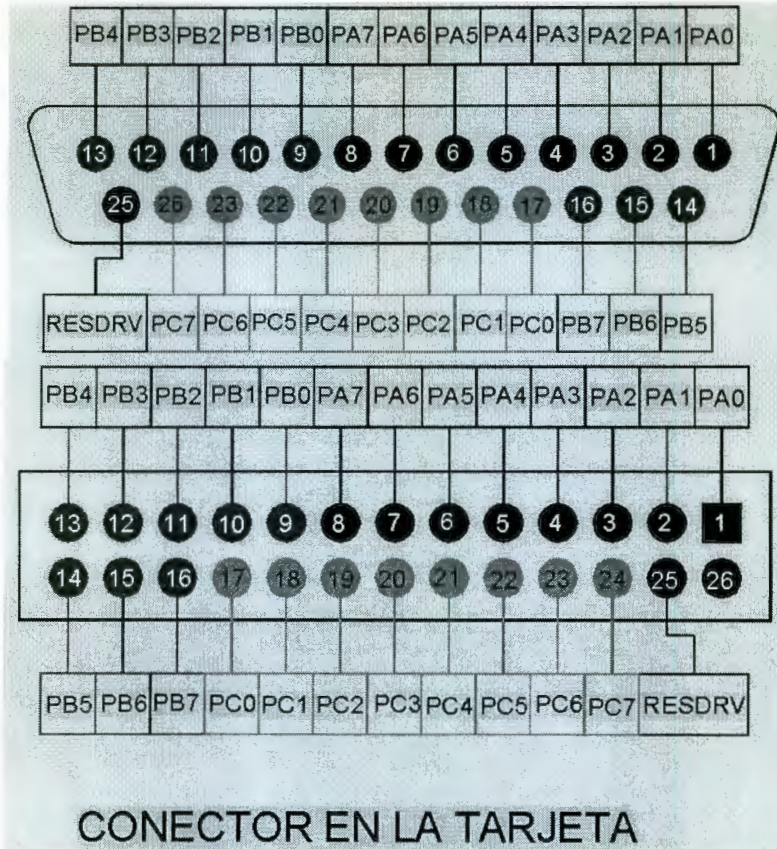


Figura 6.5. Configuración del DB25 y conector en la tarjeta de expansión.

Así mismo, se dejan voltajes de salida desde la PC por medio de un conector macho de tipo DB-9, estos voltajes de salida son:  $\pm 5V$ ,  $\pm 12V$  y tierra (GND), la señal del reloj (CLK) y reset (RESDRV) también se encuentran en este conector. La configuración se muestra en la figura 6.6.



Figura 6.6 Configuración del conector DB9 y conector en la tarjeta de expansión

## 6.2- Programación del puerto de entradas analógicas del ADC0808.

Para la adquisición de señales analógicas, se diseña otro módulo que puede estar en el exterior o en el de la PC, figura 6.7. El corazón de esta etapa, es el ADC0808 que es un conversor analógico digital de 8 canales analógicos multiplexados, cuyas características principales son las siguientes:

- 8 canales multiplexados con lógica de direccionamiento incorporada.
- Las salidas son compatibles con el estándar TTL.
- Resolución de salida de 8 bits con un error de  $\pm 1/2$  LSB.
- El mínimo voltaje que puede leer es de 20 mV por cada cambio.

La función principal de esta etapa es la de recibir las entradas analógicas, las señales acondicionadas y amplificadas de los sensores. Éste, es el encargado de realizar la conversión a formato digital de 8 bits de resolución que pasan al puerto A del PPI8255 (entradas digitales), de aquí son transmitidas por el bus de datos de la ISA al CPU.

El multiplexado de los 8 canales analógicos se muestra en la tabla 6.

Tabla 6 Multiplexado de 8 canales analógicos.

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

Para multiplexar la línea de direcciones del ADC0808 se usa el puerto C (PC4-PC6) del PPI8255. Con esto, se puede indicar al ADC0808 que canal es el

que se quiere leer. La dirección para escribir será 0x302, de acuerdo a esto, A0 se conectará a PC4, A1 a PC5 y A2 a PC6. Para el lenguaje C, el comando que indica esta función es `outportb (0x302, dato)`. Por ejemplo para leer el canal 8 primero se manda la instrucción que active el canal 8 del ADC por medio del PPI, esta se da en la instrucción `outportb (0x302, 70)`, e inmediatamente después se puede leer el bus de datos esto es con la instrucción `inportb (0x300)` que como se mencionó anteriormente es el puerto A del PPI.

Para indicarle cuando inicie la lectura del canal a leer y la conversión de la señal analógica a digital se conecta ALE y START juntos a PC7 del PPI, esto es, para que por medio de software se dé la señal de inicio de conversión y lectura. Entonces quedan los 4 bits menos significativos libres para entradas digitales.

Para los valores de referencia se conectan VREF (-) a GND y VREF (+) a VCC, para ello se tiene un rango de conversión de 0v a +5v por lo que cualquier sensor que se conecte debe tener un rango de tensión de 0 a +5v.

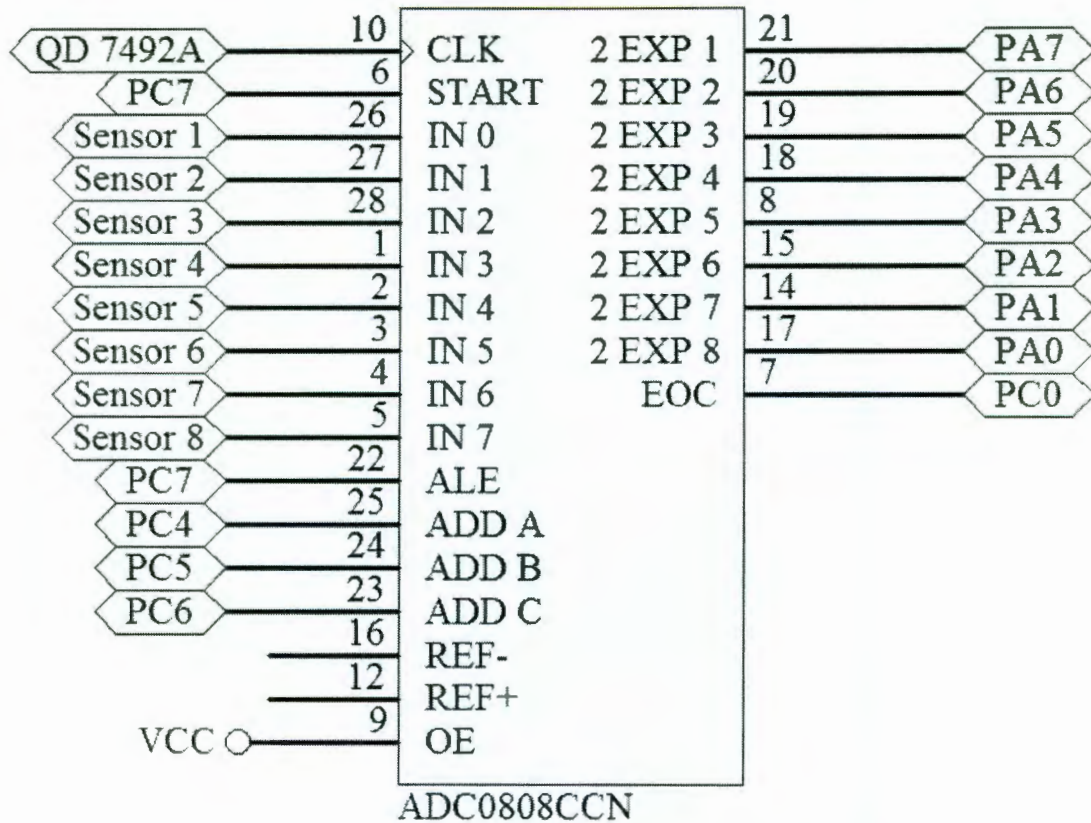


Figura 6.7 Modulo de adquisición de señales.

El convertidor necesita una señal de reloj para su operación interna. El reloj de 500 KHz (ideal) se logra a través de un divisor x12 del CLOCK del bus ISA (8 MHz) que devuelve aproximadamente 666 KHz que cae dentro del rango permitido por el ADC. El circuito usado fue un 74LS92 como se muestra en la figura 6.8.

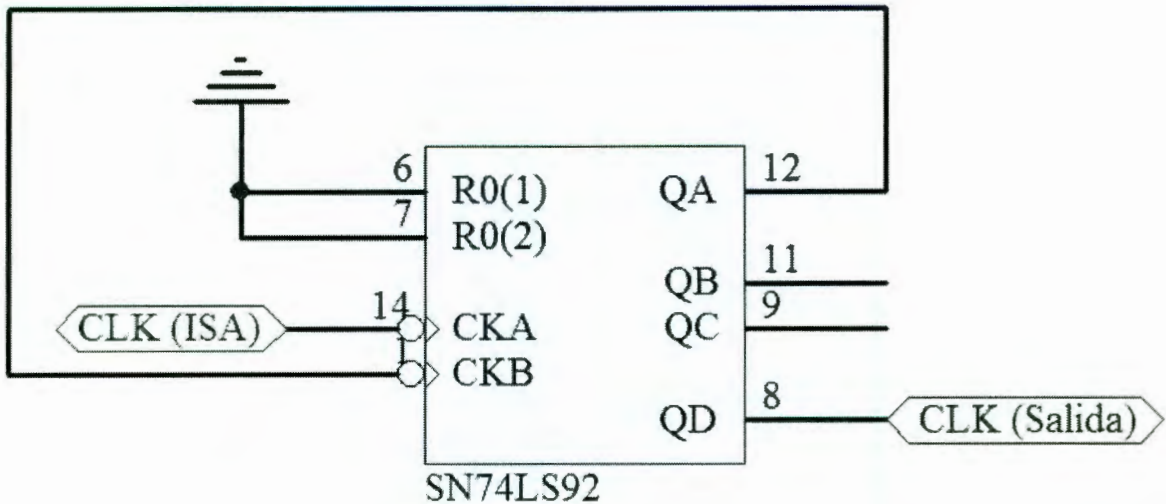


Figura 6.8 Generador de clock

### 6.3.- Adquisición de datos

Se cuenta con un sensor de temperatura este es el AD590, el sensor produce una salida de corriente proporcional a la temperatura absoluta (1mA/K), su rango de operación es de  $-55$  a  $150$  °C. Este fue seleccionado principalmente por su respuesta casi lineal ( $\pm 0.3$  °C), y debido a que tiene salida de corriente, nos permite conectarlo a grandes distancias sin pérdidas de información. La señal de este sensor es convertida a voltaje por medio de una resistencia de precisión, para que pueda ser conectado a la tarjeta de adquisición de datos.

El AD590, produce una corriente en miliamperes que es numéricamente igual a la temperatura absoluta en la escala de grados Kelvin ( $0^{\circ} \text{C} = 273.2 \text{ K}$ ), para temperaturas desde  $-55^{\circ} \text{C}$  (218 K) a  $150^{\circ} \text{C}$  (423 K), independientemente del voltaje aplicado por encima del rango especificado de  $+4 \text{ V}$  a  $30 \text{ V}$ .

En la mayoría de las aplicaciones el AD590 tiene una interface hacia el sistema que requiere una entrada de voltaje, primero todo lo que se necesita es una resistencia en serie. Una resistencia de  $1 \text{ K}\Omega$  (por ejemplo) en serie con el

AD590 desarrollara un voltaje de 1 mV/K. este voltaje es aplicado a la entrada de un op-amp diferenciador al cual le restan 273.2 mV para convertirlos a °C y obtener la señal hacia el ADC, como lo indica la figura 6.9.

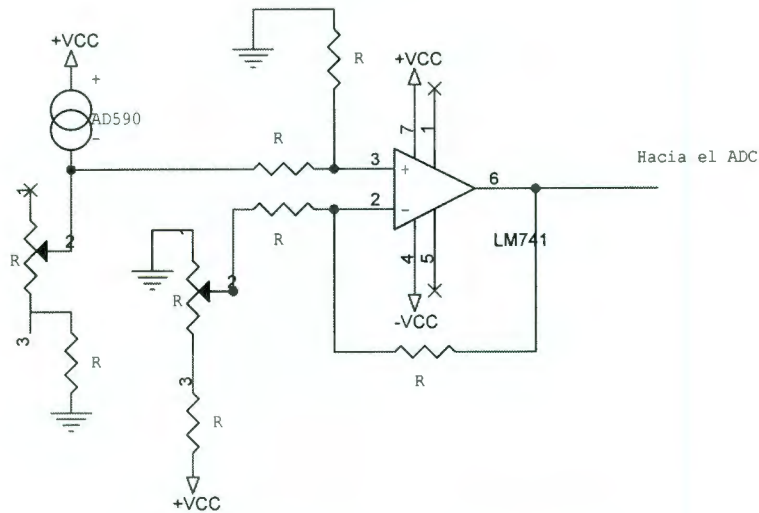


Figura 6.9. Esquema del circuito para la medición de temperatura utilizando el AD590KH

### Sensor de lux.

Para implementar el sensor de iluminación, se utiliza un fotodiodo junto con un amplificador operacional. El fin es construir un circuito convertidor de corriente a voltaje con un amp-op representado gráficamente en la figura 6.10. El circuito requiere un amplificador operacional, un resistor, un fotodiodo y fuentes de alimentación de + 12V y -12V.

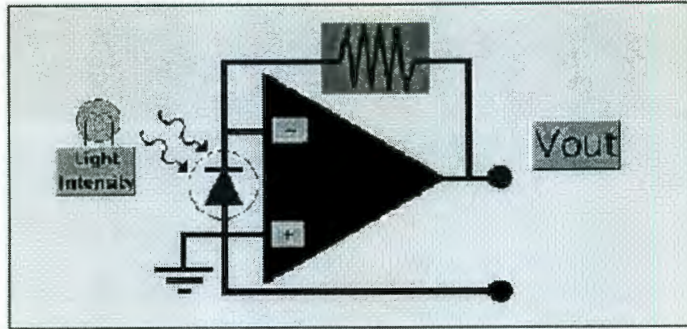


Figura 6.10. Diagrama para un medidor de luz con amplificador operacional

El funcionamiento consiste en aprovechar el hecho de que muchos fotodiodos generan una fotocorriente de unos microamperes en un campo iluminado intensamente. De esta manera, de acuerdo al valor de  $R_f$ , será la salida de voltaje del medidor de luz.

La variación de la corriente en el fotodiodo esta en función a la intensidad de luz que incide sobre él. Como el valor en la salida del primer op-amp es pequeña, es necesario amplificarla (figura 6.11) para obtener valores adecuados que se puedan introducir al convertidor analógico-digital.

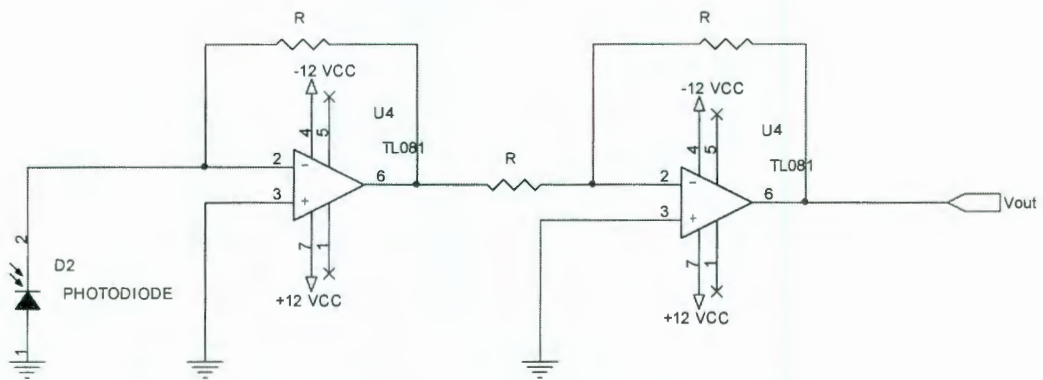


Figura 6.11. Diagrama del sensor de iluminación.



Sensores de presencia.

Se utiliza un sensor de tecnología PIR, ya que estos pueden detectar la presencia de una persona por medio de la diferencia de temperaturas que existe entre el lugar y el cuerpo humano. Se adquirió el sensor de la marca Steren, el cual se le acondiciona su salida para que entregue una señal digitalizada de 0 V cuando no hay presencia y de 5 V cuando el área está ocupada, esta se conecta al puerto C del PPI específicamente en PC1.

De igual manera se compró de la marca Steren un sensor de humo, y se acondicionó para que entregara una señal digital igual a la del sensor anterior. La señal que entrega se conecta al puerto C del PPI en PC2.

Estos sensores fueron comprados para validar la lectura de las entradas digitales de la interfaz, ya que estos son de control 0 o 1, en ninguna de estas dos necesitamos cuantificar la medición por lo que el desarrollo de estos sensores se deja para una etapa posterior.

Para reducir aun más los efectos del ruido en las lecturas que se obtienen de los sensores por la tarjeta de adquisición de datos, se utilizan filtros digitales. Se utiliza un filtro promediador para las señales adquiridas por la PC durante un lapso de  $t$  minutos para ser procesadas. Con la combinación del filtrado por hardware y software, se obtiene una señal confiable para la creación de la base de datos.

#### 6.4.- Lenguaje de programación

La lógica de la comunicación de la interface con el software de adquisición de datos es capaz de comunicarse con el sistema, controlarlo y a la vez guardar las muestras medidas.

No todos los sistemas de adquisición de datos necesitan los mismos sistemas de software, ya que esto dependerá de las velocidades de adquisición

necesarias, de la interacción que necesita realizar el usuario con el sistema, del número de muestras a adquirir, etc. El lenguaje de programación permite definir las ordenes y por lo tanto el comportamiento del sistema de adquisición de datos.

La interfaz se maneja por comandos que son enviados a través del software generado en lenguaje C. Antes de comenzar a utilizar las entradas/salidas digitales se hace necesaria la inicialización del PPI 8255. En lenguaje C correspondería a la siguiente línea:

Para programar el PPI.

```
outportb(0x303,93);
```

Si se quiere leer el dato en el puerto A

```
dato=inport(0x300);
```

Si se quiere escribir en el puerto B

```
outportb(0x301,Dato de salida);
```

El puerto C como ya se mencionó, esta dividido en dos partes 4 entradas y 4 salidas entonces los cuatro bits mas significativos son las salidas y los 4 bits menos significativos son de entradas.

Estas son las direcciones de la interface para crear el software para el usuario, este software incorpora un ambiente amigable ya que las opciones para su manejo son controladas por el mouse.

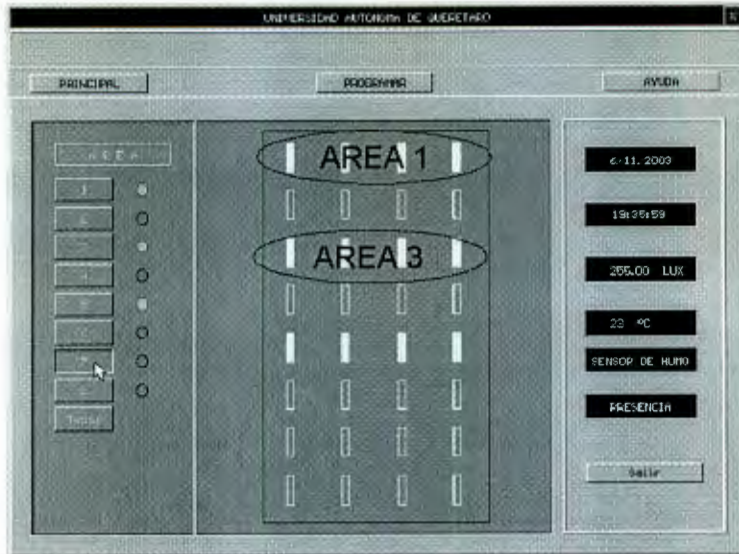


Figura 6.12. Pantalla del programa de control.

La pantalla del programa de control (figura 6.12) muestra las 8 áreas correspondientes a los ocho circuitos de iluminación en que está dividida el área de la biblioteca, también se observa que las áreas 1, 3 y 5 están activadas. El programa también muestra el estado de los sensores de iluminación, temperatura, sensor de presencia y sensor de humo.

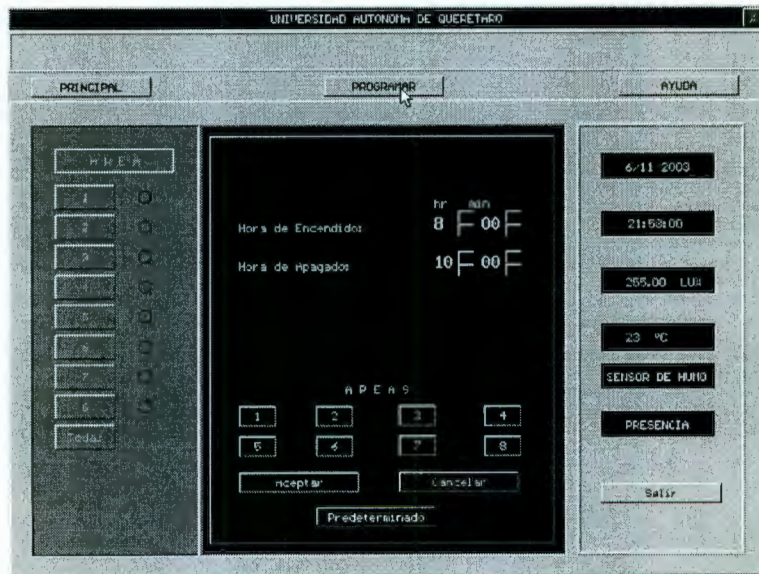


Figura 6.13. Pantalla de programación horaria

En la figura 6.13 se observa la pantalla de programación horaria, donde se pueden cambiar los valores de la hora de encendido y apagado, así como también se puede elegir el área que se desee activar.

#### 6.5.- Transferencia de datos

Es muy importante que en un sistema de adquisición de datos, cumpla lo que se denomina el teorema de Nyquist, para poder de esta manera reconstruir fielmente las señales adquiridas desde el exterior.

Este elemento fija muchas de las características de la tarjeta. Cuanto mayor sea el proceso de conversión, mayores serán las posibles frecuencias de muestreo.

Las señales de entrada han de ser muestreadas según el criterio de Nyquist, por lo que es importante que el convertidor analógico-digital pueda convertir la señal en palabras digitales en el menor tiempo posible.

Un proceso rápido adquiere más valores en un tiempo dado que uno lento y esto permite el poder representar mejor las señales originales.

Otro parámetro muy importante en el conversor analógico-digital es la resolución, que se puede definir como el número de bits que utiliza el conversor para representar la señal analógica.

#### Teorema de Nyquist (Teorema de muestreo)

Desarrollado por H. Nyquist, quien afirmaba que "una señal analógica puede ser reconstruida, sin error (figura 6.12), de muestras tomadas en iguales intervalos de tiempo. La razón de muestreo debe ser igual, o mayor, al doble de su ancho de banda de la señal analógica".



Figura 6.15. Reconstrucción de una señal

La teoría del muestreo define que para una señal de ancho de banda limitado, la frecuencia de muestreo,  $f_m$ , debe ser mayor que dos veces su ancho de banda [B] medida en Hertz [Hz].

$$f_m > 2 \cdot B$$

Supongamos que la señal a ser digitalizada es la voz, el ancho de banda de la voz es de 4,000 Hz aproximadamente. Entonces, su razón de muestreo será  $2 \cdot B = 2 \cdot (4,000 \text{ Hz})$ , es igual a 8000 Hz, equivalente a 8,000 muestras por segundo (1/8000). Entonces la razón de muestreo de la voz debe ser de al menos 8000 Hz, para que pueda regenerarse sin error.

La frecuencia  $2 \cdot B$  es llamada la razón de muestreo de Nyquist. La mitad de su valor, es llamada algunas veces la frecuencia de Nyquist.

El teorema de muestreo fue desarrollado en 1928 por Nyquist y probado matemáticamente por Claude Shannon en 1949.

Estas condiciones las cumplimos por medio del software que se diseñó para esta tarjeta ya que por medio de este podemos iniciar la lectura de los canales analógicos del ADC y de esta manera poder reconstruir nuestra señal.

## CONCLUSIONES

El propósito de esta tesis fue mostrar como realizar la adquisición de datos análogos del mundo físico sin que se requiera el diseño o compra de una sofisticada y posiblemente costosa tarjeta especializada. Esta tarjeta, de bajo costo, permite medir ocho canales análogos y, una vez convertidos a señal digital, llevarlos al computador a través del Bus ISA. Utilizando los sensores adecuados, esta misma tarjeta, con algunas variaciones, permite medir diferentes variables físicas. Así como una vez procesados estos datos, podemos controlar estas variables ya que tiene ocho salidas digitales que junto con los circuitos necesarios podemos controlar sistemas de alta potencia.

Las aplicaciones de la electrónica, que se aplican en la actualidad en innumerables aspectos de nuestra vida cotidiana, no serían posibles sin los sensores. Sin la capacidad que estos ofrecen de medir las magnitudes físicas para su conocimiento o control, muchos de los dispositivos electrónicos no serían más que simples curiosidades de laboratorio.

La utilización de sensores es indispensable en la automatización de industrias de proceso y de manufactura, incluida la robótica, en ingeniería experimental, en sectores como son el ahorro energético y el control ambiental (aire, ruido, calidad del agua), en automóviles y electrodomésticos, en la agricultura y medicina, entre otras. Incluso los equipos de gestión de datos, alejados de las aplicaciones industriales, incorporan internamente para su funcionamiento correcto varios sensores. En el futuro, el diseño de sensores basados en semiconductores, fibras ópticas y nuevos materiales, no hará sino aumentar su importancia, al extender sus campos de aplicación.

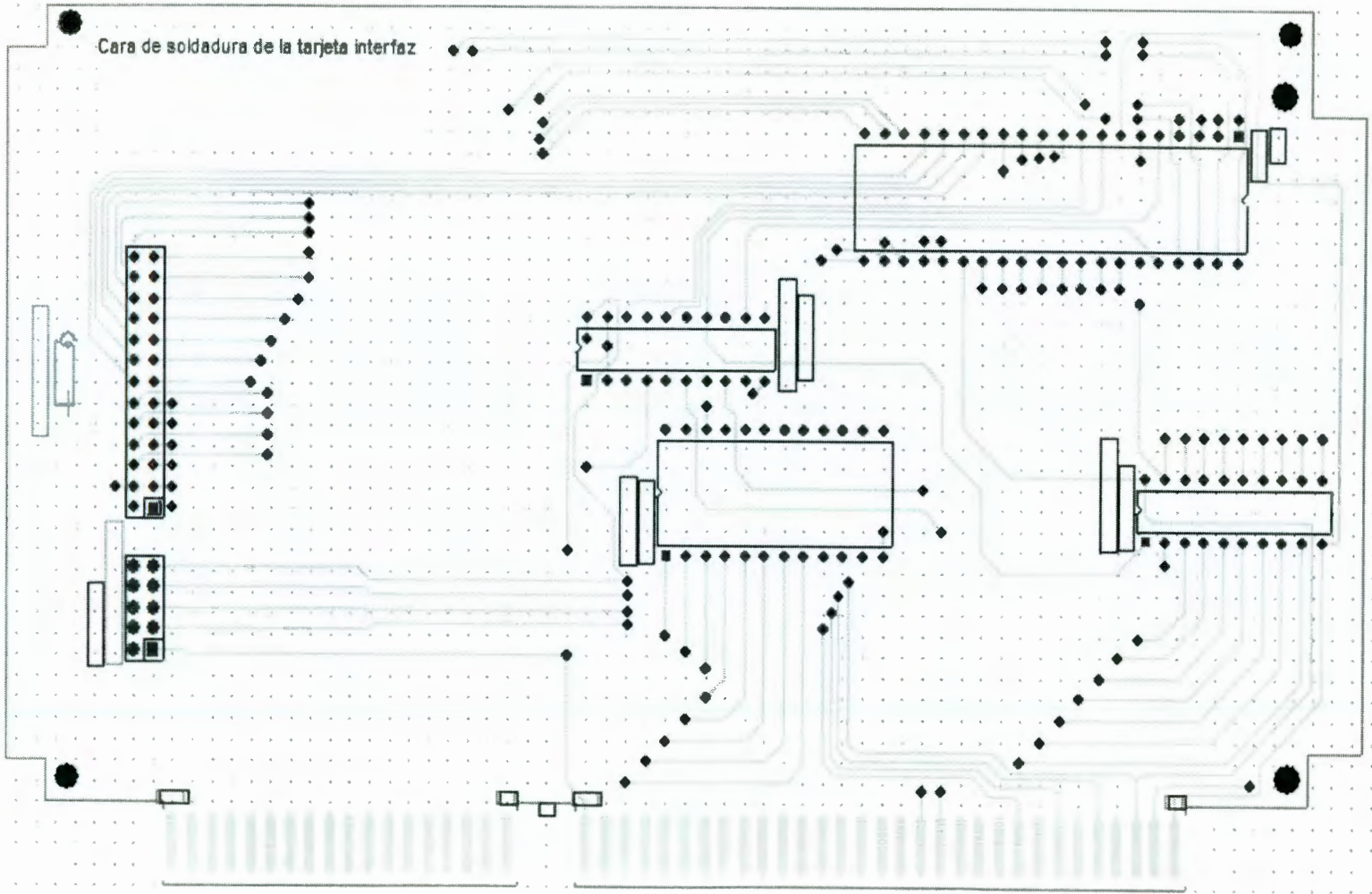
De una manera general nos damos cuenta de que los múltiples conocimientos nos proporcionan un gran potencial para poder automatizar la mayoría de los procesos, lo cual es una gran oportunidad para nosotros como ingenieros y nos abre las puertas para poder innovar en cualquier ámbito profesional.

Con la realización de este proyecto nos dimos cuenta que para lograr la automatización de un edificio o proceso lo más importante a cumplir es:

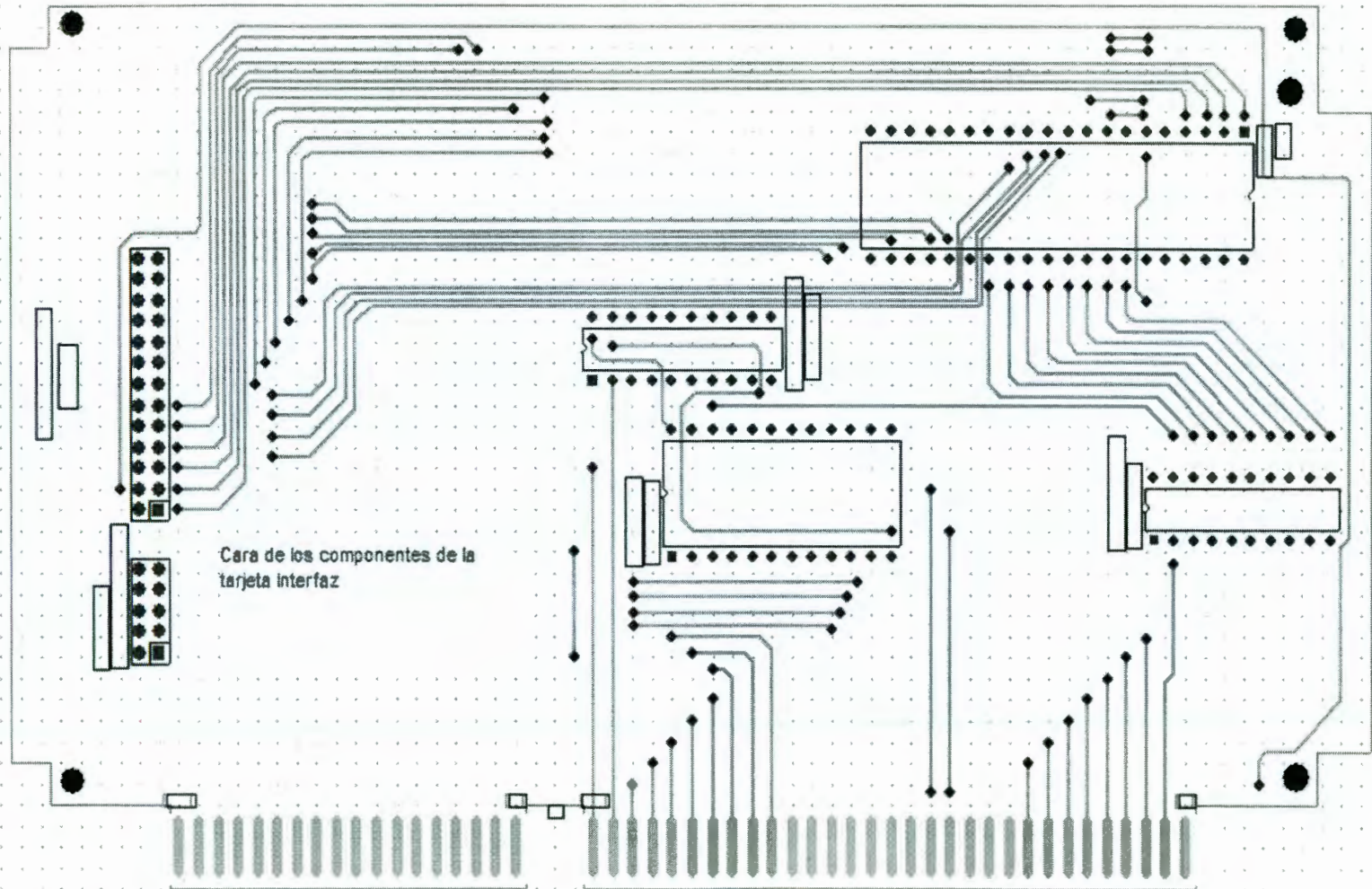
1. Eficientar el uso de recursos energéticos y consumibles, (Máxima economía).
2. Adaptabilidad a un bajo costo a los continuos cambios tecnológicos requeridos por sus ocupantes y su entorno.
3. Capacidad de proveer un entorno altamente seguro que maximice la eficiencia en el trabajo.

# APÉNDICE A

Cara de soldadura de la tarjeta interfaz







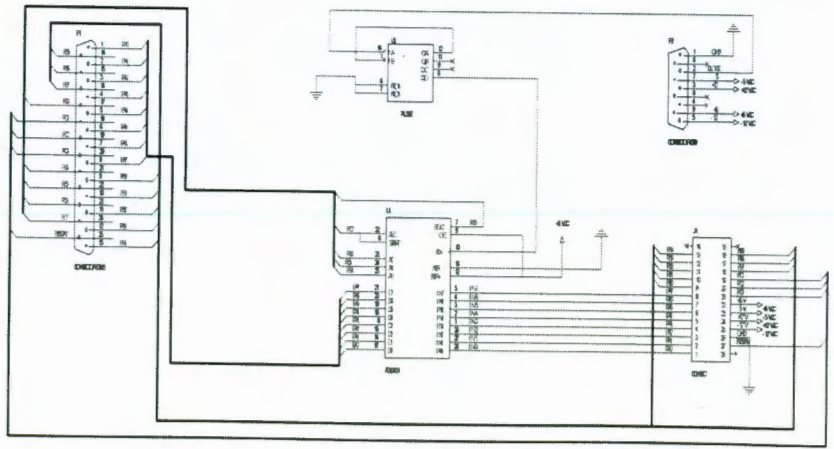
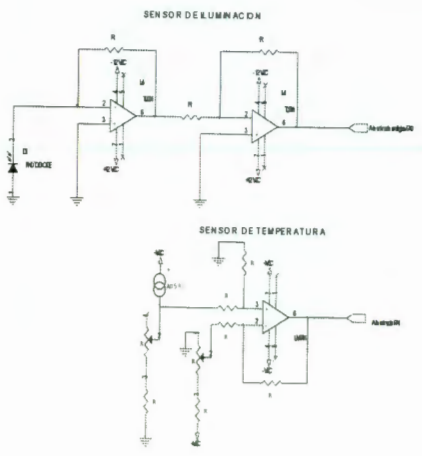
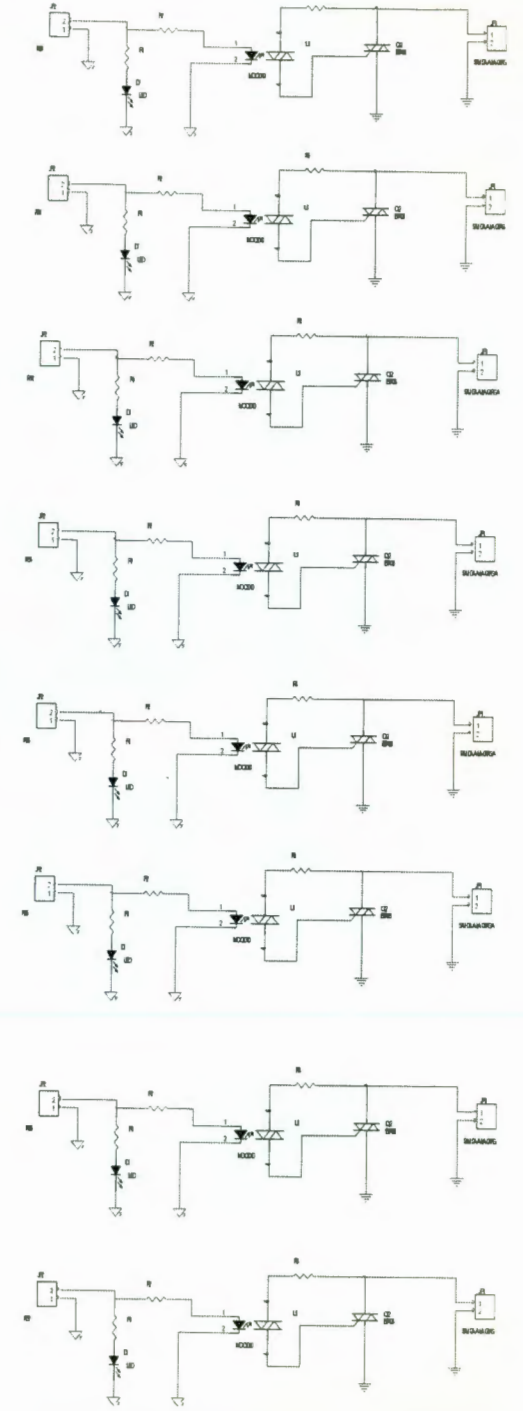
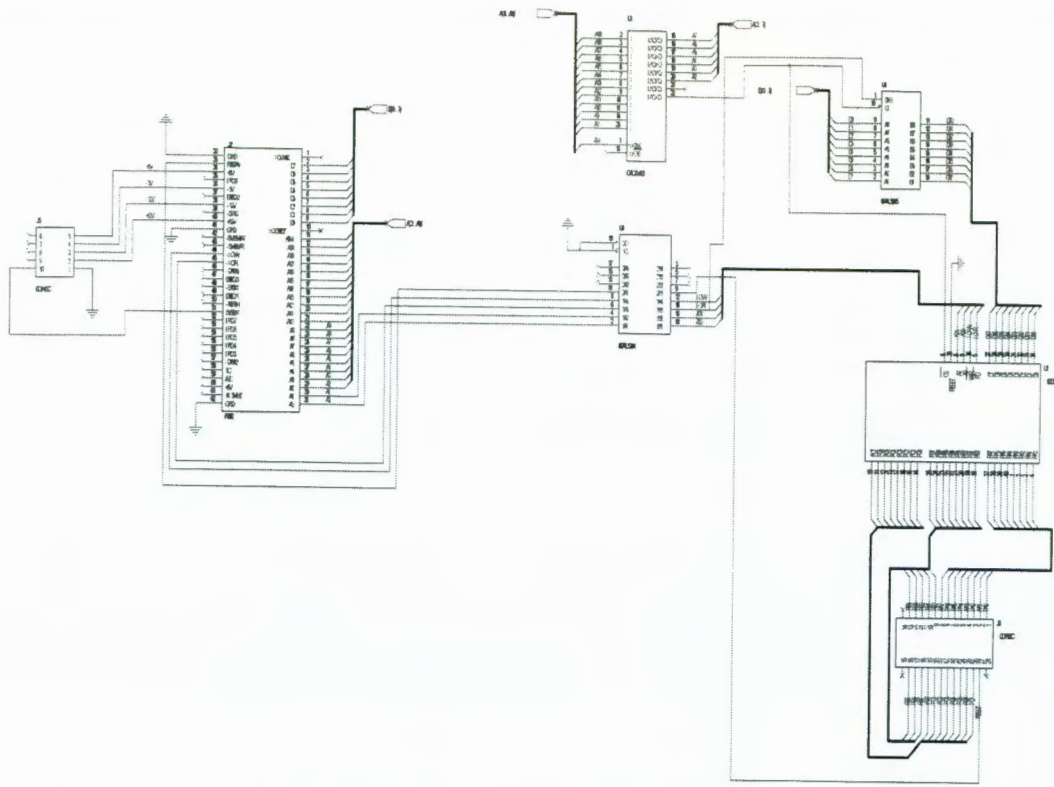
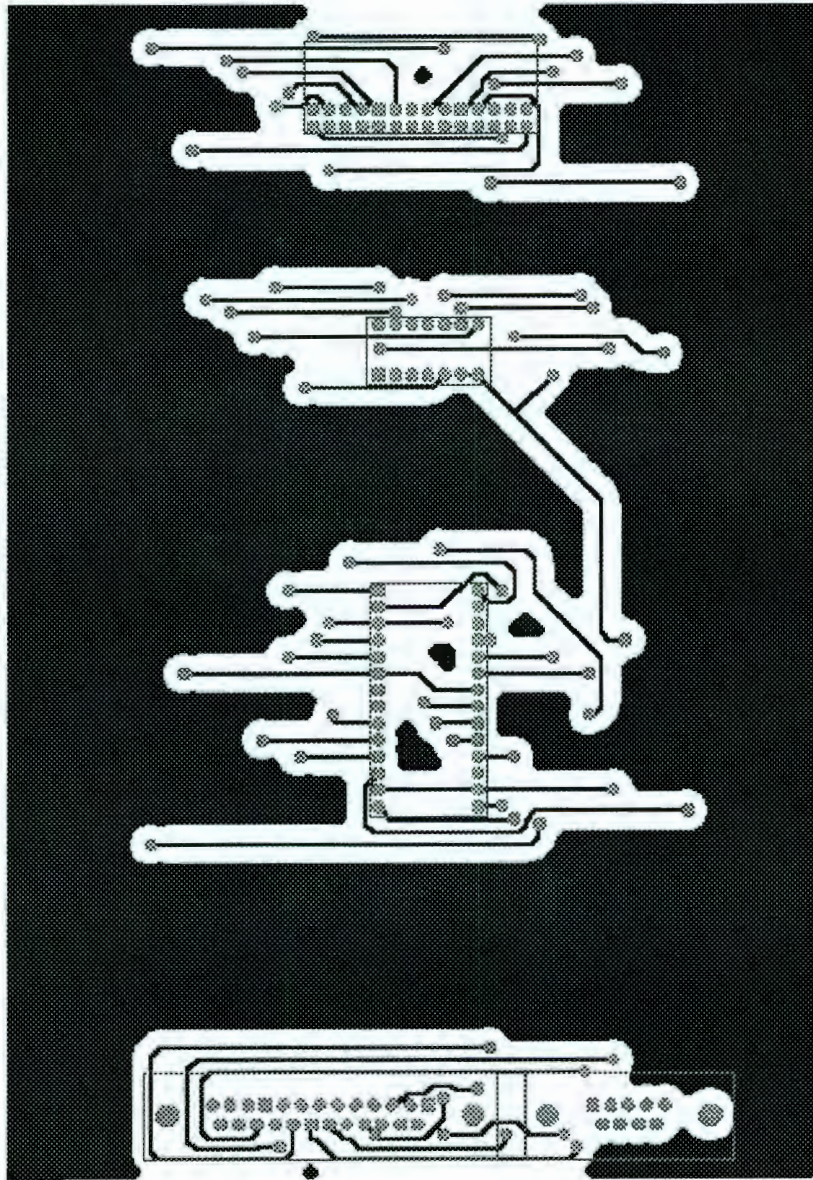
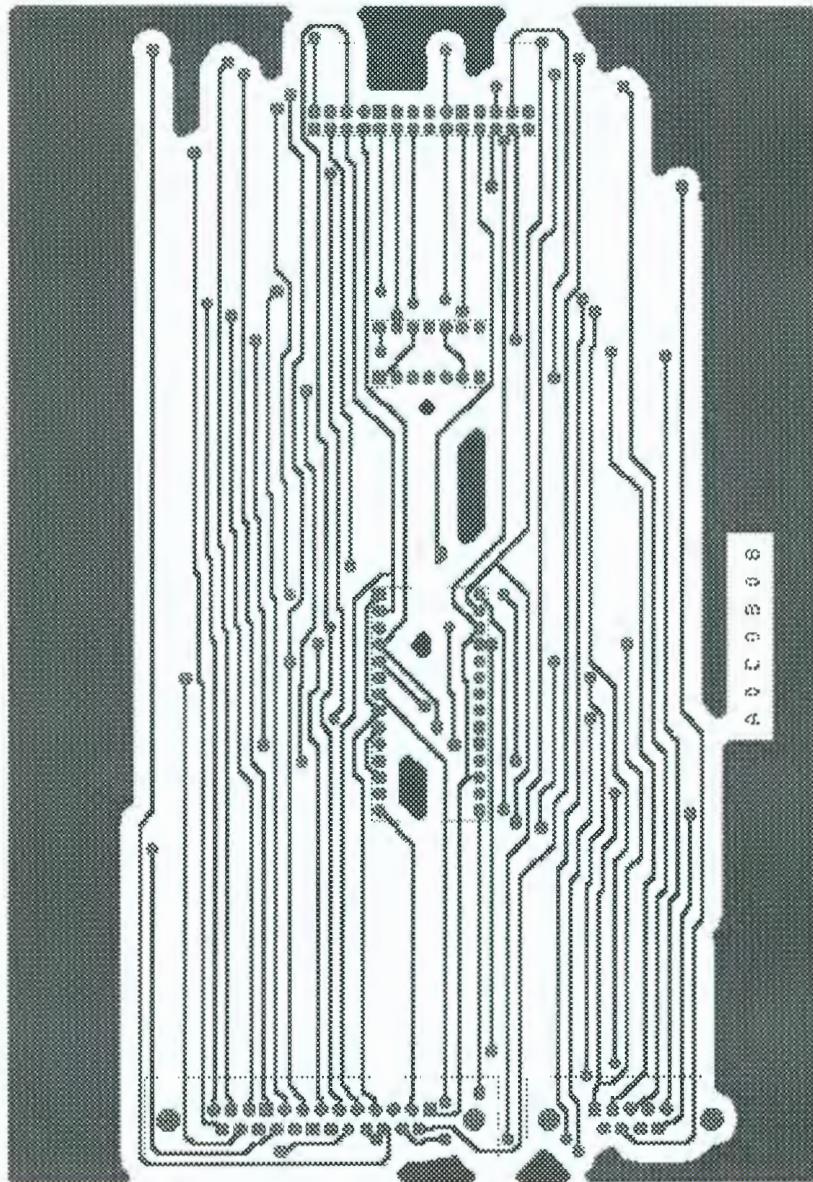


Diagrama esquemático para la aplicación



PCB del convertidor analógico-digital, parte inferior.



PCB del convertidor analógico-digital, lado de los componentes.

# APÉNDICE B

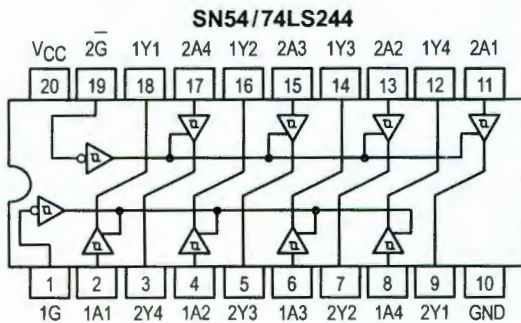
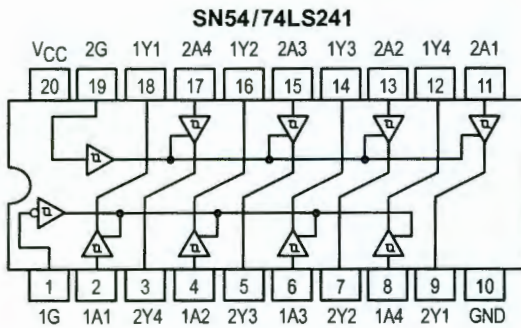
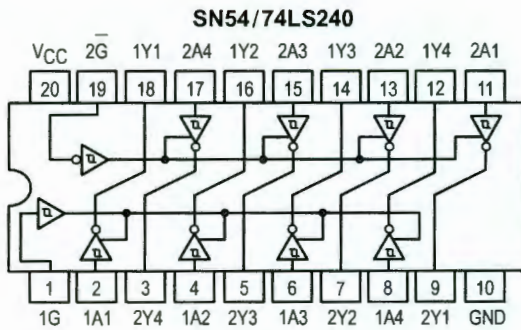


# OCTAL BUFFER/LINE DRIVER WITH 3-STATE OUTPUTS

The SN54/74LS240, 241 and 244 are Octal Buffers and Line Drivers designed to be employed as memory address drivers, clock drivers and bus-oriented transmitters/receivers which provide improved PC board density.

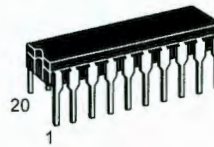
- Hysteresis at Inputs to Improve Noise Margins
- 3-State Outputs Drive Bus Lines or Buffer Memory Address Registers
- Input Clamp Diodes Limit High-Speed Termination Effects

## LOGIC AND CONNECTION DIAGRAMS DIP (TOP VIEW)

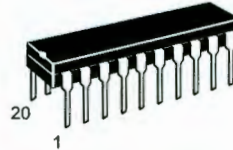


**SN54/74LS240  
SN54/74LS241  
SN54/74LS244**

**OCTAL BUFFER/LINE DRIVER  
WITH 3-STATE OUTPUTS  
LOW POWER SCHOTTKY**



**J SUFFIX  
CERAMIC  
CASE 732-03**



**N SUFFIX  
PLASTIC  
CASE 738-03**



**DW SUFFIX  
SOIC  
CASE 751D-03**

## ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXDW	SOIC

# SN54/74LS240 • SN54/74LS241 • SN54/74LS244

## TRUTH TABLES

**SN54/74LS240**

INPUTS		OUTPUT
1G, 2G	D	
L	L	H
L	H	L
H	X	(Z)

**SN54/74LS244**

INPUTS		OUTPUT
1G, 2G	D	
L	L	L
L	H	H
H	X	(Z)

**SN54/74LS241**

INPUTS		OUTPUT	INPUTS		OUTPUT
1G	D		2G	D	
L	L	L	H	L	L
L	H	H	H	H	H
H	X	(Z)	L	X	(Z)

H = HIGH Voltage Level  
 L = LOW Voltage Level  
 X = Immaterial  
 Z = HIGH Impedance

## GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V <sub>CC</sub>	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T <sub>A</sub>	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I <sub>OH</sub>	Output Current — High	54, 74			-3.0	mA
		54 74			-12 -15	mA
I <sub>OL</sub>	Output Current — Low	54			12	mA
		74			24	

# SN54/74LS240 • SN54/74LS241 • SN54/74LS244

## DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
V <sub>IH</sub>	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V <sub>IL</sub>	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74		0.8			
V <sub>T+</sub> -V <sub>T-</sub>	Hysteresis	0.2	0.4		V	V <sub>CC</sub> = MIN	
V <sub>IK</sub>	Input Clamp Diode Voltage		-0.65	-1.5	V	V <sub>CC</sub> = MIN, I <sub>IN</sub> = -18 mA	
V <sub>OH</sub>	Output HIGH Voltage	54, 74	2.4	3.4	V	V <sub>CC</sub> = MIN, I <sub>OH</sub> = -3.0 mA	
		54, 74	2.0		V	V <sub>CC</sub> = MIN, I <sub>OH</sub> = MAX	
V <sub>OL</sub>	Output LOW Voltage	54, 74		0.25	0.4	V	I <sub>OL</sub> = 12 mA
		74		0.35	0.5	V	I <sub>OL</sub> = 24 mA
I <sub>OZH</sub>	Output Off Current HIGH			20	μA	V <sub>CC</sub> = MAX, V <sub>OUT</sub> = 2.7 V	
I <sub>OZL</sub>	Output Off Current LOW			-20	μA	V <sub>CC</sub> = MAX, V <sub>OUT</sub> = 0.4 V	
I <sub>IH</sub>	Input HIGH Current			20	μA	V <sub>CC</sub> = MAX, V <sub>IN</sub> = 2.7 V	
				0.1	mA	V <sub>CC</sub> = MAX, V <sub>IN</sub> = 7.0 V	
I <sub>IL</sub>	Input LOW Current			-0.2	mA	V <sub>CC</sub> = MAX, V <sub>IN</sub> = 0.4 V	
I <sub>OS</sub>	Output Short Circuit Current (Note 1)	-40		-225	mA	V <sub>CC</sub> = MAX	
I <sub>CC</sub>	Power Supply Current Total, Output HIGH			27	mA	V <sub>CC</sub> = MAX	
	Total, Output LOW	LS240		44			
		LS241/244		46			
	Total at HIGH Z	LS240		50			
		LS241/244		54			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

## AC CHARACTERISTICS (T<sub>A</sub> = 25°C, V<sub>CC</sub> = 5.0 V)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay, Data to Output LS240		9.0 12	14 18	ns	C <sub>L</sub> = 45 pF, R <sub>L</sub> = 667 Ω
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay, Data to Output LS241/244		12 12	18 18	ns	
t <sub>pZH</sub>	Output Enable Time to HIGH Level		15	23	ns	
t <sub>pZL</sub>	Output Enable Time to LOW Level		20	30	ns	
t <sub>PLZ</sub> t <sub>PHZ</sub>	Output Disable Time from LOW Level Output Disable Time from HIGH Level		15 10	25 18	ns	C <sub>L</sub> = 5.0 pF, R <sub>L</sub> = 667 Ω



# SN54/74LS240 • SN54/74LS241 • SN54/74LS244

## AC WAVEFORMS

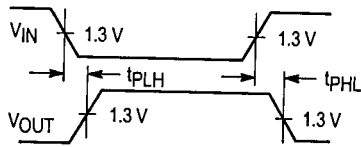


Figure 1

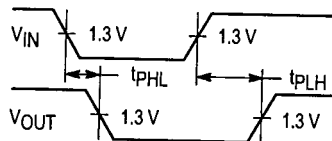


Figure 2

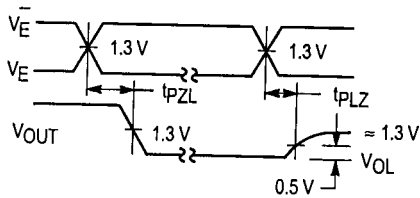


Figure 3

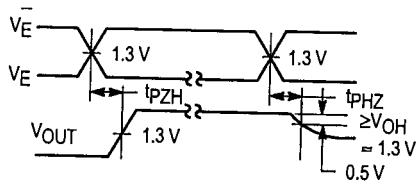
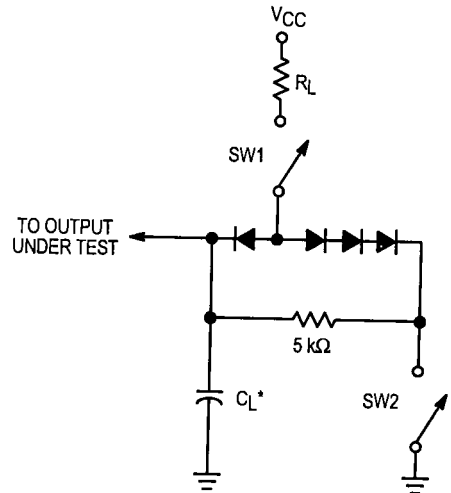


Figure 4



SWITCH POSITIONS

SYMBOL	SW1	SW2
tPZH	Open	Closed
tPZL	Closed	Open
tPLZ	Closed	Closed
tPHZ	Closed	Closed

Figure 5

# APÉNDICE C

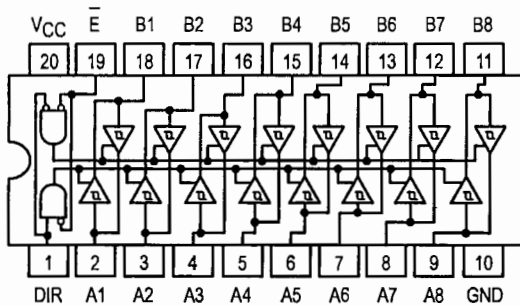


# OCTAL BUS TRANSCEIVER

The SN54/74LS245 is an Octal Bus Transmitter/Receiver designed for 8-line asynchronous 2-way data communication between data buses. Direction Input (DR) controls transmission of Data from bus A to bus B or bus B to bus A depending upon its logic level. The Enable input (E) can be used to isolate the buses.

- Hysteresis Inputs to Improve Noise Immunity
- 2-Way Asynchronous Data Bus Communication
- Input Diodes Limit High-Speed Termination Effects
- ESD > 3500 Volts

## LOGIC AND CONNECTION DIAGRAMS DIP (TOP VIEW)



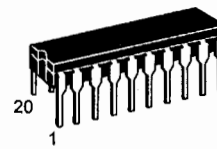
## TRUTH TABLE

INPUTS		OUTPUT
E	DIR	
L	L	Bus B Data to Bus A
L	H	Bus A Data to Bus B
H	X	Isolation

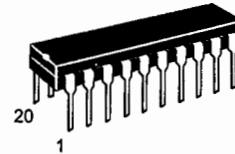
H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Immaterial

# SN54/74LS245

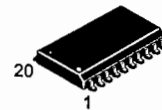
## OCTAL BUS TRANSCEIVER LOW POWER SCHOTTKY



**J SUFFIX**  
CERAMIC  
CASE 732-03



**N SUFFIX**  
PLASTIC  
CASE 738-03



**DW SUFFIX**  
SOIC  
CASE 751D-03

## ORDERING INFORMATION

SN54LSXXXJ Ceramic  
SN74LSXXXN Plastic  
SN74LSXXXDW SOIC

## GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V <sub>CC</sub>	Supply Voltage	54	4.5	5.0	5.5	V
		74	4.75	5.0	5.25	
T <sub>A</sub>	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I <sub>OH</sub>	Output Current — High	54, 74			-3.0	mA
		54 74			-12 -15	
I <sub>OL</sub>	Output Current — Low	54			12	mA
		74			24	

# SN54/74LS245

## DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits			Unit	Test Conditions	
			Min	Typ	Max			
V <sub>IH</sub>	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V <sub>IL</sub>	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V <sub>T+</sub> -V <sub>T-</sub>	Hysteresis		0.2	0.4		V	V <sub>CC</sub> = MIN	
V <sub>IK</sub>	Input Clamp Diode Voltage			-0.65	-1.5	V	V <sub>CC</sub> = MIN, I <sub>IN</sub> = -18 mA	
V <sub>OH</sub>	Output HIGH Voltage	54, 74	2.4	3.4		V	V <sub>CC</sub> = MIN, I <sub>OH</sub> = -3.0 mA	
		54, 74	2.0			V	V <sub>CC</sub> = MIN, I <sub>OH</sub> = MAX	
V <sub>OL</sub>	Output LOW Voltage	54, 74		0.25	0.4	V	I <sub>OL</sub> = 12 mA	V <sub>CC</sub> = V <sub>CC</sub> MIN, V <sub>IN</sub> = V <sub>IL</sub> or V <sub>IH</sub> per Truth Table
		74		0.35	0.5	V	I <sub>OL</sub> = 24 mA	
I <sub>OZH</sub>	Output Off Current HIGH				20	μA	V <sub>CC</sub> = MAX, V <sub>OUT</sub> = 2.7 V	
I <sub>OZL</sub>	Output Off Current LOW				-200	μA	V <sub>CC</sub> = MAX, V <sub>OUT</sub> = 0.4 V	
I <sub>IH</sub>	Input HIGH Current	A or B, DR or E			20	μA	V <sub>CC</sub> = MAX, V <sub>IN</sub> = 2.7 V	
		DR or E			0.1	mA	V <sub>CC</sub> = MAX, V <sub>IN</sub> = 7.0 V	
		A or B			0.1	mA	V <sub>CC</sub> = MAX, V <sub>IN</sub> = 5.5 V	
I <sub>IL</sub>	Input LOW Current				-0.2	mA	V <sub>CC</sub> = MAX, V <sub>IN</sub> = 0.4 V	
I <sub>OS</sub>	Output Short Circuit Current (Note 1)		-40		-225	mA	V <sub>CC</sub> = MAX	
I <sub>CC</sub>	Power Supply Current Total, Output HIGH				70	mA	V <sub>CC</sub> = MAX	
	Total, Output LOW				90			
	Total at HIGH Z				95			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

## AC CHARACTERISTICS (T<sub>A</sub> = 25°C, V<sub>CC</sub> = 5.0 V, T<sub>RISE</sub>/T<sub>FALL</sub> ≤ 6.0 ns)

Symbol	Parameter		Limits			Unit	Test Conditions	
			Min	Typ	Max			
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay, Data to Output			8.0 8.0	12 12	ns	C <sub>L</sub> = 45 pF, R <sub>L</sub> = 667 Ω	
t <sub>PZH</sub>	Output Enable Time to HIGH Level			25	40			
t <sub>PZL</sub>	Output Enable Time to LOW Level			27	40			
t <sub>PLZ</sub>	Output Disable Time from LOW Level			15	25	ns	C <sub>L</sub> = 5.0 pF, R <sub>L</sub> = 667 Ω	
t <sub>PHZ</sub>	Output Disable Time from HIGH Level			15	25			

# APÉNDICE D



# 82C55A CHMOS PROGRAMMABLE PERIPHERAL INTERFACE

- Compatible with all Intel and Most Other Microprocessors
- High Speed, "Zero Wait State" Operation with 8 MHz 8086/88 and 80186/188
- 24 Programmable I/O Pins
- Low Power CHMOS
- Completely TTL Compatible
- Control Word Read-Back Capability
- Direct Bit Set/Reset Capability
- 2.5 mA DC Drive Capability on all I/O Port Outputs
- Available in 40-Pin DIP and 44-Pin PLCC
- Available in EXPRESS
  - Standard Temperature Range
  - Extended Temperature Range

The Intel 82C55A is a high-performance, CHMOS version of the industry standard 8255A general purpose programmable I/O device which is designed for use with all Intel and most other microprocessors. It provides 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. The 82C55A is pin compatible with the NMOS 8255A and 8255A-5.

In MODE 0, each group of 12 I/O pins may be programmed in sets of 4 and 8 to be inputs or outputs. In MODE 1, each group may be programmed to have 8 lines of input or output. 3 of the remaining 4 pins are used for handshaking and interrupt control signals. MODE 2 is a strobed bi-directional bus configuration.

The 82C55A is fabricated on Intel's advanced CHMOS III technology which provides low power consumption with performance equal to or greater than the equivalent NMOS product. The 82C55A is available in 40-pin DIP and 44-pin plastic leaded chip carrier (PLCC) packages.

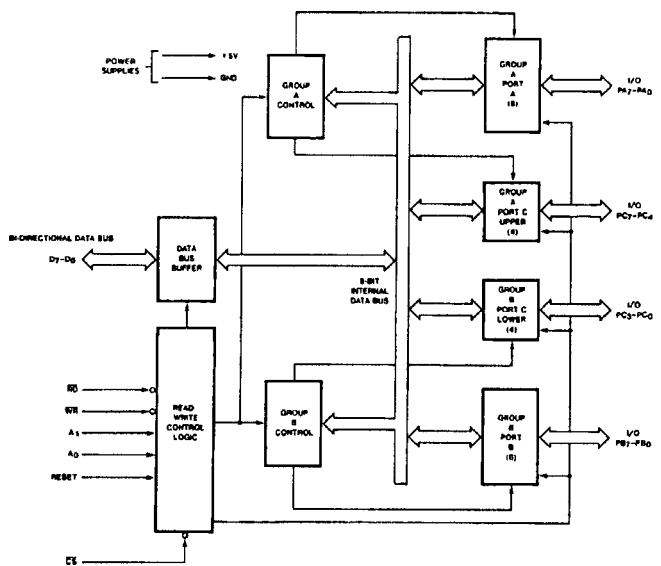
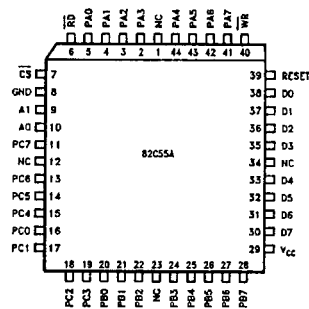
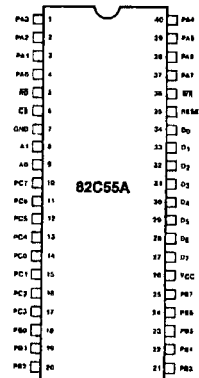


Figure 1. 82C55A Block Diagram

231256-1



231256-31



231256-2

Figure 2. 82C55A Pinout  
Diagrams are for pin reference only. Package sizes are not to scale.

Table 1. Pin Description

Symbol	Pin Number Dip PLCC		Type	Name and Function		
PA <sub>3-0</sub>	1-4	2-5	I/O	<b>PORT A, PINS 0-3:</b> Lower nibble of an 8-bit data output latch/buffer and an 8-bit data input latch.		
$\overline{RD}$	5	6	I	<b>READ CONTROL:</b> This input is low during CPU read operations.		
$\overline{CS}$	6	7	I	<b>CHIP SELECT:</b> A low on this input enables the 82C55A to respond to $\overline{RD}$ and $\overline{WR}$ signals. $\overline{RD}$ and $\overline{WR}$ are ignored otherwise.		
GND	7	8		<b>System Ground</b>		
A <sub>1-0</sub>	8-9	9-10	I	<b>ADDRESS:</b> These input signals, in conjunction $\overline{RD}$ and $\overline{WR}$ , control the selection of one of the three ports or the control word registers.		
	<b>A<sub>1</sub></b>	<b>A<sub>0</sub></b>	<b><math>\overline{RD}</math></b>	<b><math>\overline{WR}</math></b>	<b><math>\overline{CS}</math></b>	<b>Input Operation (Read)</b>
	0	0	0	1	0	Port A - Data Bus
	0	1	0	1	0	Port B - Data Bus
	1	0	0	1	0	Port C - Data Bus
	1	1	0	1	0	Control Word - Data Bus
	<b>Output Operation (Write)</b>					
	0	0	1	0	0	Data Bus - Port A
	0	1	1	0	0	Data Bus - Port B
	1	0	1	0	0	Data Bus - Port C
	1	1	1	0	0	Data Bus - Control
	<b>Disable Function</b>					
	X	X	X	X	1	Data Bus - 3 - State
	X	X	1	1	0	Data Bus - 3 - State
PC <sub>7-4</sub>	10-13	11,13-15	I/O	<b>PORT C, PINS 4-7:</b> Upper nibble of an 8-bit data output latch/buffer and an 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.		
PC <sub>0-3</sub>	14-17	16-19	I/O	<b>PORT C, PINS 0-3:</b> Lower nibble of Port C.		
PB <sub>0-7</sub>	18-25	20-22, 24-28	I/O	<b>PORT B, PINS 0-7:</b> An 8-bit data output latch/buffer and an 8-bit data input buffer.		
V <sub>CC</sub>	26	29		<b>SYSTEM POWER:</b> + 5V Power Supply.		
D <sub>7-0</sub>	27-34	30-33, 35-38	I/O	<b>DATA BUS:</b> Bi-directional, tri-state data bus lines, connected to system data bus.		
RESET	35	39	I	<b>RESET:</b> A high on this input clears the control register and all ports are set to the input mode.		
$\overline{WR}$	36	40	I	<b>WRITE CONTROL:</b> This input is low during CPU write operations.		
PA <sub>7-4</sub>	37-40	41-44	I/O	<b>PORT A, PINS 4-7:</b> Upper nibble of an 8-bit data output latch/buffer and an 8-bit data input latch.		
NC		1, 12, 23, 34		No Connect		

## 82C55A FUNCTIONAL DESCRIPTION

### General

The 82C55A is a programmable peripheral interface device designed for use in Intel microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 82C55A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

### Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 82C55A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

### Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

### Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 82C55A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 82C55A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7–C4)  
Control Group B - Port B and Port C lower (C3–C0)

The control word register can be both written and read as shown in the address decode table in the pin descriptions. Figure 6 shows the control word format for both Read and Write operations. When the control word is read, bit D7 will always be a logic "1", as this implies control word mode information.

### Ports A, B, and C

The 82C55A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 82C55A.

**Port A.** One 8-bit data output latch/buffer and one 8-bit input latch buffer. Both "pull-up" and "pull-down" bus hold devices are present on Port A.

**Port B.** One 8-bit data input/output latch/buffer. Only "pull-up" bus hold devices are present on Port B.

**Port C.** One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B. Only "pull-up" bus hold devices are present on Port C.

See Figure 4 for the bus-hold circuit configuration for Port A, B, and C.



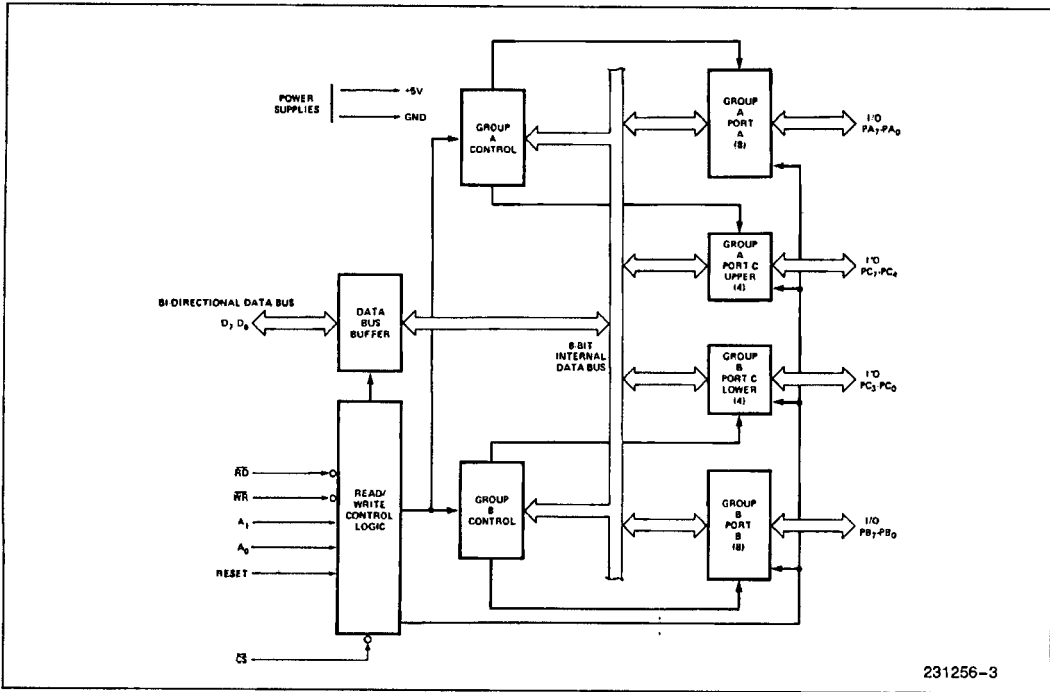


Figure 3. 82C55A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

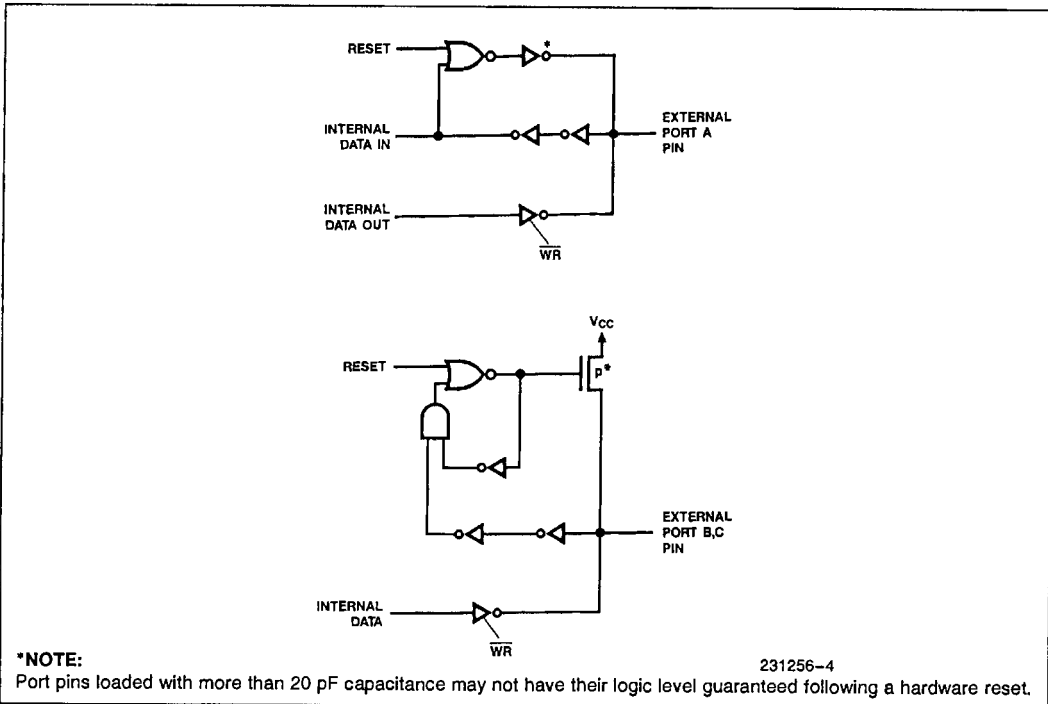


Figure 4. Port A, B, C, Bus-hold Configuration

## 82C55A OPERATIONAL DESCRIPTION

### Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 — Basic input/output
- Mode 1 — Strobed Input/output
- Mode 2 — Bi-directional Bus

When the reset input goes "high" all ports will be set to the input mode with all 24 port lines held at a logic "one" level by the internal bus hold devices (see Figure 4 Note). After the reset is removed the 82C55A can remain in the input mode with no additional initialization required. This eliminates the need for pullup or pulldown devices in "all CMOS" designs. During the execution of the system program, any of the other modes may be selected by using a single output instruction. This allows a single 82C55A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

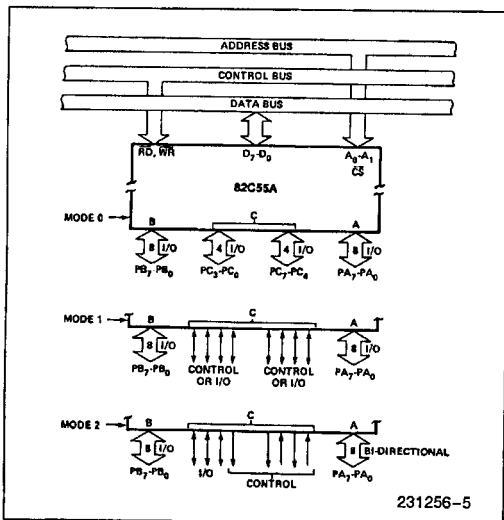


Figure 5. Basic Mode Definitions and Bus Interface

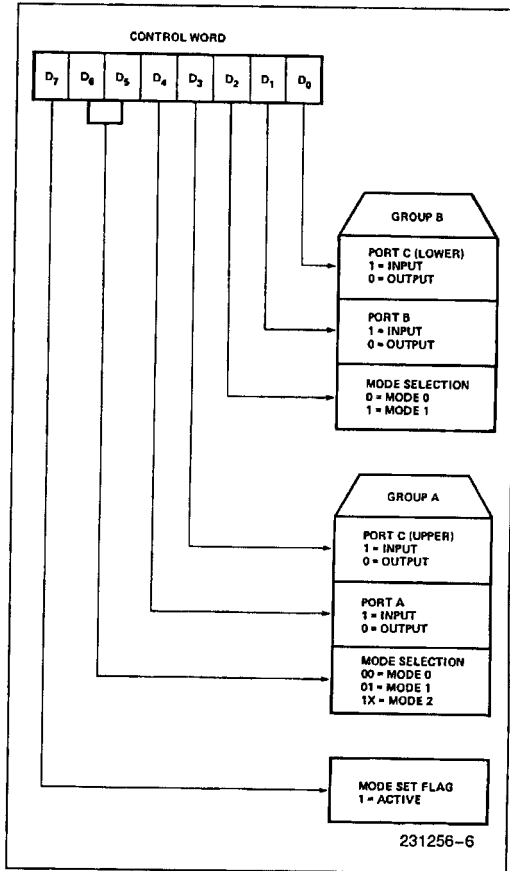


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 82C55A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

### Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

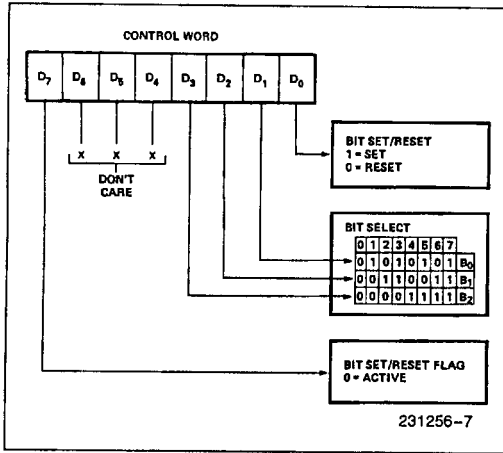


Figure 7. Bit Set/Reset Format

**Interrupt Control Functions**

When the 82C55A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

- (BIT-SET)—INTE is SET—Interrupt enable
- (BIT-RESET)—INTE is RESET—Interrupt disable

**Note:**

All Mask flip-flops are automatically reset during mode selection and device Reset.



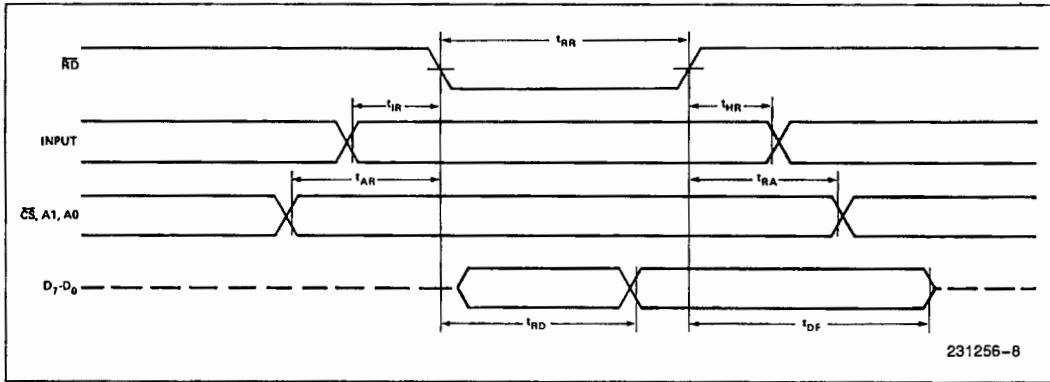
**Operating Modes**

**Mode 0 (Basic Input/Output).** This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

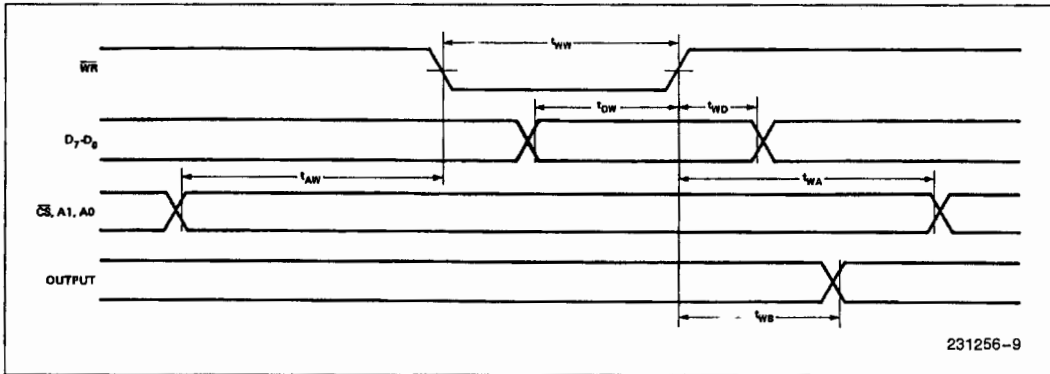
**Mode 0 Basic Functional Definitions:**

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.

**MODE 0 (BASIC INPUT)**



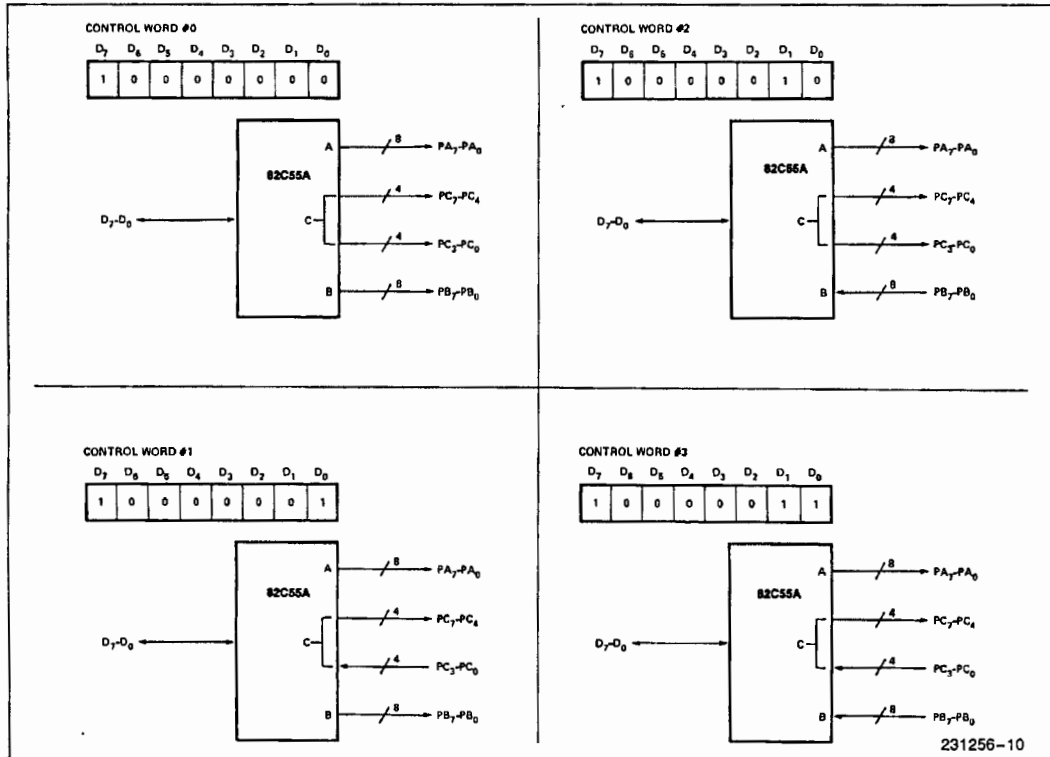
**MODE 0 (BASIC OUTPUT)**



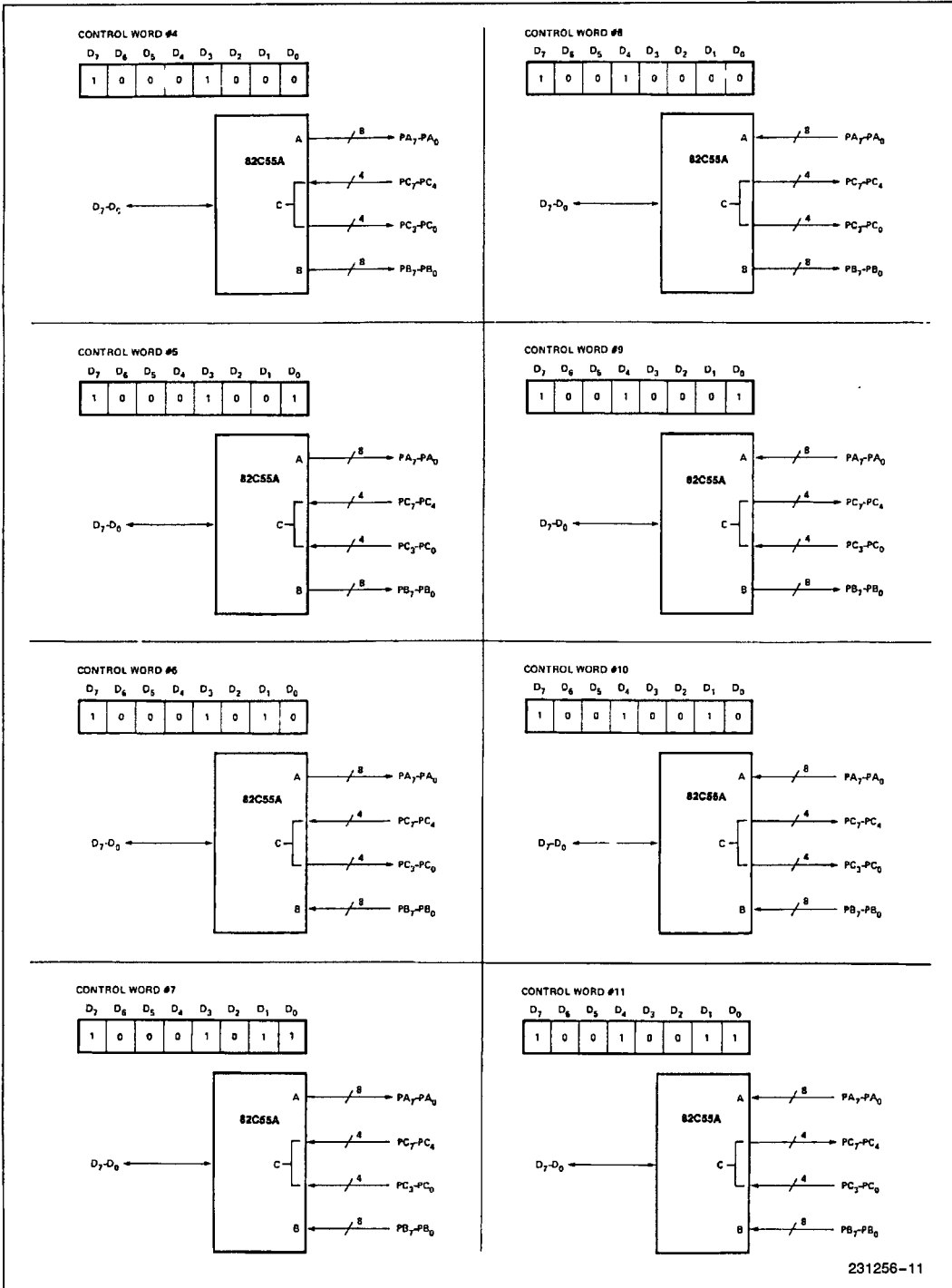
MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D <sub>4</sub>	D <sub>3</sub>	D <sub>1</sub>	D <sub>0</sub>	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

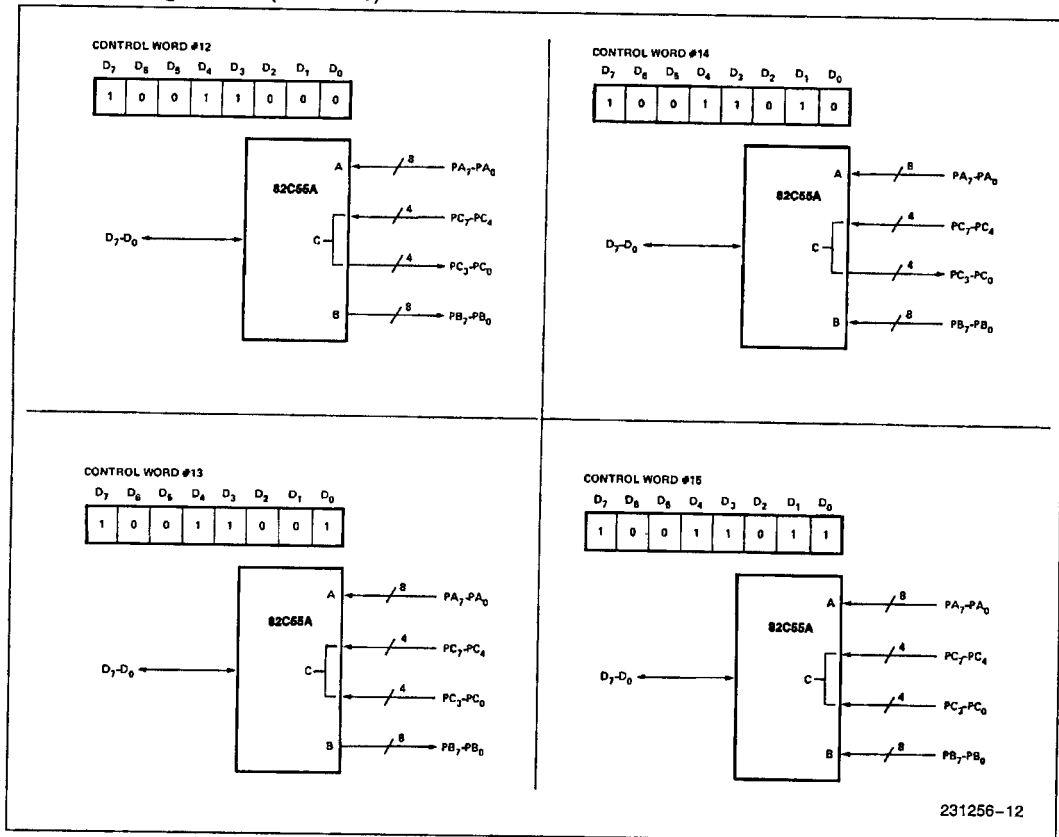


MODE 0 Configurations (Continued)



231256-11

## MODE 0 Configurations (Continued)



## Operating Modes

**MODE 1 (Strobed Input/Output).** This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, Port A and Port B use the lines on Port C to generate or accept these "handshaking" signals.

## Mode 1 Basic functional Definitions:

- Two Groups (Group A and Group B).
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

**Input Control Signal Definition**

**STB (Strobe Input).** A "low" on this input loads data into the input latch.

**IBF (Input Buffer Full F/F)**

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

**INTR (Interrupt Request)**

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the STB is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

**INTE A**

Controlled by bit set/reset of PC<sub>4</sub>.

**INTE B**

Controlled by bit set/reset of PC<sub>2</sub>.

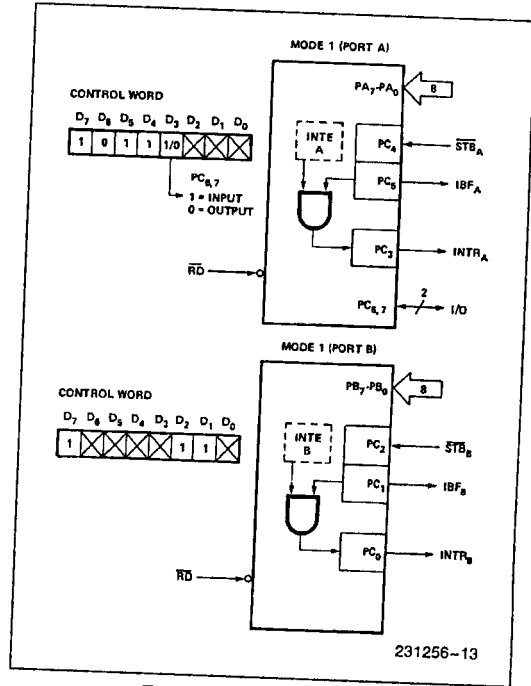


Figure 8. MODE 1 Input

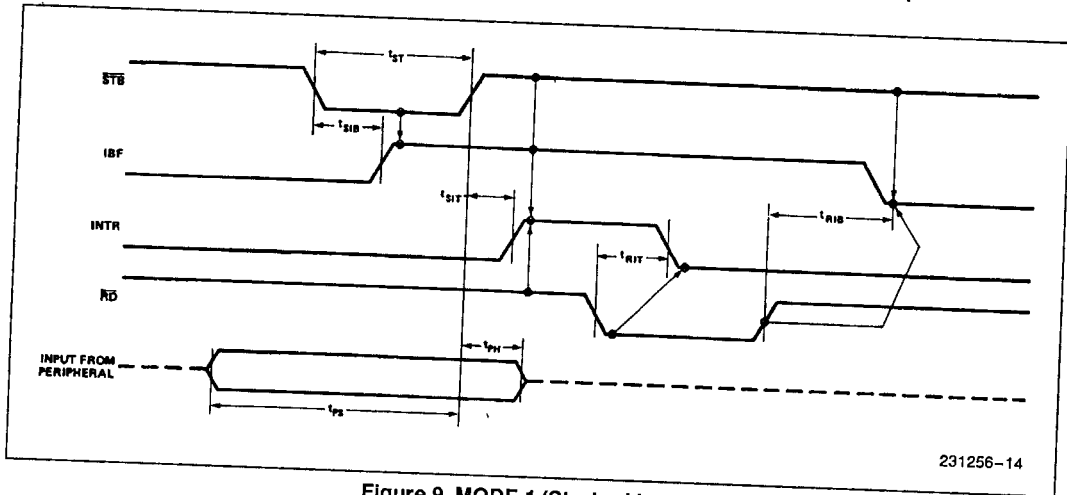


Figure 9. MODE 1 (Strobed Input)



**Output Control Signal Definition**

**$\overline{\text{OBF}}$  (Output Buffer Full F/F).** The  $\overline{\text{OBF}}$  output will go "low" to indicate that the CPU has written data out to the specified port. The  $\overline{\text{OBF}}$  F/F will be set by the rising edge of the  $\overline{\text{WR}}$  input and reset by  $\overline{\text{ACK}}$  Input being low.

**$\overline{\text{ACK}}$  (Acknowledge Input).** A "low" on this input informs the 82C55A that the data from Port A or Port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

**$\text{INTR}$  (Interrupt Request).** A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU.  $\text{INTR}$  is set when  $\overline{\text{ACK}}$  is a "one",  $\overline{\text{OBF}}$  is a "one" and  $\text{INTE}$  is a "one". It is reset by the falling edge of  $\overline{\text{WR}}$ .

**INTE A**

Controlled by bit set/reset of  $\text{PC}_6$ .

**INTE B**

Controlled by bit set/reset of  $\text{PC}_2$ .

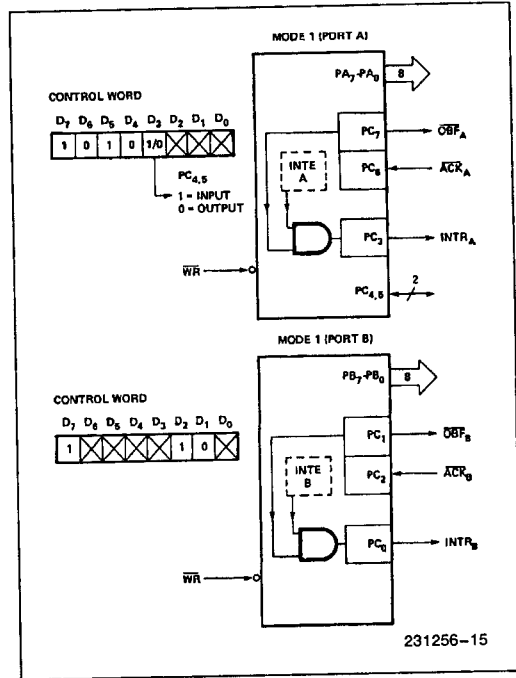


Figure 10. MODE 1 Output

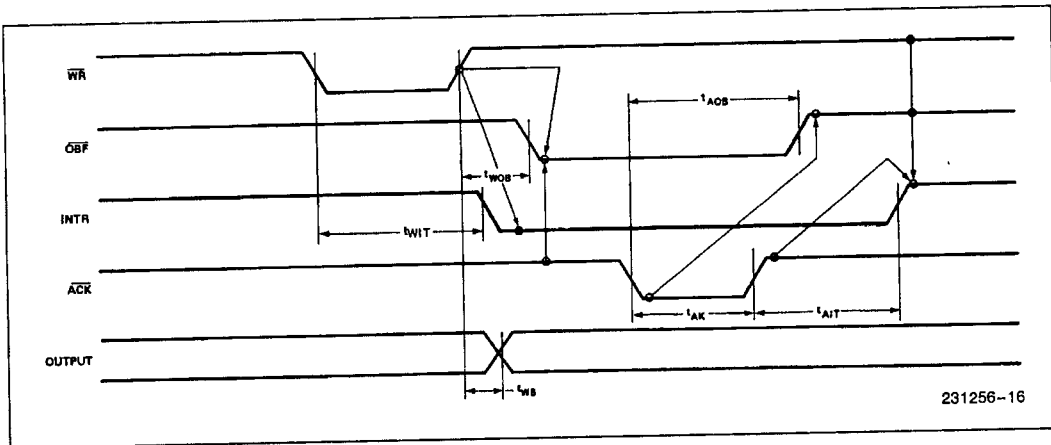


Figure 11. MODE 1 (Strobed Output)

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

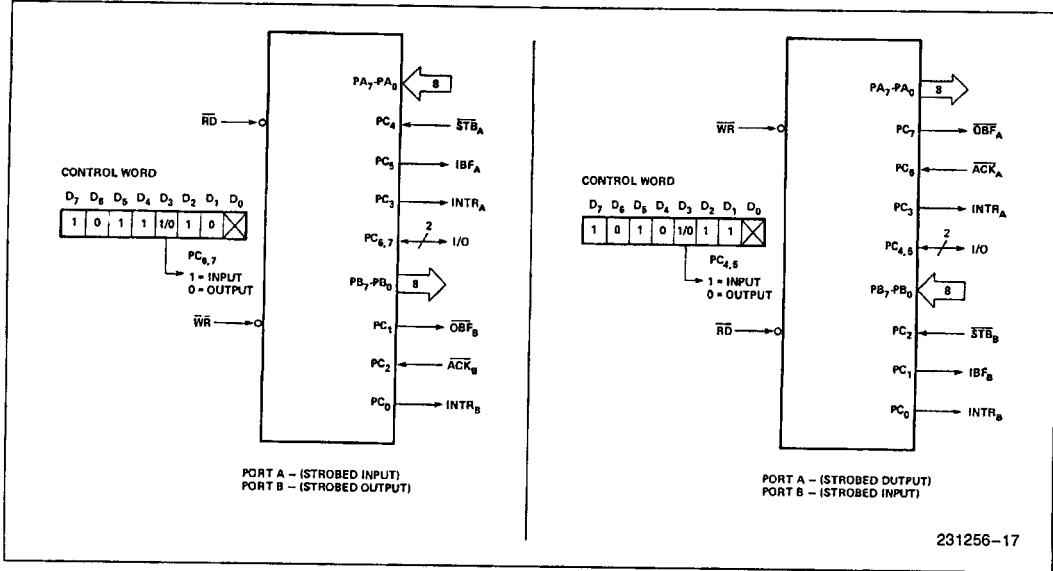


Figure 12. Combinations of MODE 1

Operating Modes

**MODE 2 (Strobed Bidirectional Bus I/O).** This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A **only**.
- One 8-bit, bi-directional bus port (Port A) and a 5-bit control port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

**INTR (Interrupt Request).** A high on this output can be used to interrupt the CPU for input or output operations.

Output Operations

**OBF (Output Buffer Full).** The OBF output will go "low" to indicate that the CPU has written data out to port A.

**ACK (Acknowledge).** A "low" on this input enables the tri-state output buffer of Port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

**INTE 1 (The INTE Flip-Flop Associated with OBF).** Controlled by bit set/reset of PC<sub>6</sub>.

Input Operations

**STB (Strobe Input).** A "low" on this input loads data into the input latch.

**IBF (Input Buffer Full F/F).** A "high" on this output indicates that data has been loaded into the input latch.

**INTE 2 (The INTE Flip-Flop Associated with IBF).** Controlled by bit set/reset of PC<sub>4</sub>.

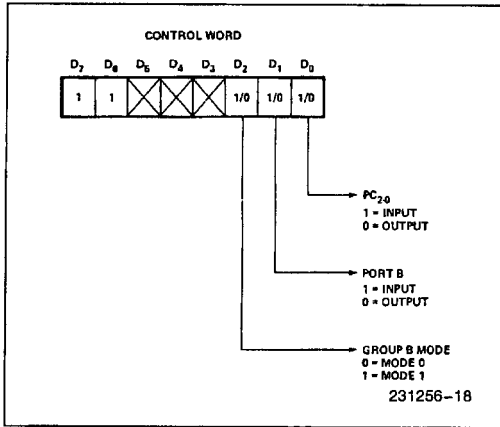


Figure 13. MODE Control Word

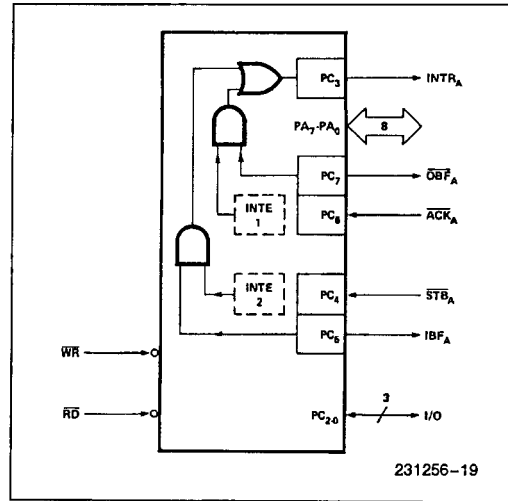


Figure 14. MODE 2

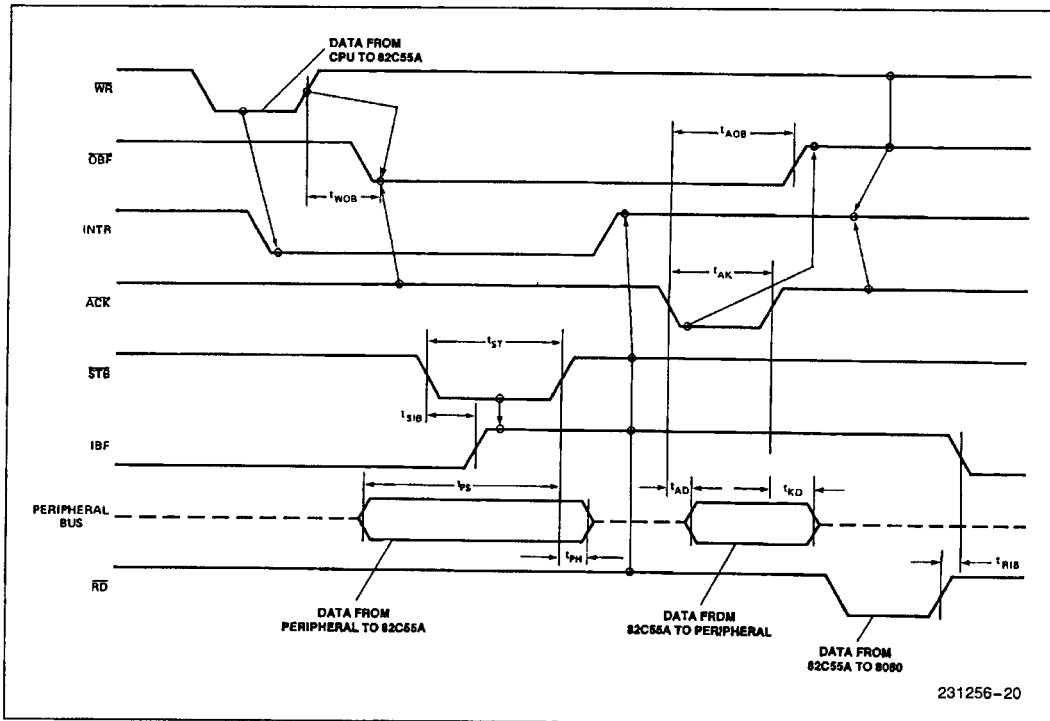


Figure 15. MODE 2 (Bidirectional)

**NOTE:**

Any sequence where  $\overline{WR}$  occurs before  $\overline{ACK}$ , and  $\overline{STB}$  occurs before  $\overline{RD}$  is permissible.  
 $(INTR = IBF \cdot \overline{MASK} \cdot \overline{STB} \cdot \overline{RD} + OBF \cdot \overline{MASK} \cdot \overline{ACK} \cdot \overline{WR})$

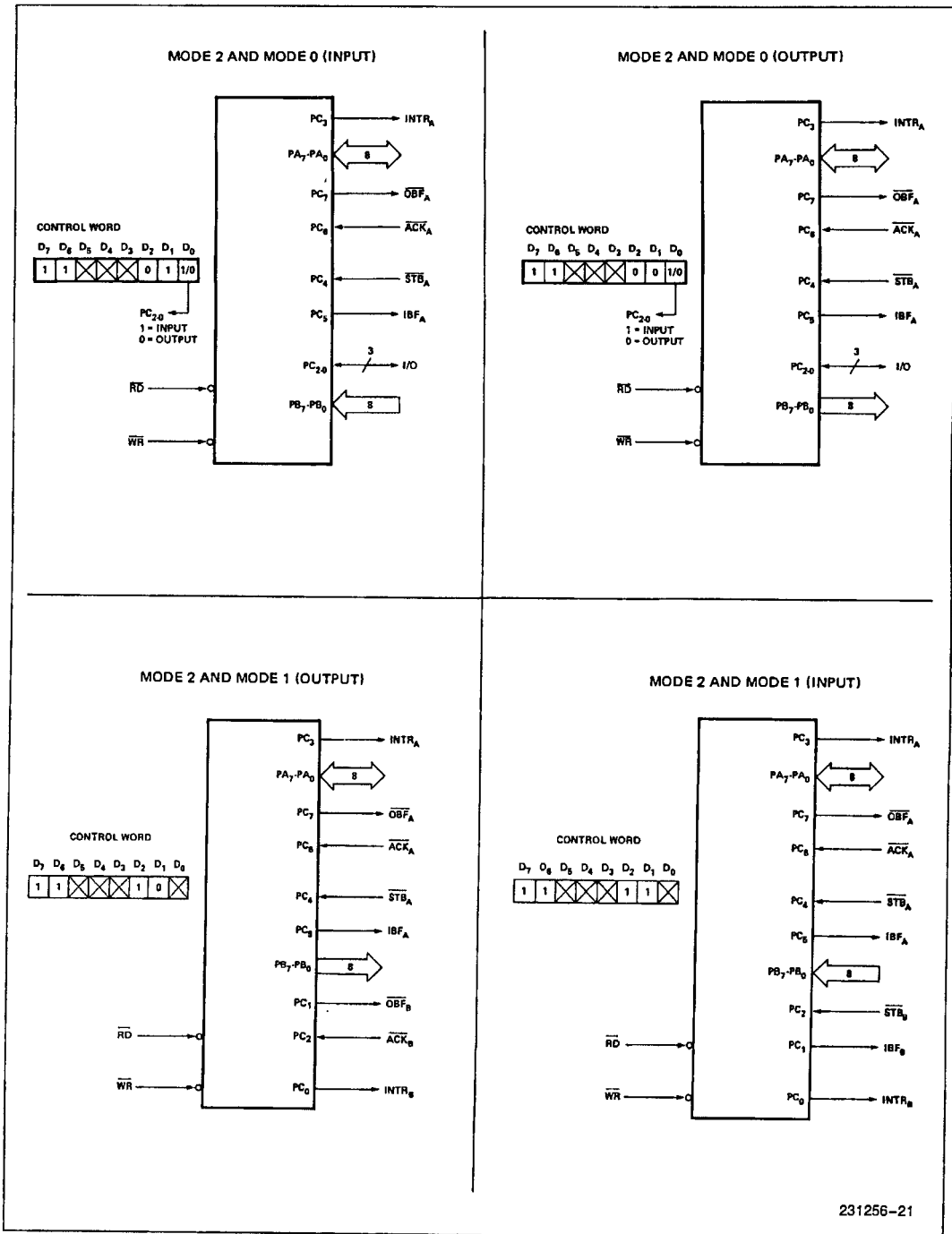


Figure 16. MODE 1/4 Combinations

231256-21

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA <sub>0</sub>	IN	OUT	IN	OUT	↔	MODE 0 OR MODE 1 ONLY
PA <sub>1</sub>	IN	OUT	IN	OUT	↔	
PA <sub>2</sub>	IN	OUT	IN	OUT	↔	
PA <sub>3</sub>	IN	OUT	IN	OUT	↔	
PA <sub>4</sub>	IN	OUT	IN	OUT	↔	
PA <sub>5</sub>	IN	OUT	IN	OUT	↔	
PA <sub>6</sub>	IN	OUT	IN	OUT	↔	
PA <sub>7</sub>	IN	OUT	IN	OUT	↔	
PB <sub>0</sub>	IN	OUT	IN	OUT	—	
PB <sub>1</sub>	IN	OUT	IN	OUT	—	
PB <sub>2</sub>	IN	OUT	IN	OUT	—	
PB <sub>3</sub>	IN	OUT	IN	OUT	—	
PB <sub>4</sub>	IN	OUT	IN	OUT	—	
PB <sub>5</sub>	IN	OUT	IN	OUT	—	
PB <sub>6</sub>	IN	OUT	IN	OUT	—	
PB <sub>7</sub>	IN	OUT	IN	OUT	—	
PC <sub>0</sub>	IN	OUT	INTR <sub>B</sub>	INTR <sub>B</sub>	I/O	
PC <sub>1</sub>	IN	OUT	IBF <sub>B</sub>	OB <sub>F</sub> <sub>B</sub>	I/O	
PC <sub>2</sub>	IN	OUT	STB <sub>B</sub>	ACK <sub>B</sub>	I/O	
PC <sub>3</sub>	IN	OUT	INTR <sub>A</sub>	INTR <sub>A</sub>	INTR <sub>A</sub>	
PC <sub>4</sub>	IN	OUT	STB <sub>A</sub>	I/O	STB <sub>A</sub>	
PC <sub>5</sub>	IN	OUT	IBF <sub>A</sub>	I/O	IBF <sub>A</sub>	
PC <sub>6</sub>	IN	OUT	I/O	ACK <sub>A</sub>	ACK <sub>A</sub>	
PC <sub>7</sub>	IN	OUT	I/O	OB <sub>F</sub> <sub>A</sub>	OB <sub>F</sub> <sub>A</sub>	

Special Mode Combination Considerations

There are several combinations of modes possible. For any combination, some or all of the Port C lines are used for control or status. The remaining bits are either inputs or outputs as defined by a "Set Mode" command.

During a read of Port C, the state of all the Port C lines, except the ACK and STB lines, will be placed on the data bus. In place of the ACK and STB line states, flag status will appear on the data bus in the PC2, PC4, and PC6 bit positions as illustrated by Figure 18.

Through a "Write Port C" command, only the Port C pins programmed as outputs in a Mode 0 group can be written. No other pins can be affected by a "Write Port C" command, nor can the interrupt enable flags be accessed. To write to any Port C output programmed as an output in a Mode 1 group or to

change an interrupt enable flag, the "Set/Reset Port C Bit" command must be used.

With a "Set/Reset Port C Bit" command, any Port C line programmed as an output (including INTR, IBF and OBF) can be written, or an interrupt enable flag can be either set or reset. Port C lines programmed as inputs, including ACK and STB lines, associated with Port C are not affected by a "Set/Reset Port C Bit" command. Writing to the corresponding Port C bit positions of the ACK and STB lines with the "Set/Reset Port C Bit" command will affect the Group A and Group B interrupt enable flags, as illustrated in Figure 18.

Current Drive Capability

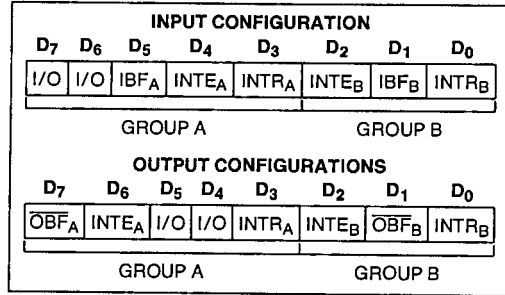
Any output on Port A, B or C can sink or source 2.5 mA. This feature allows the 82C55A to directly drive Darlington type drivers and high-voltage displays that require such sink or source current.



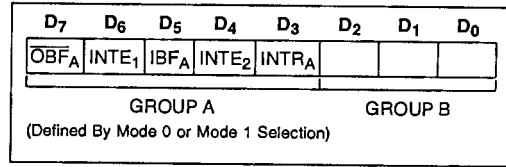
**Reading Port C Status**

In Mode 0, Port C transfers data to or from the peripheral device. When the 82C55A is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.



**Figure 17a. MODE 1 Status Word Format**



**Figure 17b. MODE 2 Status Word Format**

Interrupt Enable Flag	Position	Alternate Port C Pin Signal (Mode)
INTE B	PC2	$\overline{\text{ACK}}_B$ (Output Mode 1) or $\overline{\text{STB}}_B$ (Input Mode 1)
INTE A2	PC4	$\overline{\text{STB}}_A$ (Input Mode 1 or Mode 2)
INTE A1	PC6	$\overline{\text{ACK}}_A$ (Output Mode 1 or Mode 2)

**Figure 18. Interrupt Enable Flags in Modes 1 and 2**

### ABSOLUTE MAXIMUM RATINGS\*

Ambient Temperature Under Bias . . . 0°C to + 70°C  
 Storage Temperature . . . . . - 65°C to + 150°C  
 Supply Voltage . . . . . - 0.5 to + 8.0V  
 Operating Voltage . . . . . + 4V to + 7V  
 Voltage on any Input . . . . . GND - 2V to + 6.5V  
 Voltage on any Output . . GND - 0.5V to  $V_{CC}$  + 0.5V  
 Power Dissipation . . . . . 1 Watt

NOTICE: This is a production data sheet. The specifications are subject to change without notice.

*\*WARNING: Stressing the device beyond the "Absolute Maximum Ratings" may cause permanent damage. These are stress ratings only. Operation beyond the "Operating Conditions" is not recommended and extended exposure beyond the "Operating Conditions" may affect device reliability.*

### D.C. CHARACTERISTICS

$T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC} = +5\text{V} \pm 10\%$ , GND = 0V ( $T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$  for Extended Temperature)

Symbol	Parameter	Min	Max	Units	Test Conditions
$V_{IL}$	Input Low Voltage	-0.5	0.8	V	
$V_{IH}$	Input High Voltage	2.0	$V_{CC}$	V	
$V_{OL}$	Output Low Voltage		0.4	V	$I_{OL} = 2.5\text{ mA}$
$V_{OH}$	Output High Voltage	3.0 $V_{CC} - 0.4$		V V	$I_{OH} = -2.5\text{ mA}$ $I_{OH} = -100\ \mu\text{A}$
$I_{IL}$	Input Leakage Current		$\pm 1$	$\mu\text{A}$	$V_{IN} = V_{CC}$ to 0V (Note 1)
$I_{OFL}$	Output Float Leakage Current		$\pm 10$	$\mu\text{A}$	$V_{IN} = V_{CC}$ to 0V (Note 2)
$I_{DAR}$	Darlington Drive Current	$\pm 2.5$	(Note 4)	mA	Ports A, B, C $R_{ext} = 500\ \Omega$ $V_{ext} = 1.7\text{V}$
$I_{PHL}$	Port Hold Low Leakage Current	+ 50	+ 300	$\mu\text{A}$	$V_{OUT} = 1.0\text{V}$ Port A only
$I_{PHH}$	Port Hold High Leakage Current	- 50	- 300	$\mu\text{A}$	$V_{OUT} = 3.0\text{V}$ Ports A, B, C
$I_{PHLO}$	Port Hold Low Overdrive Current	- 350		$\mu\text{A}$	$V_{OUT} = 0.8\text{V}$
$I_{PHHO}$	Port Hold High Overdrive Current	+ 350		$\mu\text{A}$	$V_{OUT} = 3.0\text{V}$
$I_{CC}$	$V_{CC}$ Supply Current		10	mA	(Note 3)
$I_{CCSB}$	$V_{CC}$ Supply Current-Standby		10	$\mu\text{A}$	$V_{CC} = 5.5\text{V}$ $V_{IN} = V_{CC}$ or GND Port Conditions If I/P = Open/High O/P = Open Only With Data Bus = High/Low $\overline{CS} = \text{High}$ Reset = Low Pure Inputs = Low/High

#### NOTES:

1. Pins  $A_1$ ,  $A_0$ ,  $\overline{CS}$ ,  $\overline{WR}$ ,  $\overline{RD}$ , Reset.
2. Data Bus; Ports B, C.
3. Outputs open.
4. Limit output current to 4.0 mA.

**CAPACITANCE**

$T_A = 25^\circ\text{C}$ ,  $V_{CC} = \text{GND} = 0\text{V}$

Symbol	Parameter	Min	Max	Units	Test Conditions
$C_{IN}$	Input Capacitance		10	pF	Unmeasured pins returned to GND $f_c = 1\text{ MHz}^{(5)}$
$C_{I/O}$	I/O Capacitance		20	pF	

**NOTE:**

5. Sampled not 100% tested.

**A.C. CHARACTERISTICS**

$T_A = 0^\circ$  to  $70^\circ\text{C}$ ,  $V_{CC} = +5\text{V} \pm 10\%$ ,  $\text{GND} = 0\text{V}$

$T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$  for Extended Temperature

**BUS PARAMETERS**

**READ CYCLE**

Symbol	Parameter	82C55A-2		Units	Test Conditions
		Min	Max		
$t_{AR}$	Address Stable Before $\overline{\text{RD}} \downarrow$	0		ns	
$t_{RA}$	Address Hold Time After $\overline{\text{RD}} \uparrow$	0		ns	
$t_{RR}$	$\overline{\text{RD}}$ Pulse Width	150		ns	
$t_{RD}$	Data Delay from $\overline{\text{RD}} \downarrow$		120	ns	
$t_{DF}$	$\overline{\text{RD}} \uparrow$ to Data Floating	10	75	ns	
$t_{RV}$	Recovery Time between $\overline{\text{RD}}/\overline{\text{WR}}$	200		ns	

**WRITE CYCLE**

Symbol	Parameter	82C55A-2		Units	Test Conditions
		Min	Max		
$t_{AW}$	Address Stable Before $\overline{\text{WR}} \downarrow$	0		ns	
$t_{WA}$	Address Hold Time After $\overline{\text{WR}} \uparrow$	20		ns	Ports A & B
		20		ns	Port C
$t_{WW}$	$\overline{\text{WR}}$ Pulse Width	100		ns	
$t_{DW}$	Data Setup Time Before $\overline{\text{WR}} \uparrow$	100		ns	
$t_{WD}$	Data Hold Time After $\overline{\text{WR}} \uparrow$	30		ns	Ports A & B
		30		ns	Port C



## OTHER TIMINGS

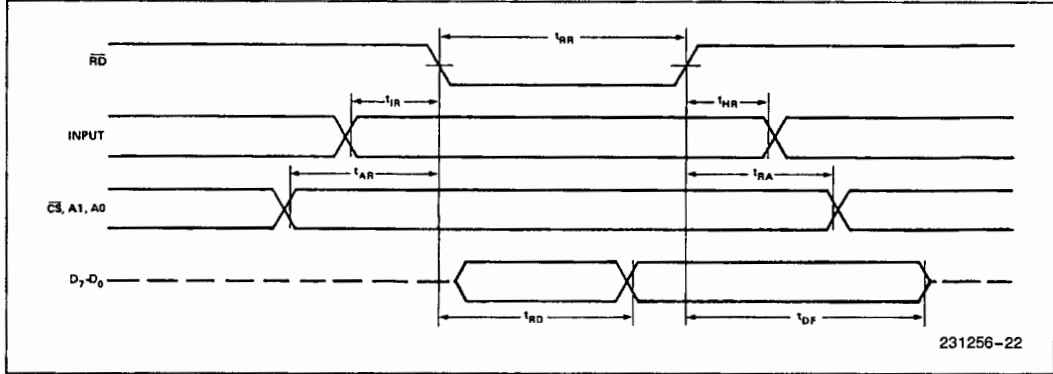
Symbol	Parameter	82C55A-2		Units Conditions	Test
		Min	Max		
$t_{WB}$	$\overline{WR} = 1$ to Output		350	ns	
$t_{IR}$	Peripheral Data Before $\overline{RD}$	0		ns	
$t_{HR}$	Peripheral Data After $\overline{RD}$	0		ns	
$t_{AK}$	$\overline{ACK}$ Pulse Width	200		ns	
$t_{ST}$	$\overline{STB}$ Pulse Width	100		ns	
$t_{PS}$	Per. Data Before $\overline{STB}$ High	20		ns	
$t_{PH}$	Per. Data After $\overline{STB}$ High	50		ns	
$t_{AD}$	$\overline{ACK} = 0$ to Output		175	ns	
$t_{KD}$	$\overline{ACK} = 1$ to Output Float	20	250	ns	
$t_{WOB}$	$\overline{WR} = 1$ to $\overline{OBF} = 0$		150	ns	
$t_{AOB}$	$\overline{ACK} = 0$ to $\overline{OBF} = 1$		150	ns	
$t_{SIB}$	$\overline{STB} = 0$ to $IBF = 1$		150	ns	
$t_{RIB}$	$\overline{RD} = 1$ to $IBF = 0$		150	ns	
$t_{RIT}$	$\overline{RD} = 0$ to $INTR = 0$		200	ns	
$t_{SIT}$	$\overline{STB} = 1$ to $INTR = 1$		150	ns	
$t_{AIT}$	$\overline{ACK} = 1$ to $INTR = 1$		150	ns	
$t_{WIT}$	$\overline{WR} = 0$ to $INTR = 0$		200	ns	see note 1
$t_{RES}$	Reset Pulse Width	500		ns	see note 2

## NOTE:

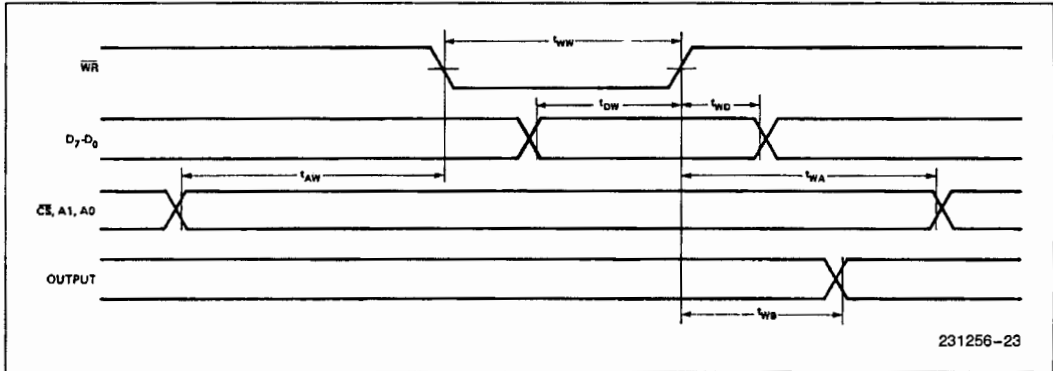
1.  $INTR \uparrow$  may occur as early as  $\overline{WR} \downarrow$ .
2. Pulse width of initial Reset pulse after power on must be at least 50  $\mu$ Sec. Subsequent Reset pulses may be 500 ns minimum. The output Ports A, B, or C may glitch low during the reset pulse but all port pins will be held at a logic "one" level after the reset pulse.

WAVEFORMS

MODE 0 (BASIC INPUT)

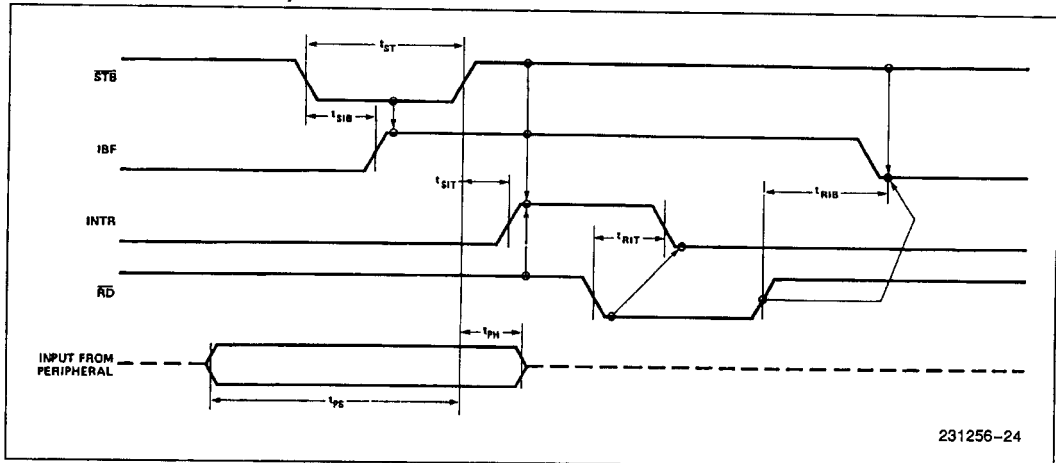


MODE 0 (BASIC OUTPUT)

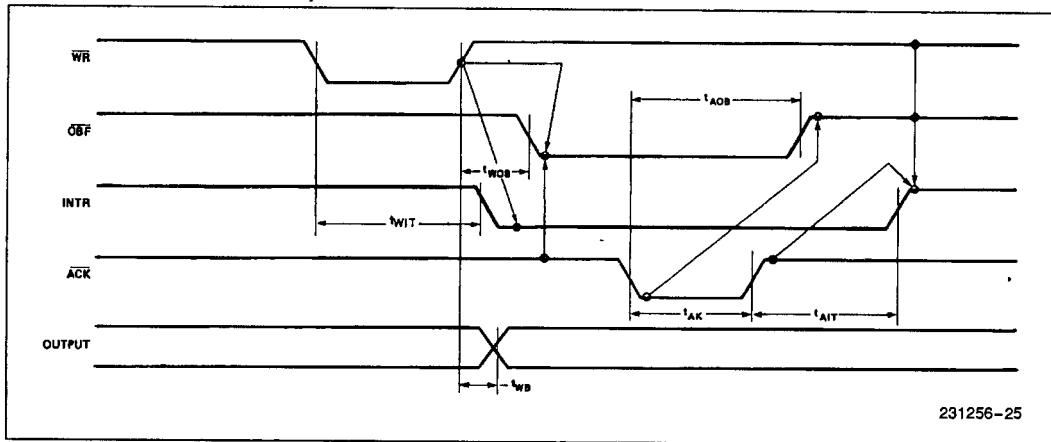


WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)

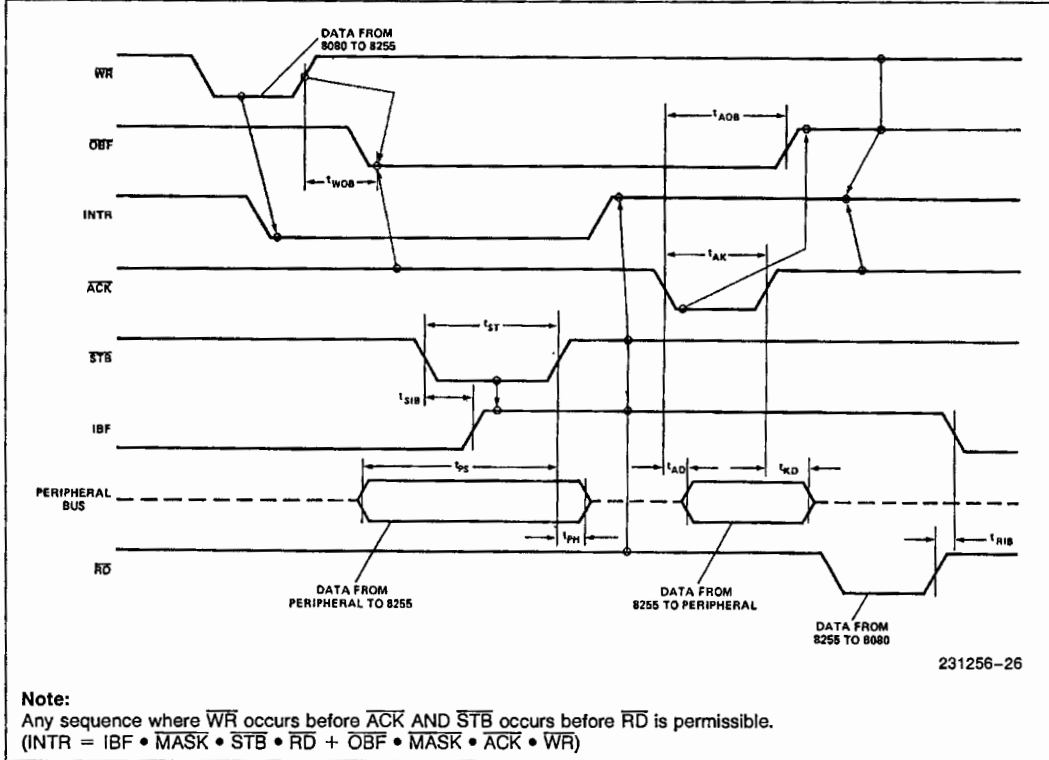


MODE 1 (STROBED OUTPUT)



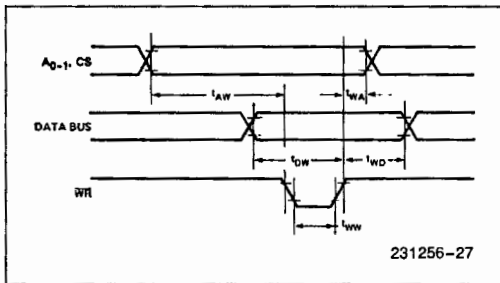
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)



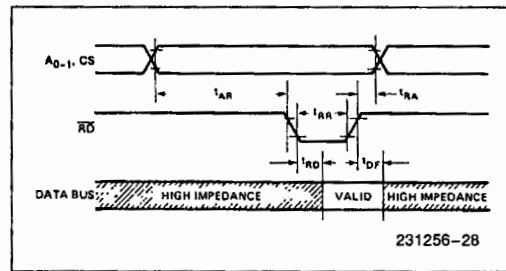
231256-26

WRITE TIMING



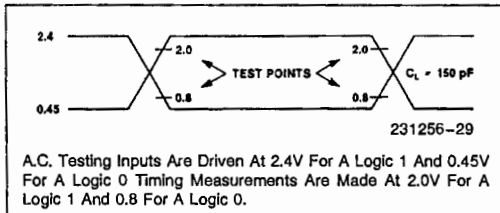
231256-27

READ TIMING



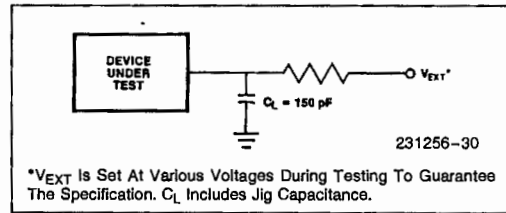
231256-28

A.C. TESTING INPUT, OUTPUT WAVEFORM



231256-29

A.C. TESTING LOAD CIRCUIT



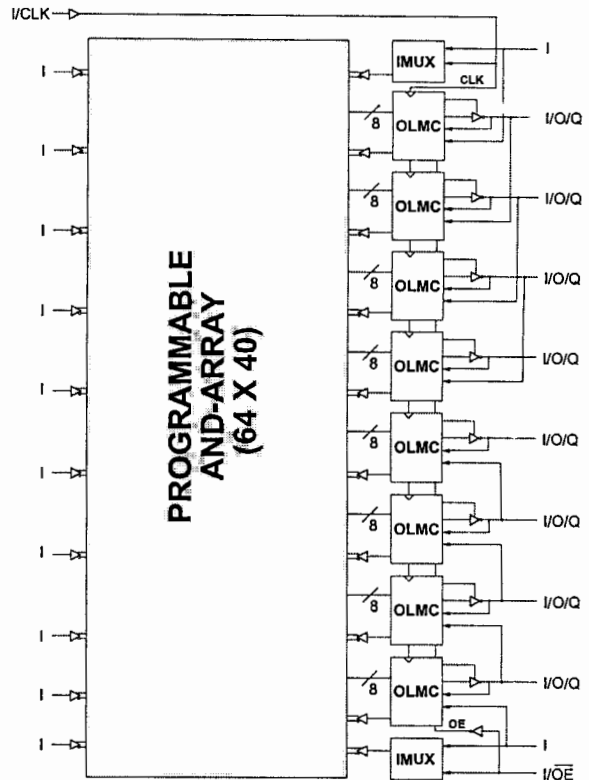
231256-30

# APÉNDICE E

## Features

- **HIGH PERFORMANCE E<sup>2</sup>CMOS® TECHNOLOGY**
  - 5 ns Maximum Propagation Delay
  - F<sub>max</sub> = 166 MHz
  - 4 ns Maximum from Clock Input to Data Output
  - UltraMOS® Advanced CMOS Technology
- **50% to 75% REDUCTION IN POWER FROM BIPOLAR**
  - 75mA Typ I<sub>cc</sub> on Low Power Device
  - 45mA Typ I<sub>cc</sub> on Quarter Power Device
- **ACTIVE PULL-UPS ON ALL PINS**
- **E<sup>2</sup> CELL TECHNOLOGY**
  - Reconfigurable Logic
  - Reprogrammable Cells
  - 100% Tested/100% Yields
  - High Speed Electrical Erasure (<100ms)
  - 20 Year Data Retention
- **EIGHT OUTPUT LOGIC MACROCELLS**
  - Maximum Flexibility for Complex Logic Designs
  - Programmable Output Polarity
  - Also Emulates 24-pin PAL® Devices with Full Function/ Fuse Map/Parametric Compatibility
- **PRELOAD AND POWER-ON RESET OF ALL REGISTERS**
  - 100% Functional Testability
- **APPLICATIONS INCLUDE:**
  - DMA Control
  - State Machine Control
  - High Speed Graphics Processing
  - Standard Logic Speed Upgrade
- **ELECTRONIC SIGNATURE FOR IDENTIFICATION**

## Functional Block Diagram



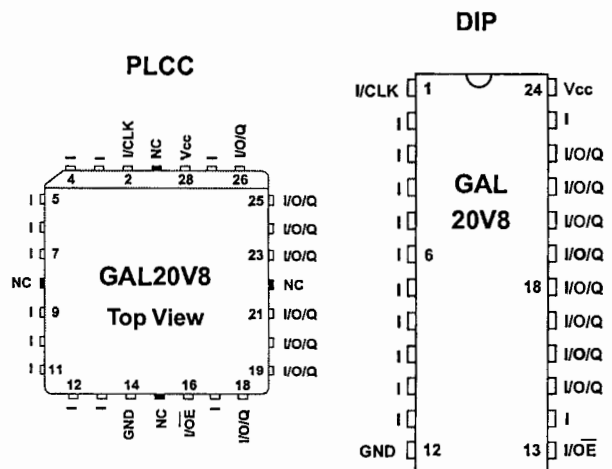
## Description

The GAL20V8C, at 5ns maximum propagation delay time, combines a high performance CMOS process with Electrically Erasable (E<sup>2</sup>) floating gate technology to provide the highest speed performance available in the PLD market. High speed erase times (<100ms) allow the devices to be reprogrammed quickly and efficiently.

The generic architecture provides maximum design flexibility by allowing the Output Logic Macrocell (OLMC) to be configured by the user. An important subset of the many architecture configurations possible with the GAL20V8 are the PAL architectures listed in the table of the macrocell description section. GAL20V8 devices are capable of emulating any of these PAL architectures with full function/fuse map/parametric compatibility.

Unique test circuitry and reprogrammable cells allow complete AC, DC, and functional testing during manufacture. As a result, Lattice Semiconductor delivers 100% field programmability and functionality of all GAL products. In addition, 100 erase/write cycles and data retention in excess of 20 years are specified.

## Pin Configuration



Copyright © 1997 Lattice Semiconductor Corp. All brand or product names are trademarks or registered trademarks of their respective holders. The specifications and information herein are subject to change without notice.

**GAL20V8 ORDERING INFORMATION**

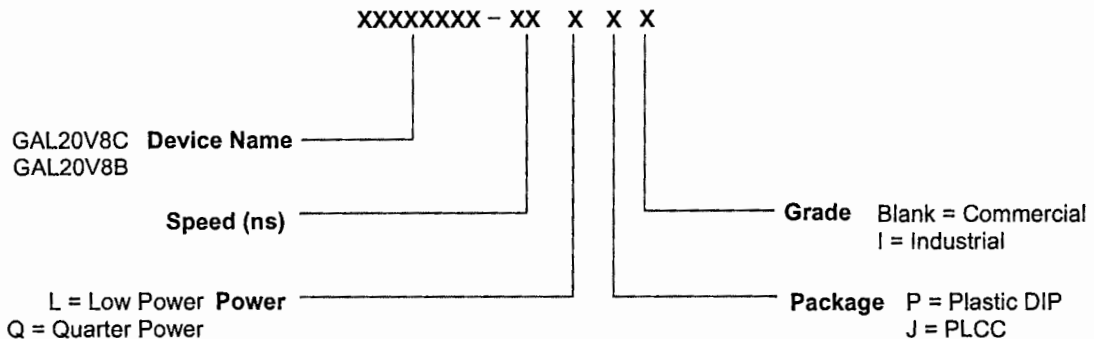
**Commercial Grade Specifications**

Tpd (ns)	Tsu (ns)	Tco (ns)	Icc (mA)	Ordering #	Package
5	3	4	115	GAL20V8C-5LJ	28-Lead PLCC
7.5	7	5	115	GAL20V8C-7LJ	28-Lead PLCC
			115	GAL20V8B-7LP	24-Pin Plastic DIP
			115	GAL20V8B-7LJ	28-Lead PLCC
10	10	7	115	GAL20V8C-10LJ	28-Lead PLCC
			115	GAL20V8B-10LP	24-Pin Plastic DIP
			115	GAL20V8B-10LJ	28-Lead PLCC
15	12	10	55	GAL20V8B-15QP	24-Pin Plastic DIP
			55	GAL20V8B-15QJ	28-Lead PLCC
			90	GAL20V8B-15LP	24-Pin Plastic DIP
			90	GAL20V8B-15LJ	28-Lead PLCC
25	15	12	55	GAL20V8B-25QP	24-Pin Plastic DIP
			55	GAL20V8B-25QJ	28-Lead PLCC
			90	GAL20V8B-25LP	24-Pin Plastic DIP
			90	GAL20V8B-25LJ	28-Lead PLCC

**Industrial Grade Specifications**

Tpd (ns)	Tsu (ns)	Tco (ns)	Icc (mA)	Ordering #	Package
10	10	7	130	GAL20V8C-10LJI	28-Lead PLCC
			130	GAL20V8B-10LPI	24-Pin Plastic DIP
			130	GAL20V8B-10LJI	28-Lead PLCC
15	12	10	130	GAL20V8B-15LPI	24-Pin Plastic DIP
			130	GAL20V8B-15LJI	28-Lead PLCC
20	13	11	65	GAL20V8B-20QPI	24-Pin Plastic DIP
			65	GAL20V8B-20QJI	28-Lead PLCC
25	15	12	65	GAL20V8B-25QPI	24-Pin Plastic DIP
			65	GAL20V8B-25QJI	28-Lead PLCC
			130	GAL20V8B-25LPI	24-Pin Plastic DIP
			130	GAL20V8B-25LJI	28-Lead PLCC

**PART NUMBER DESCRIPTION**



## OUTPUT LOGIC MACROCELL (OLMC)

The following discussion pertains to configuring the output logic macrocell. It should be noted that actual implementation is accomplished by development software/hardware and is completely transparent to the user.

There are three global OLMC configuration modes possible: **simple**, **complex**, and **registered**. Details of each of these modes is illustrated in the following pages. Two global bits, SYN and AC0, control the mode configuration for all macrocells. The XOR bit of each macrocell controls the polarity of the output in any of the three modes, while the AC1 bit of each of the macrocells controls the input/output configuration. These two global and 16 individual architecture bits define all possible configurations in a GAL20V8. The information given on these architecture bits is only to give a better understanding of the device. Compiler software will transparently set these architecture bits from the pin definitions, so the user should not need to directly manipulate these architecture bits.

The following is a list of the PAL architectures that the GAL20V8 can emulate. It also shows the OLMC mode under which the devices emulate the PAL architecture.

PAL Architectures Emulated by GAL20V8	GAL20V8 Global OLMC Mode
20R8	Registered
20RB	Registered
20R4	Registered
20RP8	Registered
20RP6	Registered
20RP4	Registered
20L8	Complex
20H8	Complex
20P8	Complex
14L8	Simple
16L8	Simple
18L4	Simple
20L2	Simple
14H8	Simple
16H6	Simple
18H4	Simple
20H2	Simple
14P8	Simple
16P6	Simple
18P4	Simple
20P2	Simple

## COMPILER SUPPORT FOR OLMC

Software compilers support the three different global OLMC modes as different device types. These device types are listed in the table below. Most compilers have the ability to automatically select the device type, generally based on the register usage and output enable (OE) usage. Register usage on the device forces the software to choose the registered mode. All combinatorial outputs with OE controlled by the product term will force the software to choose the complex mode. The software will choose the simple mode only when all outputs are dedicated combinatorial without OE control. The different device types listed in the table can be used to override the automatic device selection by the software. For further details, refer to the compiler software manuals.

When using compiler software to configure the device, the user must pay special attention to the following restrictions in each mode.

In **registered mode** pin 1 and pin 13 (DIP pinout) are permanently configured as clock and output enable, respectively. These pins cannot be configured as dedicated inputs in the registered mode.

In **complex mode** pin 1 and pin 13 become dedicated inputs and use the feedback paths of pin 22 and pin 15 respectively. Because of this feedback path usage, pin 22 and pin 15 do not have the feedback option in this mode.

In **simple mode** all feedback paths of the output pins are routed via the adjacent pins. In doing so, the two inner most pins (pins 18 and 19) will not have the feedback option as these pins are always configured as dedicated combinatorial output.

	Registered	Complex	Simple	Auto Mode Select
ABEL	P20V8R	P20V8C	P20V8AS	P20V8
CUPL	G20V8MS	G20V8MA	G20V8AS	G20V8
LOG/iC	GAL20V8_R	GAL20V8_C7	GAL20V8_C8	GAL20V8
OrCAD-PLD	"Registered" <sup>1</sup>	"Complex" <sup>1</sup>	"Simple" <sup>1</sup>	GAL20V8A
PLDesigner	P20V8R <sup>2</sup>	P20V8C <sup>2</sup>	P20V8C <sup>2</sup>	P20V8A
TANGO-PLD	G20V8R	G20V8C	G20V8AS <sup>3</sup>	G20V8

- 1) Used with **Configuration** keyword.
- 2) Prior to Version 2.0 support.
- 3) Supported on Version 1.20 or later.



## Registered Mode

In the Registered mode, macrocells are configured as dedicated registered outputs or as I/O functions.

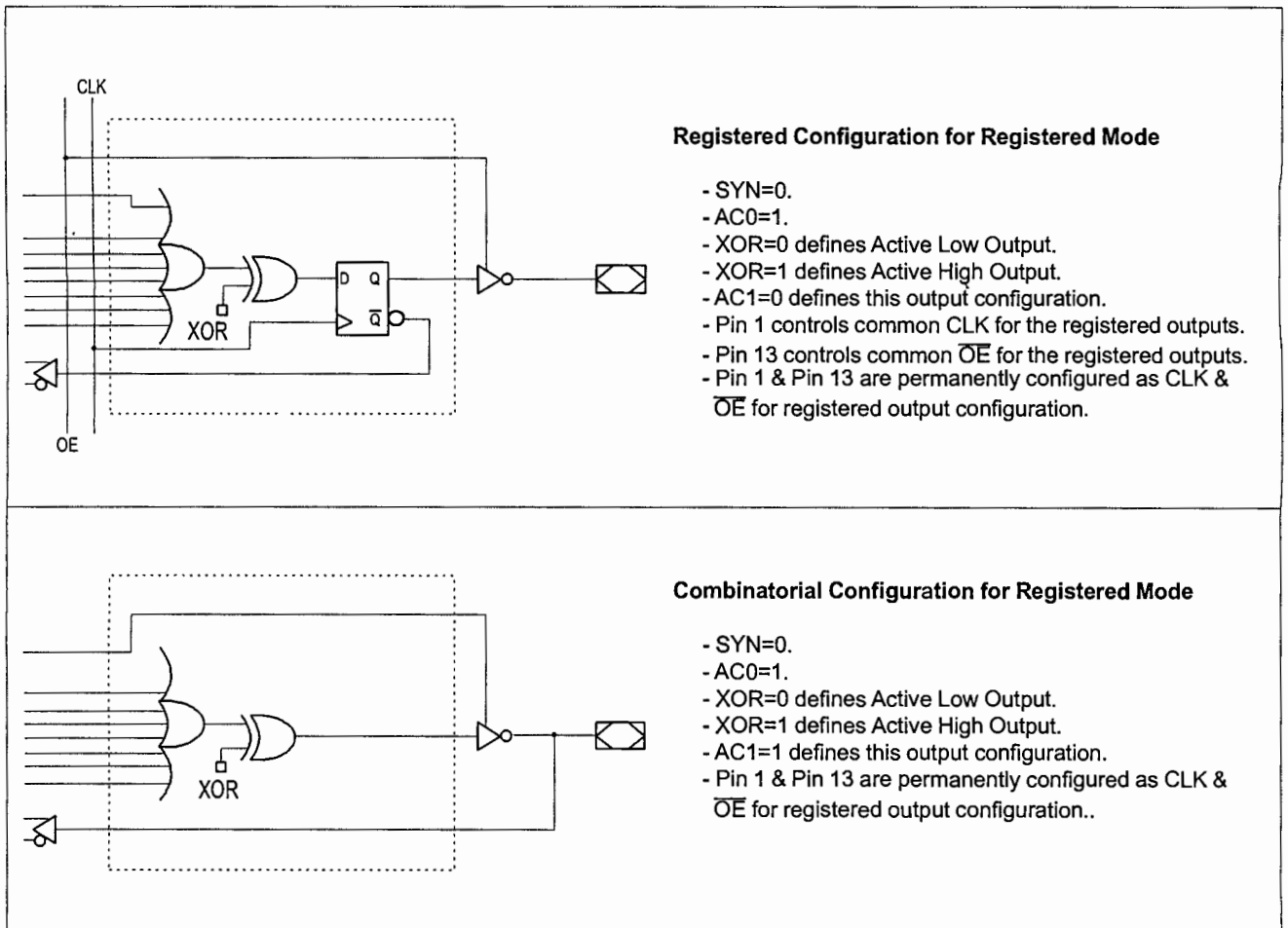
Architecture configurations available in this mode are similar to the common 20R8 and 20RP4 devices with various permutations of polarity, I/O and register placement.

All registered macrocells share common clock and output enable control pins. Any macrocell can be configured as registered or I/O. Up to eight registers or up to eight I/Os are possible in this mode.

Dedicated input or output functions can be implemented as subsets of the I/O function.

Registered outputs have eight product terms per output. I/Os have seven product terms per output.

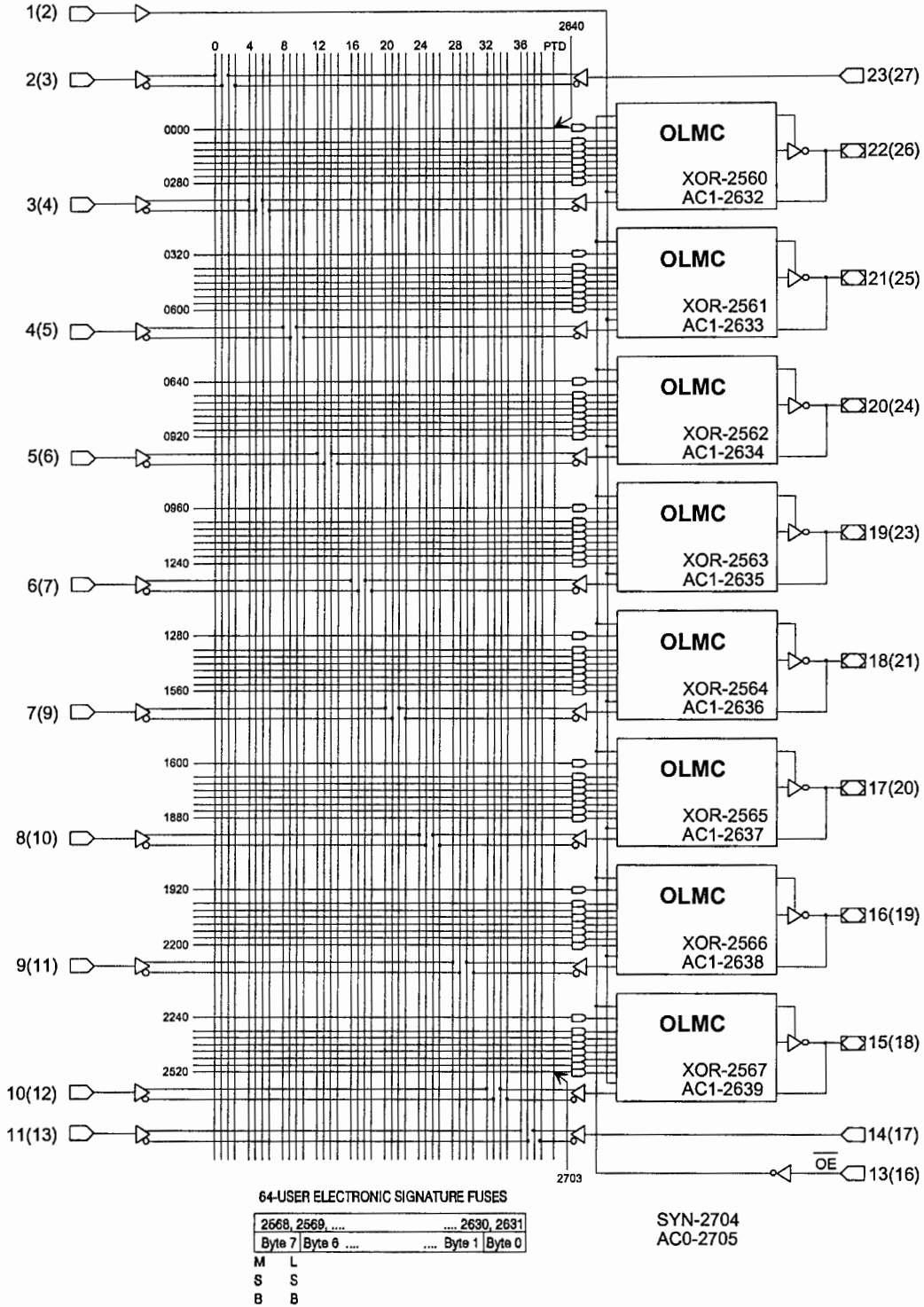
The JEDEC fuse numbers, including the User Electronic Signature (UES) fuses and the Product Term Disable (PTD) fuses, are shown on the logic diagram on the following page.



Note: The development software configures all of the architecture control bits and checks for proper pin usage automatically.

**REGISTERED MODE LOGIC DIAGRAM**

DIP (PLCC) Package Pinouts



**COMPLEX MODE**

In the Complex mode, macrocells are configured as output only or I/O functions.

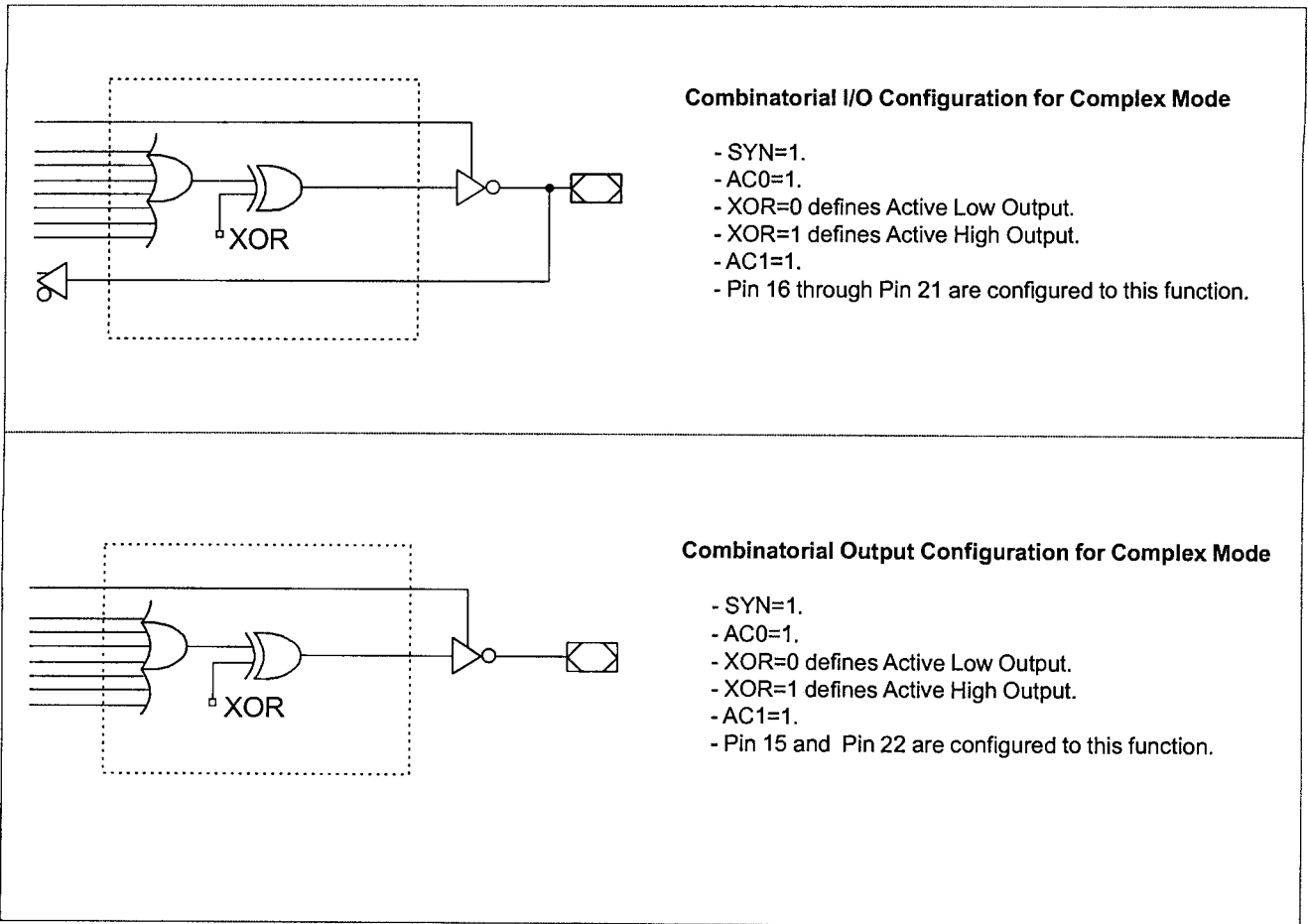
Architecture configurations available in this mode are similar to the common 20L8 and 20P8 devices with programmable polarity in each macrocell.

Up to six I/Os are possible in this mode. Dedicated inputs or outputs can be implemented as subsets of the I/O function. The two outer most macrocells (pins 15 & 22) do not have input ca-

pability. Designs requiring eight I/Os can be implemented in the Registered mode.

All macrocells have seven product terms per output. One product term is used for programmable output enable control. Pins 1 and 13 are always available as data inputs into the AND array.

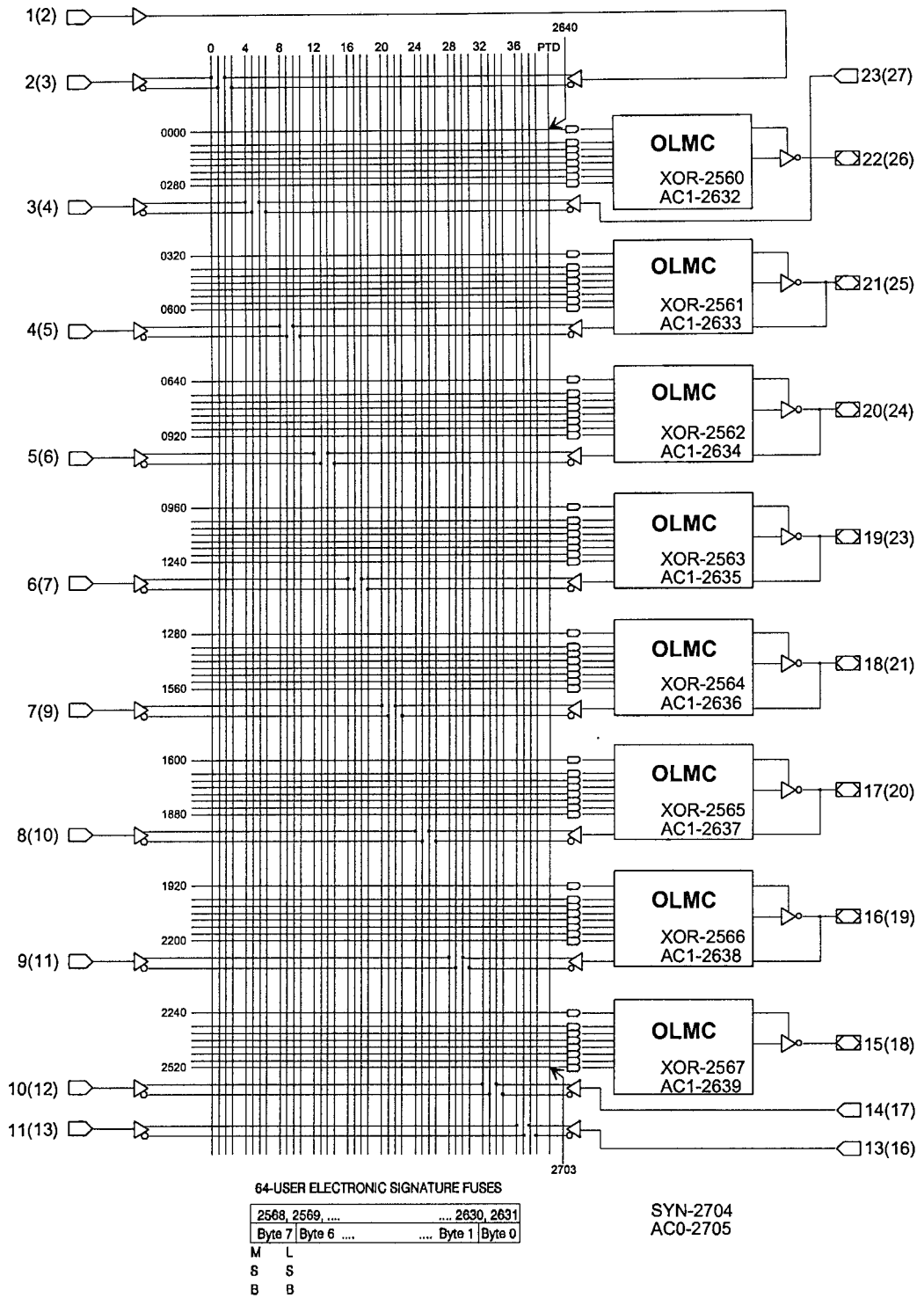
The JEDEC fuse numbers including the UES fuses and PTD fuses are shown on the logic diagram on the following page.



Note: The development software configures all of the architecture control bits and checks for proper pin usage automatically.

**COMPLEX MODE LOGIC DIAGRAM**

DIP (PLCC) Package Pinouts



**SIMPLE MODE**

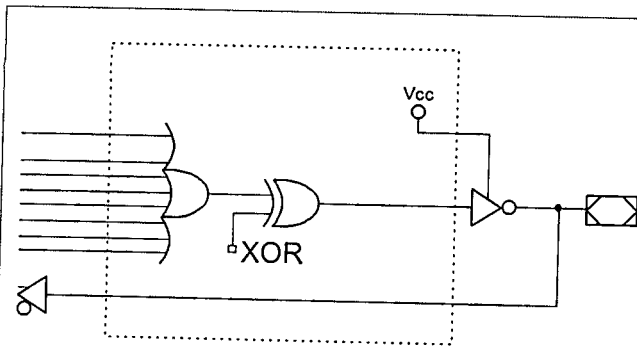
In the Simple mode, pins are configured as dedicated inputs or as dedicated, always active, combinatorial outputs.

Architecture configurations available in this mode are similar to the common 14L8 and 16P6 devices with many permutations of generic output polarity or input choices.

All outputs in the simple mode have a maximum of eight product terms that can control the logic. In addition, each output has programmable polarity.

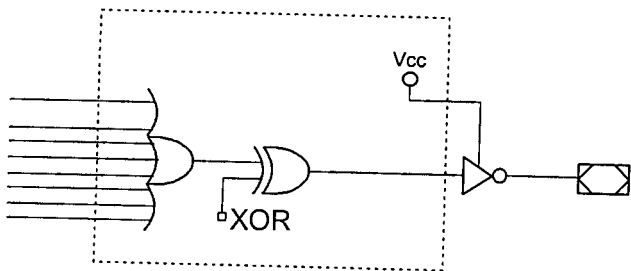
Pins 1 and 13 are always available as data inputs into the AND array. The "center" two macrocells (pins 18 & 19) cannot be used in the input configuration.

The JEDEC fuse numbers including the UES fuses and PTD fuses are shown on the logic diagram on the following page.



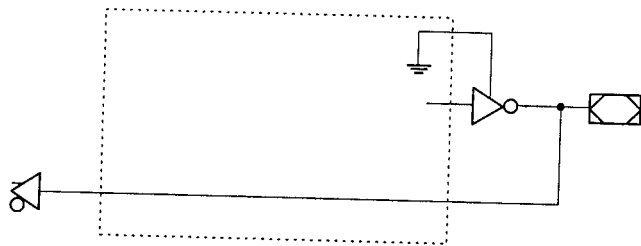
**Combinatorial Output with Feedback Configuration for Simple Mode**

- SYN=1.
- AC0=0.
- XOR=0 defines Active Low Output.
- XOR=1 defines Active High Output.
- AC1=0 defines this configuration.
- All OLMC **except** pins 18 & 19 can be configured to this function.



**Combinatorial Output Configuration for Simple Mode**

- SYN=1.
- AC0=0.
- XOR=0 defines Active Low Output.
- XOR=1 defines Active High Output.
- AC1=0 defines this configuration.
- Pins 18 & 19 are permanently configured to this function.



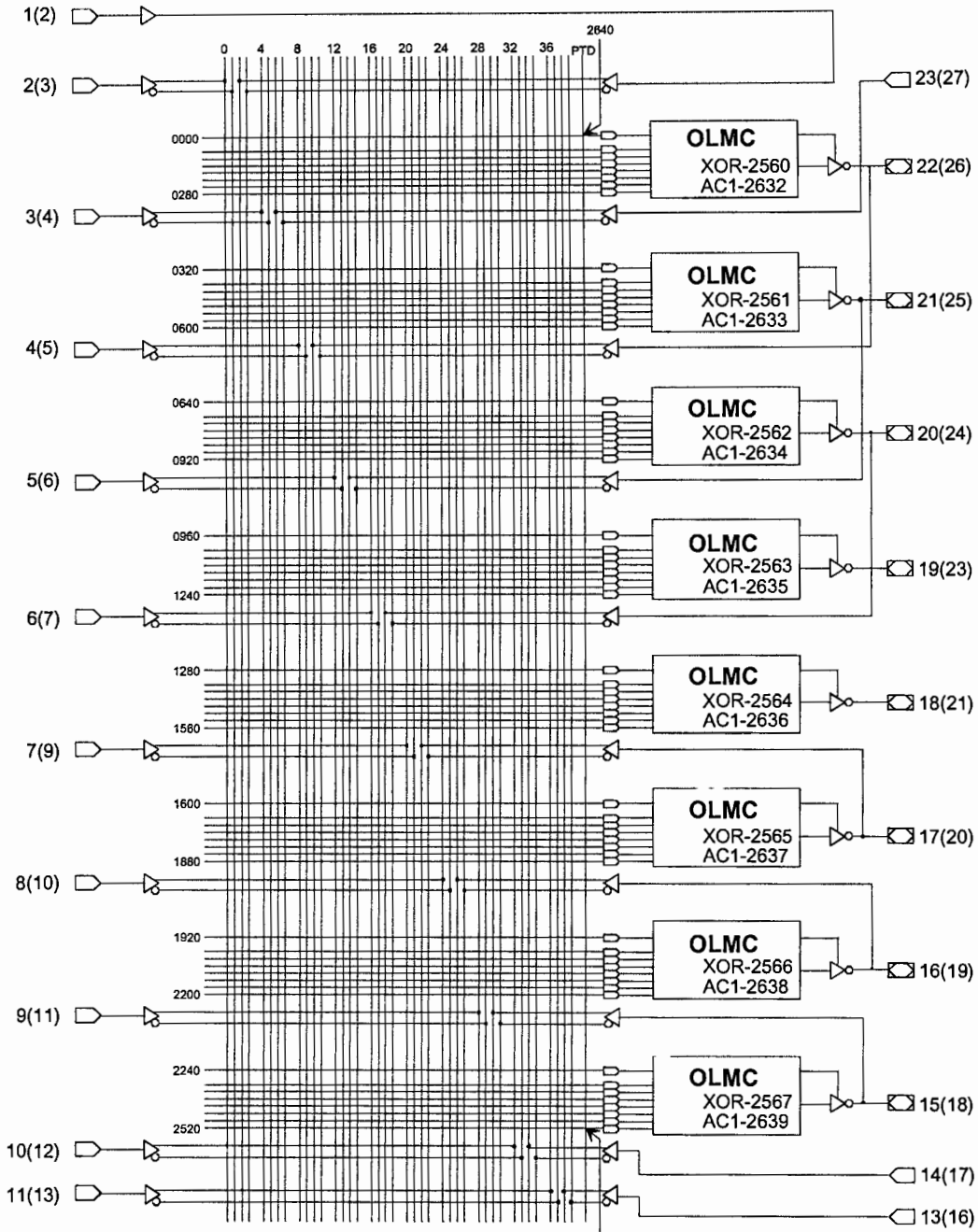
**Dedicated Input Configuration for Simple Mode**

- SYN=1.
- AC0=0.
- XOR=0 defines Active Low Output.
- XOR=1 defines Active High Output.
- AC1=1 defines this configuration.
- All OLMC **except** pins 18 & 19 can be configured to this function.

Note: The development software configures all of the architecture control bits and checks for proper pin usage automatically.

**SIMPLE MODE LOGIC DIAGRAM**

DIP (PLCC) Package Pinouts



64-USER ELECTRONIC SIGNATURE FUSES

2568, 2569, ....	.... 2630, 2631
Byte 7   Byte 6   ....	.... Byte 1   Byte 0

M L  
S S  
B B

SYN-2704  
ACO-2705

## ABSOLUTE MAXIMUM RATINGS<sup>1)</sup>

Supply voltage  $V_{CC}$  ..... -0.5 to +7V  
 Input voltage applied ..... -2.5 to  $V_{CC} + 1.0V$   
 Off-state output voltage applied ..... -2.5 to  $V_{CC} + 1.0V$   
 Storage Temperature ..... -65 to 150°C  
 Ambient temperature with

Power Applied ..... -55 to 125°C

1. Stresses above those listed under the "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress only ratings and functional operation of the device at these or at any other conditions above those indicated in the operational sections of this specification is not implied (while programming, follow the programming specifications).

## RECOMMENDED OPERATING COND.

### Commercial Devices:

Ambient Temperature ( $T_A$ ) ..... 0 to 75°C  
 Supply voltage ( $V_{CC}$ )  
 with Respect to Ground ..... +4.75 to +5.25V

### Industrial Devices:

Ambient Temperature ( $T_A$ ) ..... -40 to 85°C  
 Supply voltage ( $V_{CC}$ )  
 with Respect to Ground ..... +4.50 to +5.50V

## DC ELECTRICAL CHARACTERISTICS

Over Recommended Operating Conditions (Unless Otherwise Specified)

SYMBOL	PARAMETER	CONDITION	MIN.	TYP. <sup>3)</sup>	MAX.	UNITS
$V_{IL}$	Input Low Voltage		$V_{SS} - 0.5$	—	0.8	V
$V_{IH}$	Input High Voltage		2.0	—	$V_{CC} + 1$	V
$I_{IL}^1$	Input or I/O Low Leakage Current	$0V \leq V_{IN} \leq V_{IL} (MAX.)$	—	—	-100	$\mu A$
$I_{IH}$	Input or I/O High Leakage Current	$3.5V \leq V_{IN} \leq V_{CC}$	—	—	10	$\mu A$
$V_{OL}$	Output Low Voltage	$I_{OL} = MAX. V_{IN} = V_{IL} \text{ or } V_{IH}$	—	—	0.5	V
$V_{OH}$	Output High Voltage	$I_{OH} = MAX. V_{IN} = V_{IL} \text{ or } V_{IH}$	2.4	—	—	V
$I_{OL}$	Low Level Output Current		—	—	16	mA
$I_{OH}$	High Level Output Current		—	—	-3.2	mA
$I_{OS}^2$	Output Short Circuit Current	$V_{CC} = 5V \quad V_{OUT} = 0.5V \quad T_A = 25^\circ C$	-30	—	-150	mA

### COMMERCIAL

$I_{CC}$	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ Outputs Open	L -5/-7/-10	—	75	115	mA
----------	-----------------------------------	--	-------------	---	----	-----	----

### INDUSTRIAL

$I_{CC}$	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ Outputs Open	L-10	—	75	130	mA
----------	-----------------------------------	--	------	---	----	-----	----

1) The leakage current is due to the internal pull-up resistor on all pins. See **Input Buffer** section for more information.

2) One output at a time for a maximum duration of one second.  $V_{out} = 0.5V$  was selected to avoid test problems caused by tester ground degradation. Characterized but not 100% tested.

3) Typical values are at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$

## AC SWITCHING CHARACTERISTICS

Over Recommended Operating Conditions

PARAMETER	TEST COND <sup>1</sup>	DESCRIPTION	COM		COM		COM/IND		UNITS
			-5		-7		-10		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t <sub>pd</sub>	A	Input or I/O to	1	5	3	7.5	3	10	ns
		Comb. Output	—	—	—	7	—	—	ns
t <sub>co</sub>	A	Clock to Output Delay	1	4	2	5	2	7	ns
t <sub>cf</sub> <sup>2</sup>	—	Clock to Feedback Delay	—	3	—	3	—	6	ns
t <sub>su</sub>	—	Setup Time, Input or Feedback before Clock↑	3	—	7	—	10	—	ns
t <sub>h</sub>	—	Hold Time, Input or Feedback after Clock↑	0	—	0	—	0	—	ns
f <sub>max</sub> <sup>3</sup>	A	Maximum Clock Frequency with External Feedback, 1/(t <sub>su</sub> + t <sub>co</sub> )	142.8	—	83.3	—	58.8	—	MHz
	A	Maximum Clock Frequency with Internal Feedback, 1/(t <sub>su</sub> + t <sub>cf</sub> )	166	—	100	—	62.5	—	MHz
	A	Maximum Clock Frequency with No Feedback	166	—	100	—	62.5	—	MHz
t <sub>wh</sub>	—	Clock Pulse Duration, High	3	—	5	—	8	—	ns
t <sub>wl</sub>	—	Clock Pulse Duration, Low	3	—	5	—	8	—	ns
t <sub>en</sub>	B	Input or I/O to Output Enabled	1	6	3	9	3	10	ns
	B	$\overline{OE}$ to Output Enabled	1	6	2	6	2	10	ns
t <sub>dis</sub>	C	Input or I/O to Output Disabled	1	5	2	9	2	10	ns
	C	$\overline{OE}$ to Output Disabled	1	5	1.5	6	1.5	10	ns

1) Refer to **Switching Test Conditions** section.

2) Calculated from f<sub>max</sub> with internal feedback. Refer to **f<sub>max</sub> Descriptions** section.

3) Refer to **f<sub>max</sub> Descriptions** section. Characterized initially and after any design or process changes that may affect these parameters.

## CAPACITANCE (T<sub>A</sub> = 25°C, f = 1.0 MHz)

SYMBOL	PARAMETER	MAXIMUM*	UNITS	TEST CONDITIONS
C <sub>i</sub>	Input Capacitance	8	pF	V <sub>cc</sub> = 5.0V, V <sub>i</sub> = 2.0V
C <sub>vo</sub>	I/O Capacitance	8	pF	V <sub>cc</sub> = 5.0V, V <sub>io</sub> = 2.0V

\*Characterized but not 100% tested



## ABSOLUTE MAXIMUM RATINGS<sup>1)</sup>

Supply voltage  $V_{CC}$  ..... -0.5 to +7V  
 Input voltage applied ..... -2.5 to  $V_{CC} + 1.0V$   
 Off-state output voltage applied ..... -2.5 to  $V_{CC} + 1.0V$   
 Storage Temperature ..... -65 to 150°C  
 Ambient temperature with  
 Power Applied ..... -55 to 125°C

1. Stresses above those listed under the "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress only ratings and functional operation of the device at these or at any other conditions above those indicated in the operational sections of this specification is not implied (while programming, follow the programming specifications).

## RECOMMENDED OPERATING COND.

**Commercial Devices:**  
 Ambient Temperature ( $T_A$ ) ..... 0 to 75°C  
 Supply voltage ( $V_{CC}$ )  
 with Respect to Ground ..... +4.75 to +5.25V

**Industrial Devices:**  
 Ambient Temperature ( $T_A$ ) ..... -40 to 85°C  
 Supply voltage ( $V_{CC}$ )  
 with Respect to Ground ..... +4.50 to +5.50V

## DC ELECTRICAL CHARACTERISTICS

Over Recommended Operating Conditions (Unless Otherwise Specified)

SYMBOL	PARAMETER	CONDITION	MIN.	TYP. <sup>1</sup>	MAX.	UNITS
<b>V<sub>IL</sub></b>	Input Low Voltage		$V_{SS} - 0.5$	—	0.8	V
<b>V<sub>IH</sub></b>	Input High Voltage		2.0	—	$V_{CC} + 1$	V
<b>I<sub>IL</sub><sup>1</sup></b>	Input or I/O Low Leakage Current	$0V \leq V_{IN} \leq V_{IL} (MAX.)$	—	—	-100	$\mu A$
<b>I<sub>IH</sub></b>	Input or I/O High Leakage Current	$3.5V \leq V_{IN} \leq V_{CC}$	—	—	10	$\mu A$
<b>V<sub>OL</sub></b>	Output Low Voltage	$I_{OL} = MAX. V_{IN} = V_{IL} \text{ or } V_{IH}$	—	—	0.5	V
<b>V<sub>OH</sub></b>	Output High Voltage	$I_{OH} = MAX. V_{IN} = V_{IL} \text{ or } V_{IH}$	2.4	—	—	V
<b>I<sub>OL</sub></b>	Low Level Output Current		—	—	24	mA
<b>I<sub>OH</sub></b>	High Level Output Current		—	—	-3.2	mA
<b>I<sub>OS</sub><sup>2</sup></b>	Output Short Circuit Current	$V_{CC} = 5V \quad V_{out} = 0.5V \quad T_A = 25^\circ C$	-30	—	-150	mA

### COMMERCIAL

ICC	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ Outputs Open	L -7/-10	—	75	115	mA
			L -15/-25	—	75	90	mA
			Q -15/-25	—	45	55	mA

### INDUSTRIAL

ICC	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ Outputs Open	L -10/-15/-25	—	75	130	mA
			Q -20/-25	—	45	65	mA

- 1) The leakage current is due to the internal pull-up resistor on all pins. See **Input Buffer** section for more information.
- 2) One output at a time for a maximum duration of one second.  $V_{out} = 0.5V$  was selected to avoid test problems caused by tester ground degradation. Characterized but not 100% tested.
- 3) Typical values are at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$

## AC SWITCHING CHARACTERISTICS

Over Recommended Operating Conditions

PARAM.	TEST COND <sup>1</sup> .	DESCRIPTION	COM		COM / IND		COM / IND		IND		COM / IND		UNITS
			-7		-10		-15		-20		-25		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
$t_{pd}$	A	Input or I/O to	3	7.5	3	10	3	15	3	20	3	25	ns
		8 outputs switching											
		Comb. Output											
				7									ns
$t_{co}$	A	Clock to Output Delay	2	5	2	7	2	10	2	11	2	12	ns
$t_{cf}^2$	—	Clock to Feedback Delay	—	3	—	6	—	8	—	9	—	10	ns
$t_{su}$	—	Setup Time, Input or Fdbk before Clk $\uparrow$	7	—	10	—	12	—	13	—	15	—	ns
$t_h$	—	Hold Time, Input or Fdbk after Clk $\uparrow$	0	—	0	—	0	—	0	—	0	—	ns
$f_{max}^3$	A	Maximum Clock Frequency with External Feedback, $1/(t_{su} + t_{co})$	83.3	—	58.8	—	45.5	—	41.6	—	37	—	MHz
	A	Maximum Clock Frequency with Internal Feedback, $1/(t_{su} + t_{cf})$	100	—	62.5	—	50	—	45.4	—	40	—	MHz
	A	Maximum Clock Frequency with No Feedback	100	—	62.5	—	62.5	—	50	—	41.7	—	MHz
$t_{wh}$	—	Clock Pulse Duration, High	5	—	8	—	8	—	10	—	12	—	ns
$t_{wl}$	—	Clock Pulse Duration, Low	5	—	8	—	8	—	10	—	12	—	ns
$t_{en}$	B	Input or I/O to Output Enabled	3	9	3	10	—	15	—	20	—	25	ns
	B	$\overline{OE}$ to Output Enabled	2	6	2	10	—	15	—	18	—	20	ns
$t_{dis}$	C	Input or I/O to Output Disabled	2	9	2	10	—	15	—	20	—	25	ns
	C	$\overline{OE}$ to Output Disabled	1.5	6	1.5	10	—	15	—	18	—	20	ns

1) Refer to **Switching Test Conditions** section.

2) Calculated from  $f_{max}$  with internal feedback. Refer to  **$f_{max}$  Descriptions** section.

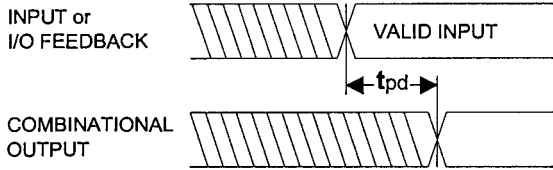
3) Refer to  **$f_{max}$  Descriptions** section.

## CAPACITANCE ( $T_A = 25^\circ\text{C}$ , $f = 1.0\text{ MHz}$ )

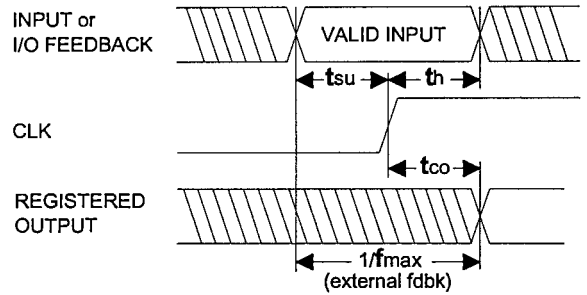
SYMBOL	PARAMETER	MAXIMUM*	UNITS	TEST CONDITIONS
$C_i$	Input Capacitance	8	pF	$V_{cc} = 5.0V$ , $V_i = 2.0V$
$C_{vo}$	I/O Capacitance	8	pF	$V_{cc} = 5.0V$ , $V_{io} = 2.0V$

\*Characterized but not 100% tested.

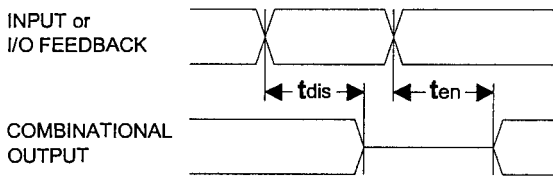
**SWITCHING WAVEFORMS**



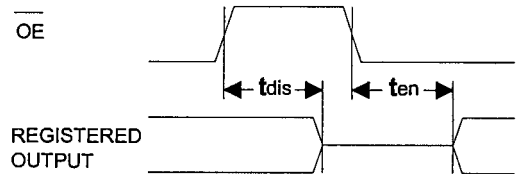
**Combinatorial Output**



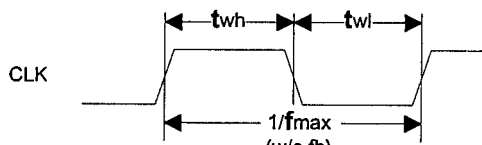
**Registered Output**



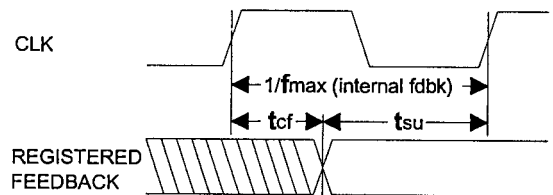
**Input or I/O to Output Enable/Disable**



**OE to Output Enable/Disable**

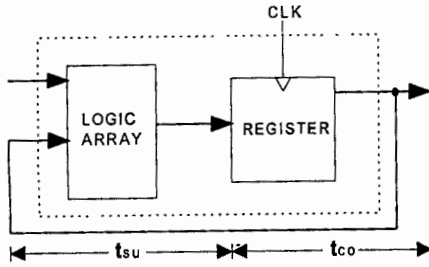


**Clock Width**



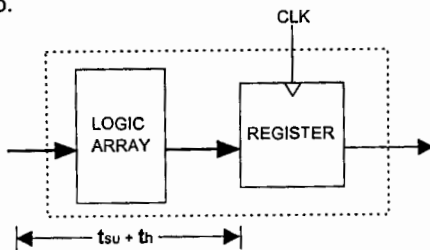
**fmax with Feedback**

**fmax DESCRIPTIONS**



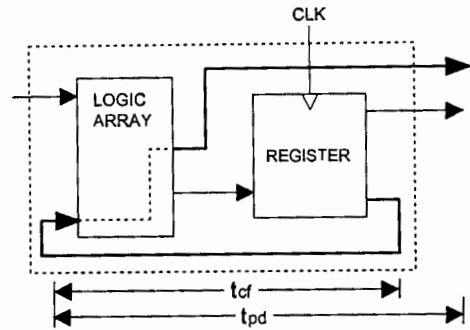
**fmax with External Feedback  $1/(tsu+tco)$**

Note: fmax with external feedback is calculated from measured tsu and tco.



**fmax with No Feedback**

Note: fmax with no feedback may be less than  $1/(twh + twl)$ . This is to allow for a clock duty cycle of other than 50%.



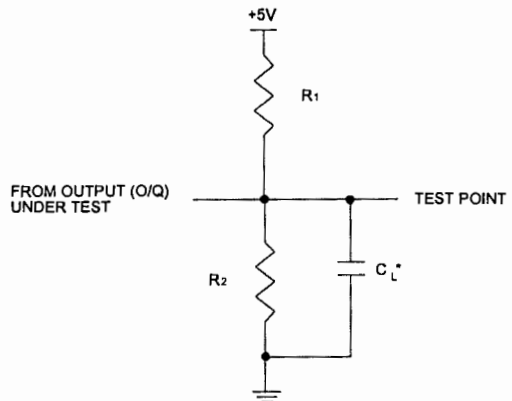
**fmax with Internal Feedback  $1/(tsu+tcf)$**

Note: tcf is a calculated value, derived by subtracting tsu from the period of fmax w/internal feedback ( $tcf = 1/fmax - tsu$ ). The value of tcf is used primarily when calculating the delay from clocking a register to a combinational output (through registered feedback), as shown above. For example, the timing from clock to a combinational output is equal to  $tcf + tpd$ .

**SWITCHING TEST CONDITIONS**

Input Pulse Levels		GND to 3.0V
Input Rise and Fall Times	GAL20V8B	2 – 3ns 10% – 90%
	GAL20V8C	1.5ns 10% – 90%
Input Timing Reference Levels		1.5V
Output Timing Reference Levels		1.5V
Output Load		See Figure

3-state levels are measured 0.5V from steady-state active level.



\*CL INCLUDES TEST FIXTURE AND PROBE CAPACITANCE

**GAL20V8B Output Load Conditions (see figure)**

Test Condition	R1	R2	CL
A	200Ω	390Ω	50pF
B	Active High	∞	390Ω
	Active Low	200Ω	390Ω
C	Active High	∞	390Ω
	Active Low	200Ω	390Ω

**GAL20V8C Output Load Conditions (see figure)**

Test Condition	R1	R2	CL
A	200Ω	200Ω	50pF
B	Active High	∞	200Ω
	Active Low	200Ω	200Ω
C	Active High	∞	200Ω
	Active Low	200Ω	200Ω

## ELECTRONIC SIGNATURE

An electronic signature is provided in every GAL20V8 device. It contains 64 bits of reprogrammable memory that can contain user defined data. Some uses include user ID codes, revision numbers, or inventory control. The signature data is always available to the user independent of the state of the security cell.

NOTE: The electronic signature is included in checksum calculations. Changing the electronic signature will alter the checksum.

## SECURITY CELL

A security cell is provided in the GAL20V8 devices to prevent unauthorized copying of the array patterns. Once programmed, this cell prevents further read access to the functional bits in the device. This cell can only be erased by re-programming the device, so the original configuration can never be examined once this cell is programmed. The Electronic Signature is always available to the user, regardless of the state of this control cell.

## LATCH-UP PROTECTION

GAL20V8 devices are designed with an on-board charge pump to negatively bias the substrate. The negative bias minimizes the potential of latch-up caused by negative input undershoots. Additionally, outputs are designed with n-channel pull-ups instead of the traditional p-channel pull-ups in order to eliminate latch-up due to output overshoots.

## DEVICE PROGRAMMING

GAL devices are programmed using a Lattice Semiconductor-approved Logic Programmer, available from a number of manufacturers. Complete programming of the device takes only a few seconds. Erasing of the device is transparent to the user, and is done automatically as part of the programming cycle.

## OUTPUT REGISTER PRELOAD

When testing state machine designs, all possible states and state transitions must be verified in the design, not just those required in the normal machine operations. This is because, in system operation, certain events occur that may throw the logic into an illegal state (power-up, line voltage glitches, brown-outs, etc.). To test a design for proper treatment of these conditions, a way must be provided to break the feedback paths, and force any desired (i.e., illegal) state into the registers. When the machine can be sequenced and the outputs tested for correct next state conditions.

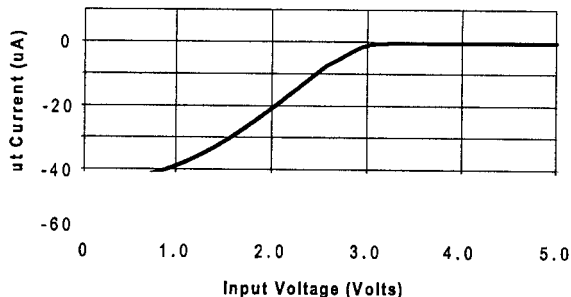
GAL20V8 devices include circuitry that allows each registered output to be synchronously set either high or low. Thus, any present state condition can be forced for test sequencing. If necessary, approved GAL programmers capable of executing text vectors perform output register preload automatically.

## INPUT BUFFERS

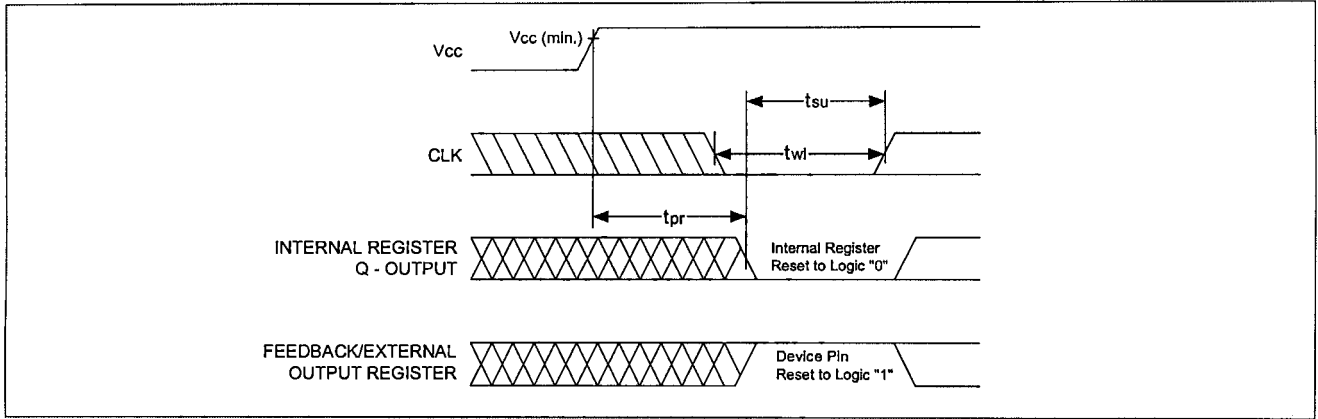
GAL20V8 devices are designed with TTL level compatible input buffers. These buffers have a characteristically high impedance, and present a much lighter load to the driving logic than bipolar TTL devices.

The GAL20V8 input and I/O pins have built-in active pull-ups. As a result, unused inputs and I/O's will float to a TTL "high" (logical "1"). Lattice Semiconductor recommends that all unused inputs and tri-stated I/O pins be connected to another active input, Vcc, or Ground. Doing this will tend to improve noise immunity and reduce Icc for the device.

Typical Input Pull-up Characteristic



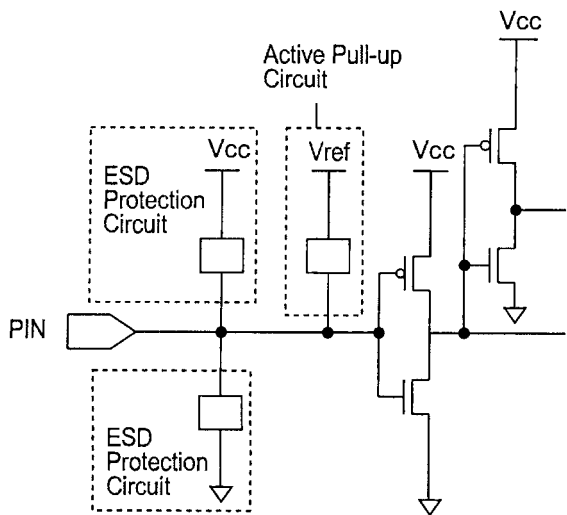
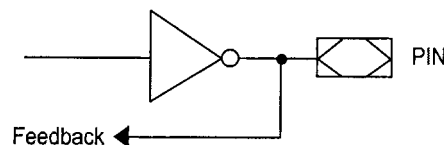
**POWER-UP RESET**



Circuitry within the GAL20V8 provides a reset signal to all registers during power-up. All internal registers will have their Q outputs set low after a specified time ( $t_{pr}$ , 1 $\mu$ s MAX). As a result, the state on the registered output pins (if they are enabled) will always be high on power-up, regardless of the programmed polarity of the output pins. This feature can greatly simplify state machine design by providing a known state on power-up. Because of the asynchronous nature of system power-up, some

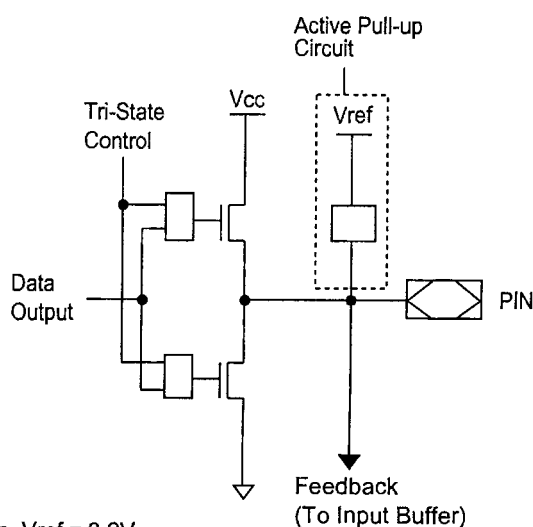
conditions must be met to provide a valid power-up reset of the device. First, the Vcc rise must be monotonic. Second, the clock input must be at static TTL level as shown in the diagram during power up. The registers will reset within a maximum of  $t_{pr}$  time. As in normal system operation, avoid clocking the device until all input and feedback path setup times have been met. The clock must also meet the minimum pulse width requirements.

**INPUT/OUTPUT EQUIVALENT SCHEMATICS**



Typ. Vref = 3.2V

**Typical Input**

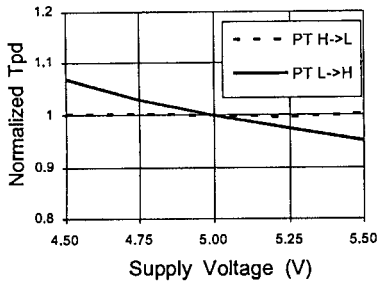


Typ. Vref = 3.2V

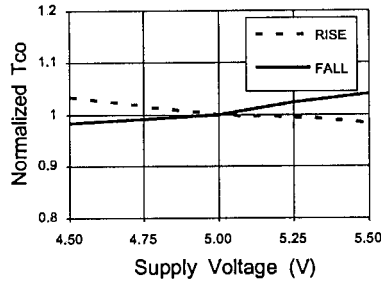
**Typical Output**

**GAL 20V8C: TYPICAL AC AND DC CHARACTERISTIC DIAGRAMS**

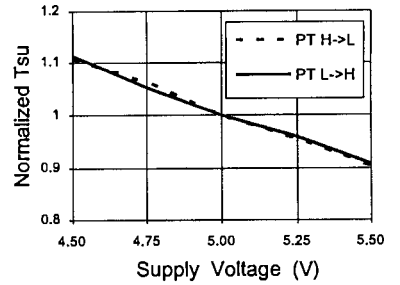
Normalized Tpd vs Vcc



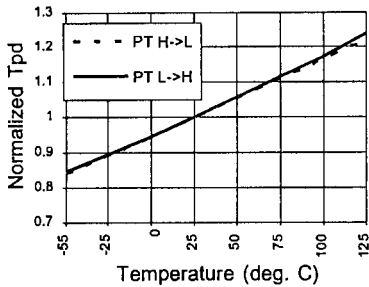
Normalized Tco vs Vcc



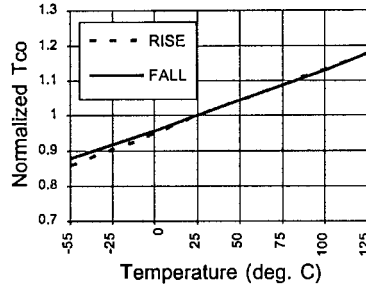
Normalized Tsu vs Vcc



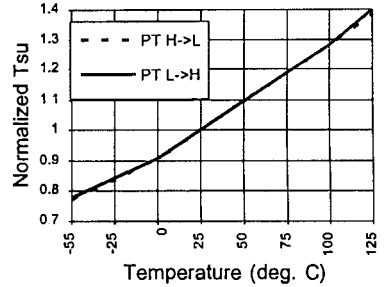
Normalized Tpd vs Temp



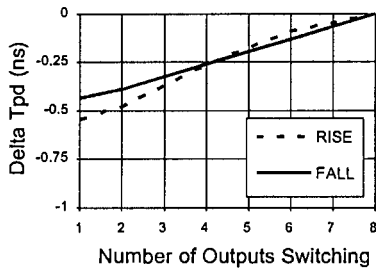
Normalized Tco vs Temp



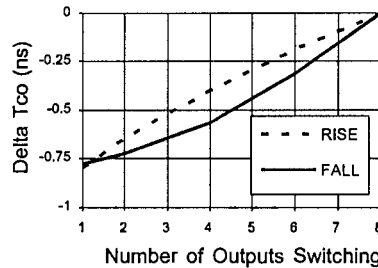
Normalized Tsu vs Temp



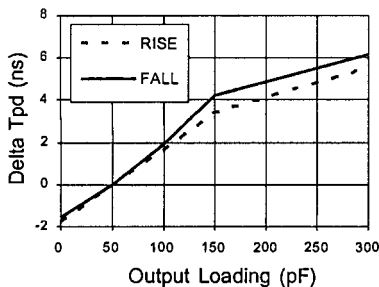
Delta Tpd vs # of Outputs Switching



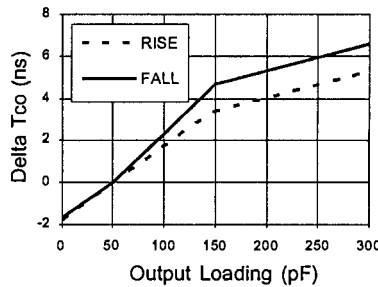
Delta Tco vs # of Outputs Switching



Delta Tpd vs Output Loading

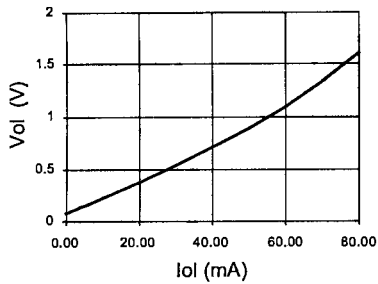


Delta Tco vs Output Loading

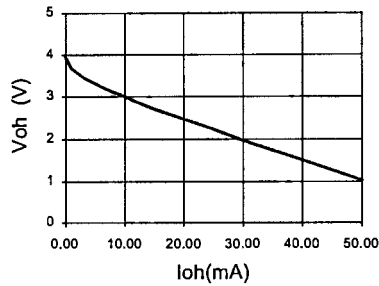


**GAL 20V8C: TYPICAL AC AND DC CHARACTERISTIC DIAGRAMS**

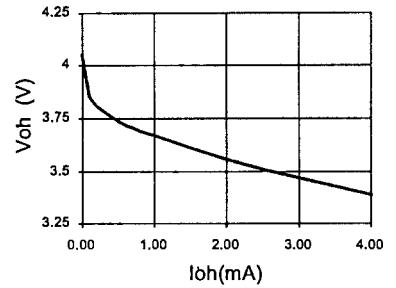
**Vol vs Iol**



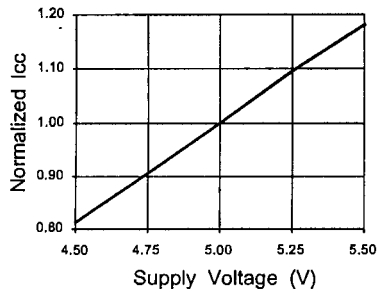
**Voh vs Ioh**



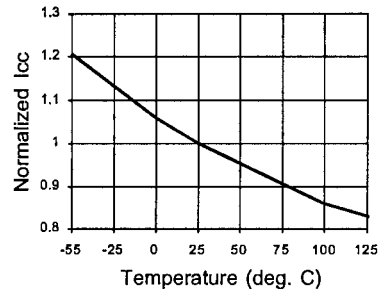
**Voh vs Ioh**



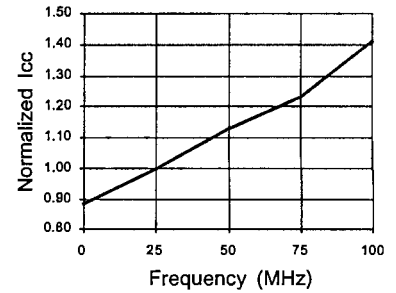
**Normalized Icc vs Vcc**



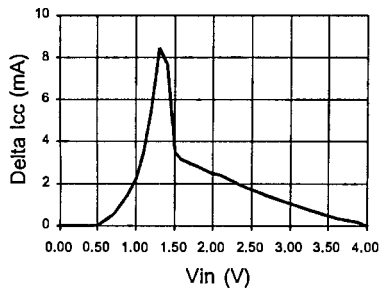
**Normalized Icc vs Temp**



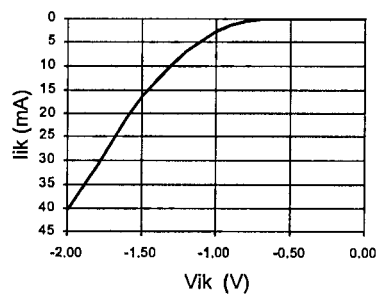
**Normalized Icc vs Freq.**



**Delta Icc vs Vin (1 input)**



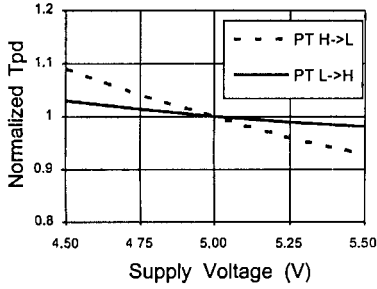
**Input Clamp (Vik)**



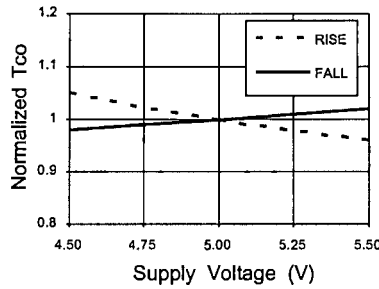


**GAL 20V8B-7/-10: TYPICAL AC AND DC CHARACTERISTIC DIAGRAMS**

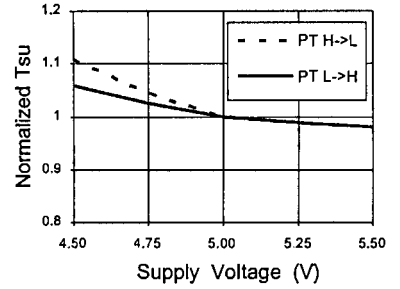
Normalized Tpd vs Vcc



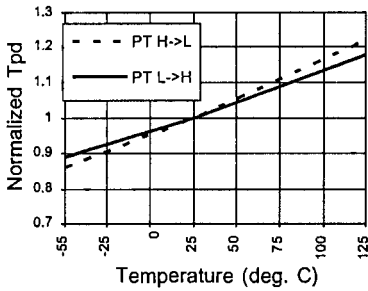
Normalized Tco vs Vcc



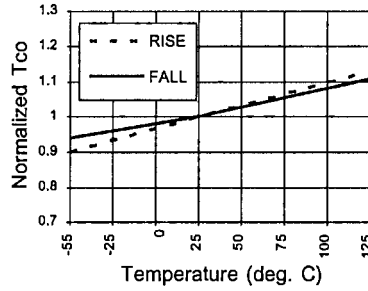
Normalized Tsu vs Vcc



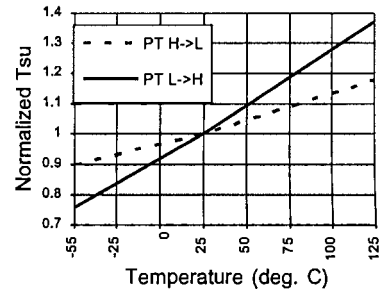
Normalized Tpd vs Temp



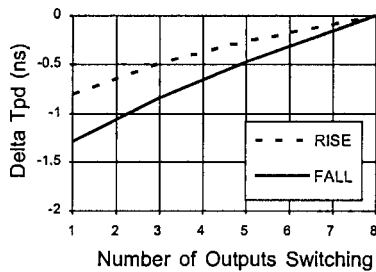
Normalized Tco vs Temp



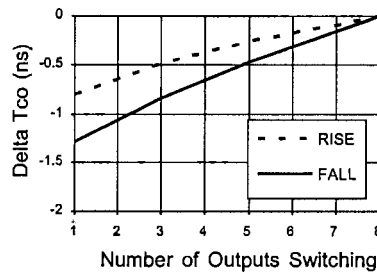
Normalized Tsu vs Temp



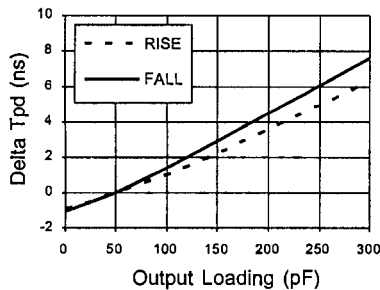
Delta Tpd vs # of Outputs Switching



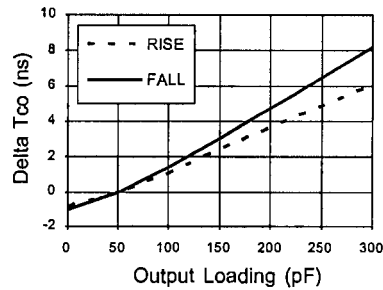
Delta Tco vs # of Outputs Switching



Delta Tpd vs Output Loading

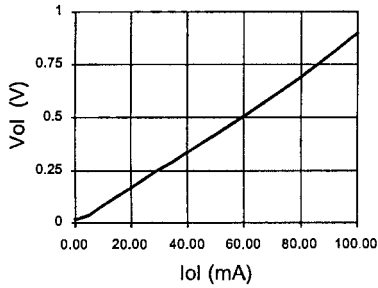


Delta Tco vs Output Loading

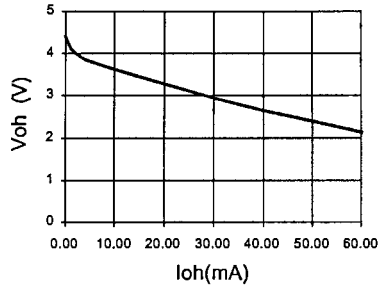


**GAL 20V8B-7/-10: TYPICAL AC AND DC CHARACTERISTIC DIAGRAMS**

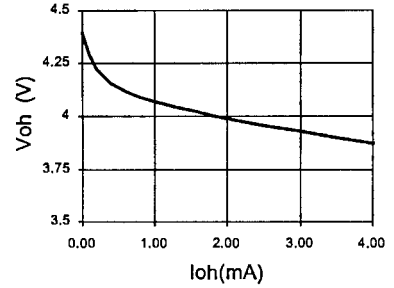
**Vol vs Iol**



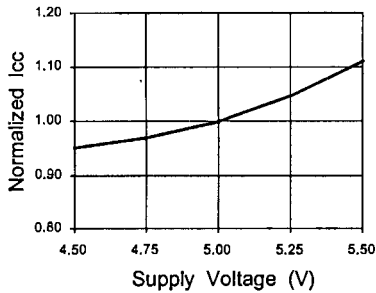
**Voh vs Ioh**



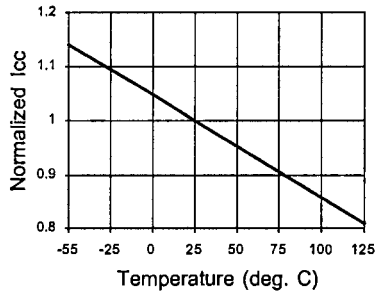
**Voh vs Ioh**



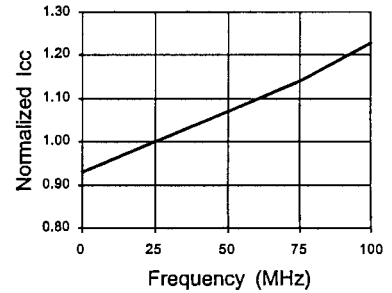
**Normalized Icc vs Vcc**



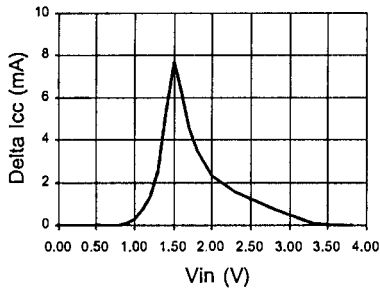
**Normalized Icc vs Temp**



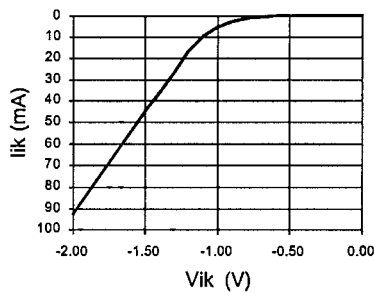
**Normalized Icc vs Freq.**



**Delta Icc vs Vin (1 input)**

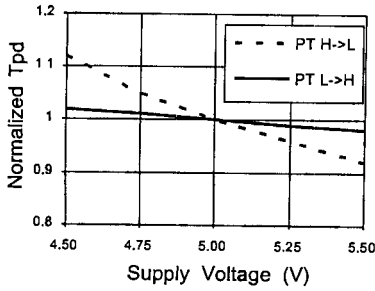


**Input Clamp (Iik)**

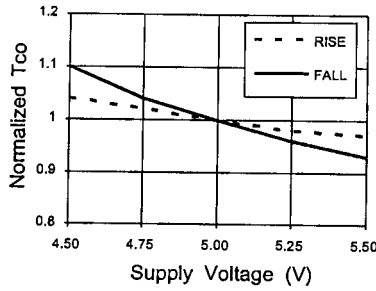


**GAL 20V8B-15/-25: TYPICAL AC AND DC CHARACTERISTIC DIAGRAMS**

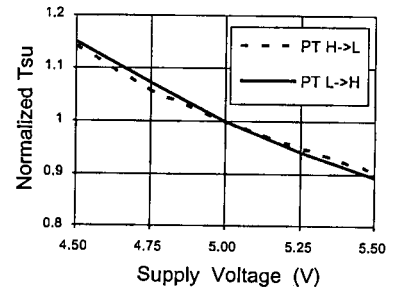
Normalized Tpd vs Vcc



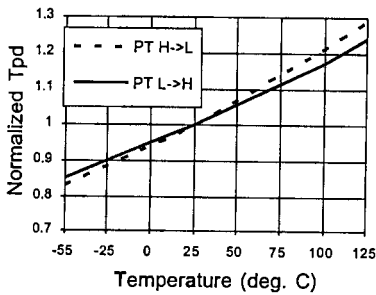
Normalized Tco vs Vcc



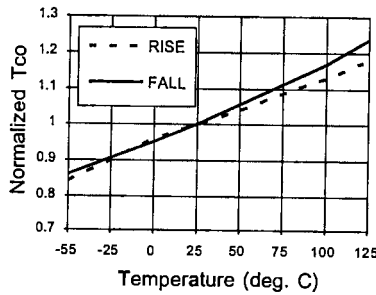
Normalized Tsu vs Vcc



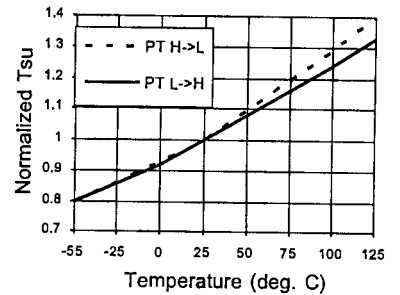
Normalized Tpd vs Temp



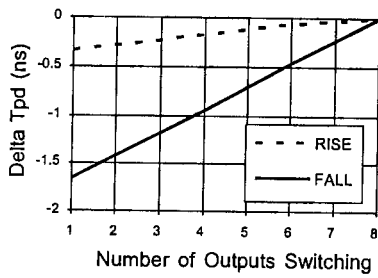
Normalized Tco vs Temp



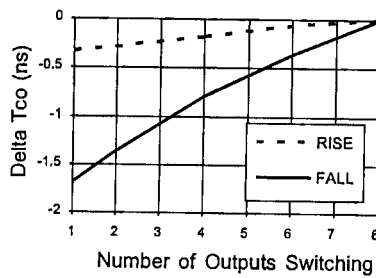
Normalized Tsu vs Temp



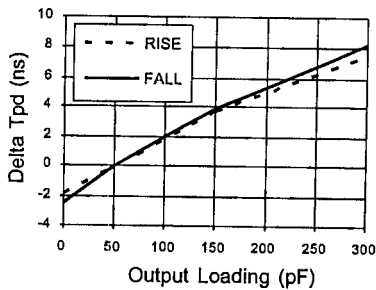
Delta Tpd vs # of Outputs Switching



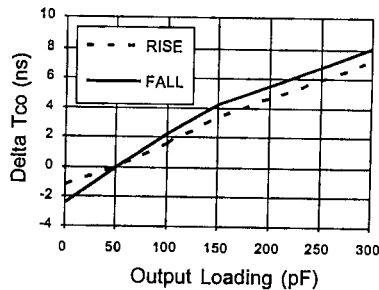
Delta Tco vs # of Outputs Switching



Delta Tpd vs Output Loading

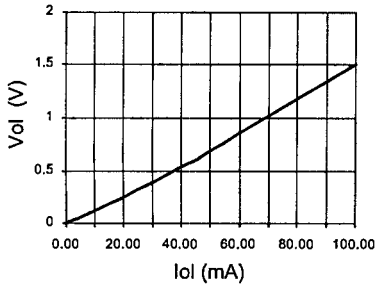


Delta Tco vs Output Loading

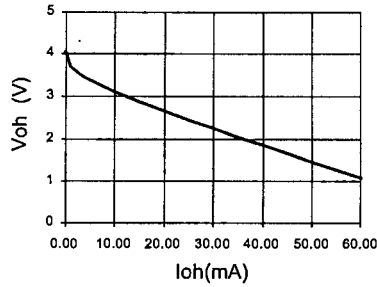


**GAL 20V8B-15/-25: TYPICAL AC AND DC CHARACTERISTIC DIAGRAMS**

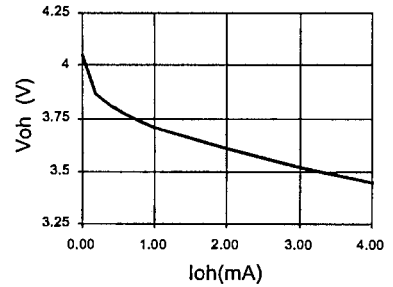
**Vol vs Iol**



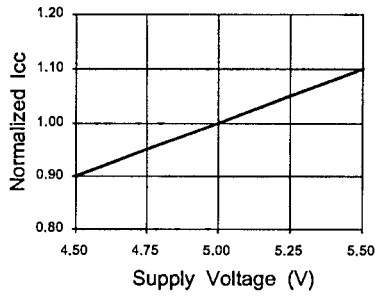
**Voh vs Ioh**



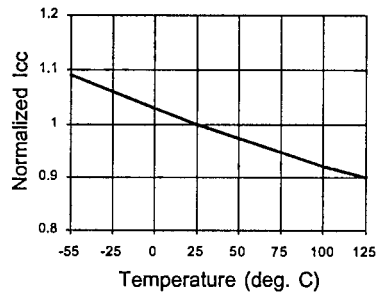
**Voh vs Ioh**



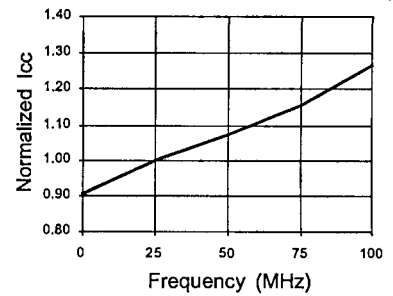
**Normalized Icc vs Vcc**



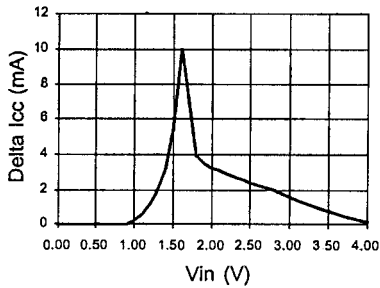
**Normalized Icc vs Temp**



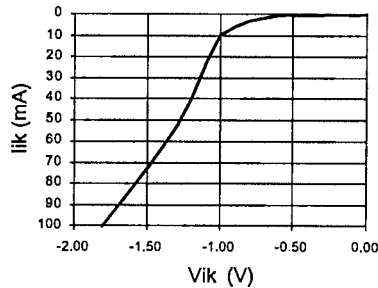
**Normalized Icc vs Freq.**



**Delta Icc vs Vin (1 input)**



**Input Clamp (Vik)**



# APÉNDICE F

## ADC0808/ADC0809

# 8-Bit $\mu$ P Compatible A/D Converters with 8-Channel Multiplexer

### General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

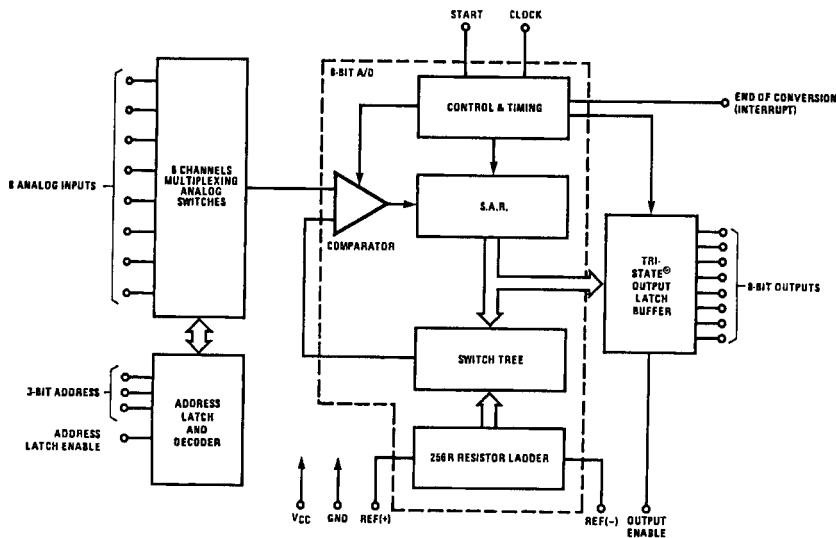
### Features

- Easy interface to all microprocessors
- Operates ratiometrically or with  $5 V_{DC}$  or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- ADC0808 equivalent to MM74C949
- ADC0809 equivalent to MM74C949-1

### Key Specifications

■ Resolution	8 Bits
■ Total Unadjusted Error	$\pm 1/2$ LSB and $\pm 1$ LSB
■ Single Supply	$5 V_{DC}$
■ Low Power	15 mW
■ Conversion Time	100 $\mu$ s

### Block Diagram

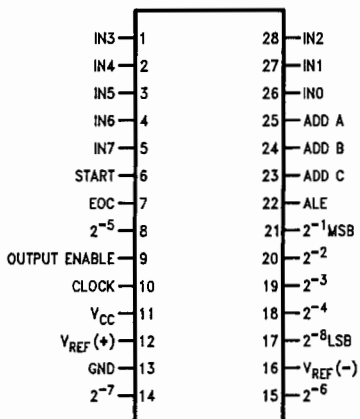


See Ordering  
Information

00567201

## Connection Diagrams

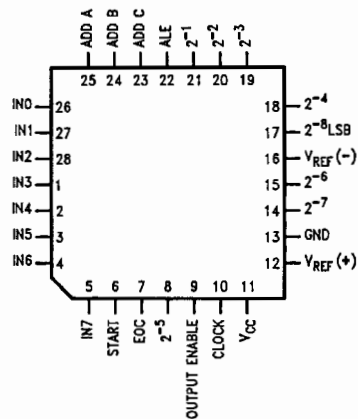
Dual-In-Line Package



00567211

Order Number ADC0808CCN or ADC0809CCN  
See NS Package J28A or N28A

Molded Chip Carrier Package



00567212

Order Number ADC0808CCV or ADC0809CCV  
See NS Package V28A

## Ordering Information

TEMPERATURE RANGE		-40°C to +85°C	
Error	± 1/2 LSB Unadjusted	ADC0808CCN	ADC0808CCV
	± 1 LSB Unadjusted	ADC0809CCN	ADC0809CCV
Package Outline		N28A Molded DIP	V28A Molded Chip Carrier

**Absolute Maximum Ratings** (Notes 2,

1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ( $V_{CC}$ ) (Note 3)	6.5V
Voltage at Any Pin	-0.3V to $(V_{CC}+0.3V)$

Except Control Inputs	
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	-0.3V to +15V
Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A=25^\circ\text{C}$	875 mW
Lead Temp. (Soldering, 10 seconds)	

Dual-In-Line Package (plastic)	260°C
Molded Chip Carrier Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
ESD Susceptibility (Note 8)	400V

**Operating Conditions** (Notes 1, 2)

Temperature Range (Note 1)	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0808CCN, ADC0809CCN	-40°C $\leq T_A \leq$ +85°C
ADC0808CCV, ADC0809CCV	-40°C $\leq T_A \leq$ +85°C
Range of $V_{CC}$ (Note 1)	4.5 $V_{DC}$ to 6.0 $V_{DC}$

**Electrical Characteristics**

**Converter Specifications:**  $V_{CC}=5$   $V_{DC}=V_{REF+}$ ,  $V_{REF(-)}=GND$ ,  $T_{MIN} \leq T_A \leq T_{MAX}$  and  $f_{CLK}=640$  kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808					
	Total Unadjusted Error (Note 5)	25°C $T_{MIN}$ to $T_{MAX}$			$\pm 1/2$ $\pm 9/4$	LSB LSB
	ADC0809					
	Total Unadjusted Error (Note 5)	0°C to 70°C $T_{MIN}$ to $T_{MAX}$			$\pm 1$ $\pm 1 1/4$	LSB LSB
	Input Resistance	From Ref(+) to Ref(-)	1.0	2.5		k $\Omega$
	Analog Input Voltage Range	(Note 4) V(+) or V(-)	GND-0.10		$V_{CC}+0.10$	$V_{DC}$
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		$V_{CC}$	$V_{CC}+0.1$	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$	Voltage, Center of Ladder		$V_{CC}/2-0.1$	$V_{CC}/2$	$V_{CC}/2+0.1$	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(-)	-0.1	0		V
$I_{IN}$	Comparator Input Current	$f_c=640$ kHz, (Note 6)	-2	$\pm 0.5$	2	$\mu\text{A}$

**Electrical Characteristics**

**Digital Levels and DC Specifications:** ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV,  $4.75 \leq V_{CC} \leq 5.25V$ , -40°C  $\leq T_A \leq$  +85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>ANALOG MULTIPLEXER</b>						
$I_{OFF(+)}$	OFF Channel Leakage Current	$V_{CC}=5V$ , $V_{IN}=5V$ , $T_A=25^\circ\text{C}$ $T_{MIN}$ to $T_{MAX}$		10	200 1.0	nA $\mu\text{A}$
$I_{OFF(-)}$	OFF Channel Leakage Current	$V_{CC}=5V$ , $V_{IN}=0$ , $T_A=25^\circ\text{C}$ $T_{MIN}$ to $T_{MAX}$	-200 -1.0	-10		nA $\mu\text{A}$
<b>CONTROL INPUTS</b>						
$V_{IN(1)}$	Logical "1" Input Voltage		$V_{CC}-1.5$			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	$V_{IN}=15V$			1.0	$\mu\text{A}$
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	$V_{IN}=0$	-1.0			$\mu\text{A}$
$I_{CC}$	Supply Current	$f_{CLK}=640$ kHz		0.3	3.0	mA



**Electrical Characteristics** (Continued)

Digital Levels and DC Specifications: ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV,  $4.75 \leq V_{CC} \leq 5.25V$ ,  $-40^\circ C \leq T_A \leq 85^\circ C$  unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>DATA OUTPUTS AND EOC (INTERRUPT)</b>						
$V_{OUT(1)}$	Logical "1" Output Voltage	$V_{CC} = 4.75V$ $I_{OUT} = -360\mu A$ $I_{OUT} = -10\mu A$		2.4 4.5		V(min) V(min)
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O = 1.6 \text{ mA}$			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O = 1.2 \text{ mA}$			0.45	V
$I_{OUT}$	TRI-STATE Output Current	$V_O = 5V$ $V_O = 0$	-3		3	$\mu A$ $\mu A$

**Electrical Characteristics**

Timing Specifications  $V_{CC} = V_{REF(+)} = 5V$ ,  $V_{REF(-)} = GND$ ,  $t_r = t_f = 20 \text{ ns}$  and  $T_A = 25^\circ C$  unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{WS}$	Minimum Start Pulse Width	(Figure 5)		100	200	ns
$t_{WALE}$	Minimum ALE Pulse Width	(Figure 5)		100	200	ns
$t_s$	Minimum Address Set-Up Time	(Figure 5)		25	50	ns
$t_H$	Minimum Address Hold Time	(Figure 5)		25	50	ns
$t_D$	Analog MUX Delay Time From ALE	$R_S = 0\Omega$ (Figure 5)		1	2.5	$\mu s$
$t_{H1}, t_{H0}$	OE Control to Q Logic State	$C_L = 50 \text{ pF}$ , $R_L = 10k$ (Figure 8)		125	250	ns
$t_{TH}, t_{OH}$	OE Control to Hi-Z	$C_L = 10 \text{ pF}$ , $R_L = 10k$ (Figure 8)		125	250	ns
$t_c$	Conversion Time	$f_c = 640 \text{ kHz}$ , (Figure 5) (Note 7)	90	100	116	$\mu s$
$f_c$	Clock Frequency		10	640	1280	kHz
$t_{EOC}$	EOC Delay Time	(Figure 5)	0		8+2 $\mu s$	Clock Periods
$C_{IN}$	Input Capacitance	At Control Inputs		10	15	pF
$C_{OUT}$	TRI-STATE Output Capacitance	At TRI-STATE Outputs		10	15	pF

**Note 1:** Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

**Note 2:** All voltages are measured with respect to GND, unless otherwise specified.

**Note 3:** A zener diode exists, internally, from  $V_{CC}$  to GND and has a typical breakdown voltage of  $7 V_{DC}$ .

**Note 4:** Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the  $V_{CC}$  supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog  $V_{IN}$  does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute  $0V_{DC}$  to  $5V_{DC}$  input voltage range will therefore require a minimum supply voltage of  $4.900 V_{DC}$  over temperature variations, initial tolerance and loading.

**Note 5:** Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See Figure 3. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See Figure 13.

**Note 6:** Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence (Figure 6). See paragraph 4.0.

**Note 7:** The outputs of the data register are updated one clock cycle before the rising edge of EOC.

**Note 8:** Human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor.

## Functional Description

**Multiplexer.** The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. *Table 1* shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE 1.

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

### CONVERTER CHARACTERISTICS

#### The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (*Figure 1*) was chosen over the conventional  $R/2R$  ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached  $+\frac{1}{2}$  LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter,  $n$ -iterations are required for an  $n$ -bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

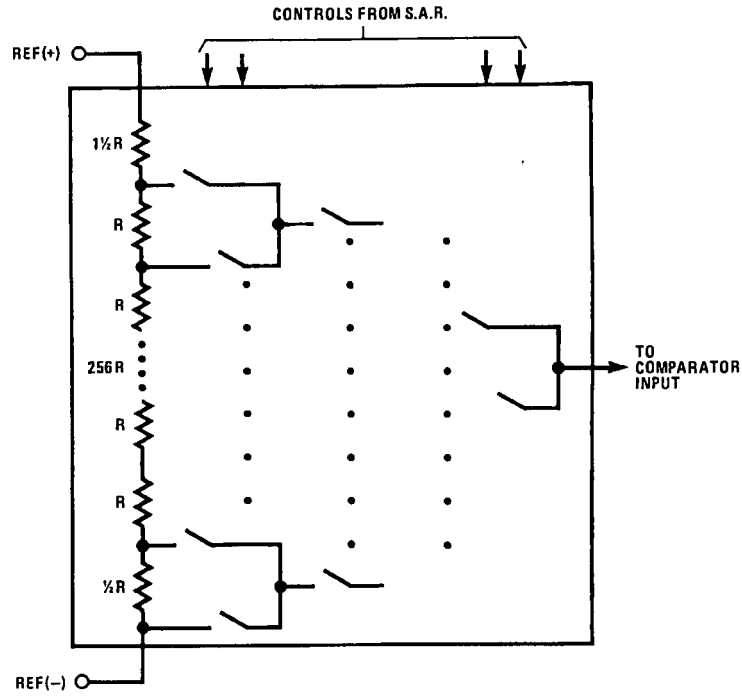
The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion start pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

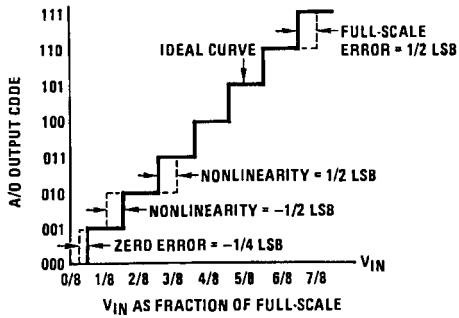
*Figure 4* shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

Functional Description (Continued)



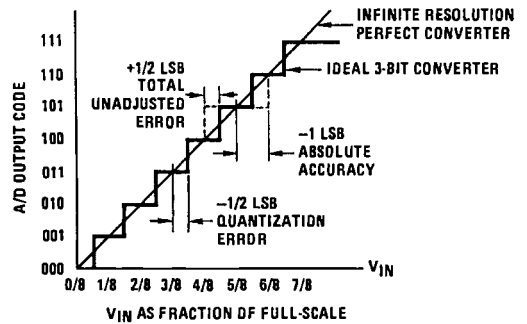
00567202

FIGURE 1. Resistor Ladder and Switch Tree



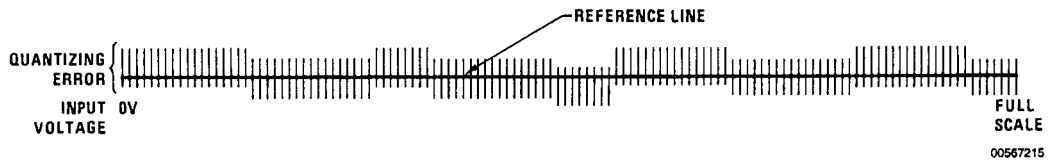
00567213

FIGURE 2. 3-Bit A/D Transfer Curve



00567214

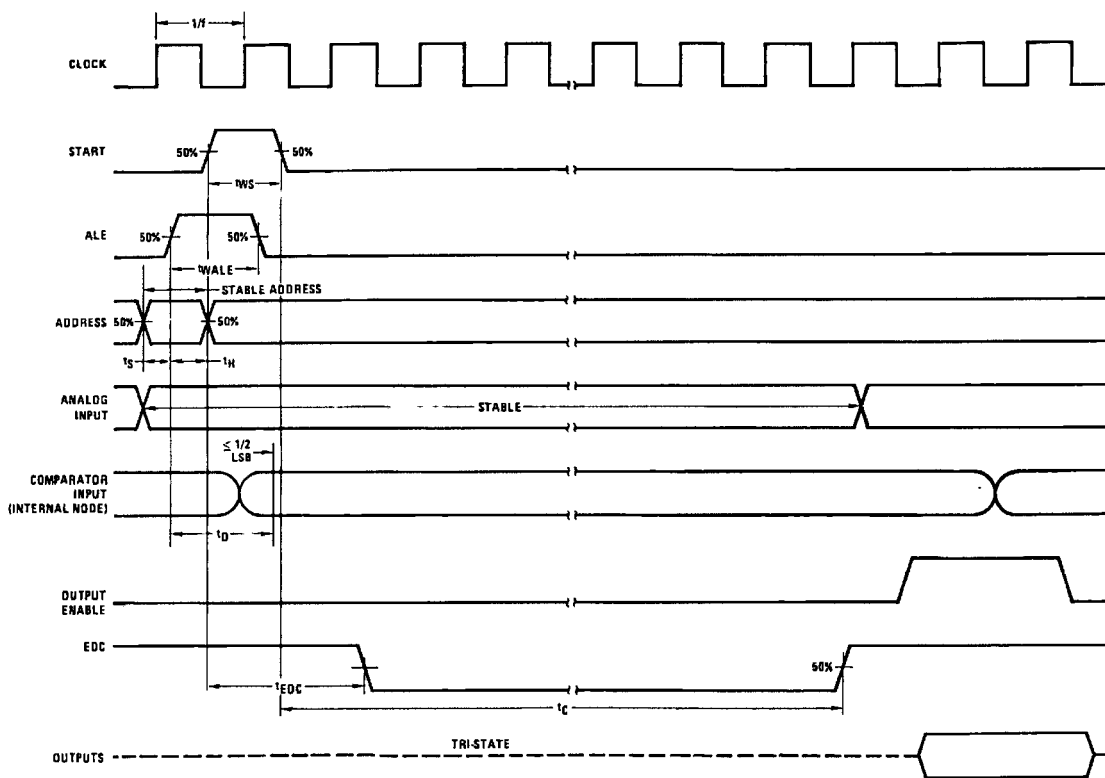
FIGURE 3. 3-Bit A/D Absolute Accuracy Curve



00567215

FIGURE 4. Typical Error Curve

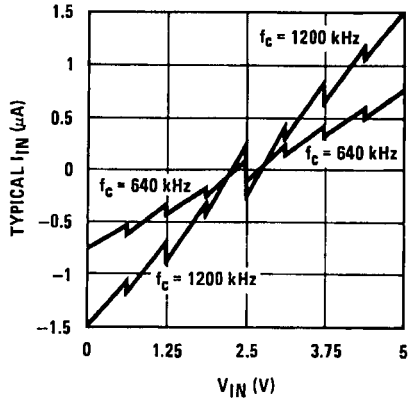
# Timing Diagram



00567204

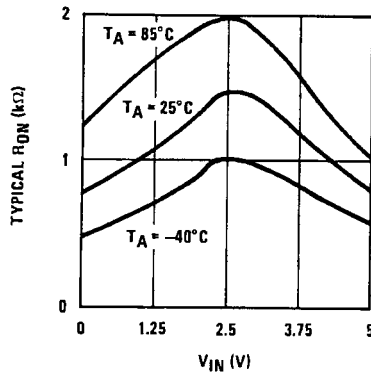
FIGURE 5.

# Typical Performance Characteristics



00567216

FIGURE 6. Comparator  $I_{IN}$  vs  $V_{IN}$   
( $V_{CC}=V_{REF}=5V$ )



00567217

FIGURE 7. Multiplexer  $R_{ON}$  vs  $V_{IN}$   
( $V_{CC}=V_{REF}=5V$ )

# TRI-STATE Test Circuits and Timing Diagrams

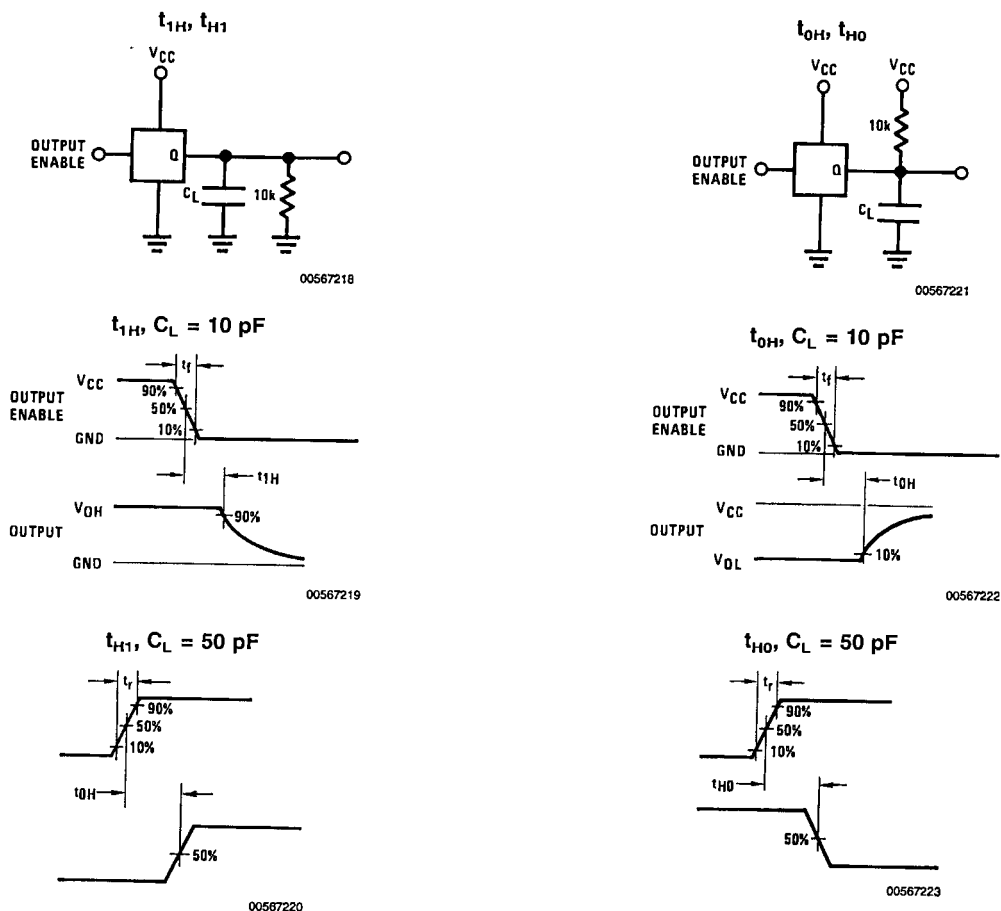


FIGURE 8.

## Applications Information

### OPERATION

#### 1.0 RATIOMETRIC CONVERSION

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs} - V_Z} = \frac{D_X}{D_{MAX} - D_{MIN}} \quad (1)$$

$V_{IN}$ =Input voltage into the ADC0808

$V_{fs}$ =Full-scale voltage

$V_Z$ =Zero voltage

$D_X$ =Data point being measured

$D_{MAX}$ =Maximum data limit

$D_{MIN}$ =Minimum data limit

A good example of a ratiometric transducer is a potentiometer, used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, (Figure 9).

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if  $V_{CC} = V_{REF} = 5.12V$ , then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

## Applications Information (Continued)

### 2.0 RESISTOR LADDER LIMITATIONS

The voltages from the resistor ladder are compared to the selected into 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(-), should

not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

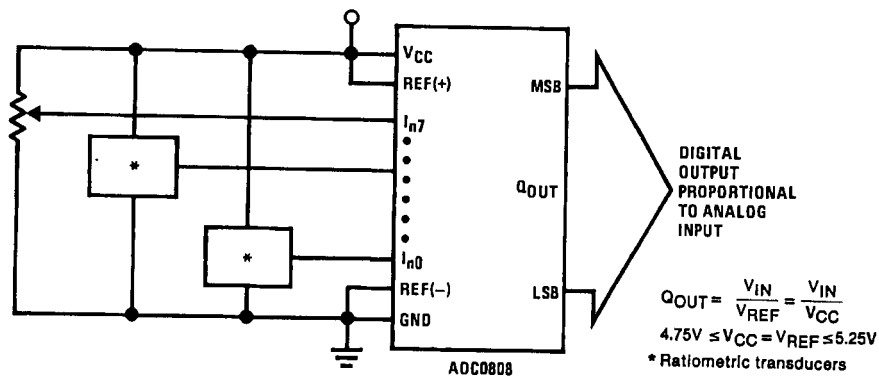
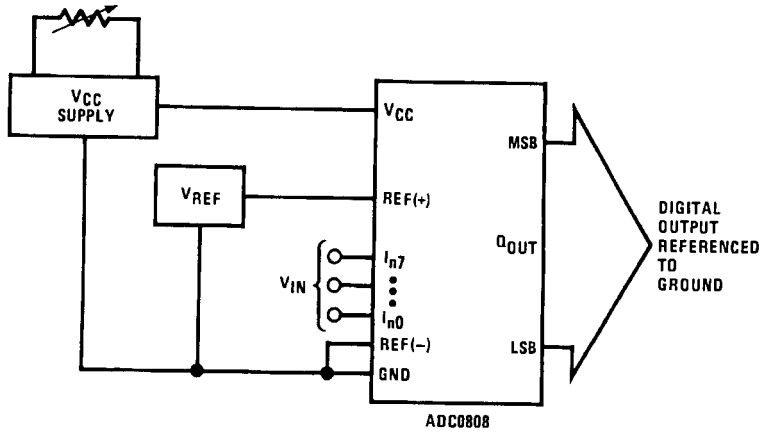


FIGURE 9. Ratiometric Conversion System

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In Figure 11 a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in Figure 12. The LM301 is overcompensated to insure stability when loaded by the 10  $\mu$ F output capacitor.

The top and bottom ladder voltages cannot exceed  $V_{CC}$  and ground, respectively, but they can be symmetrically less than  $V_{CC}$  and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In Figure 13, a 2.5V reference is symmetrically centered about  $V_{CC}/2$  since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

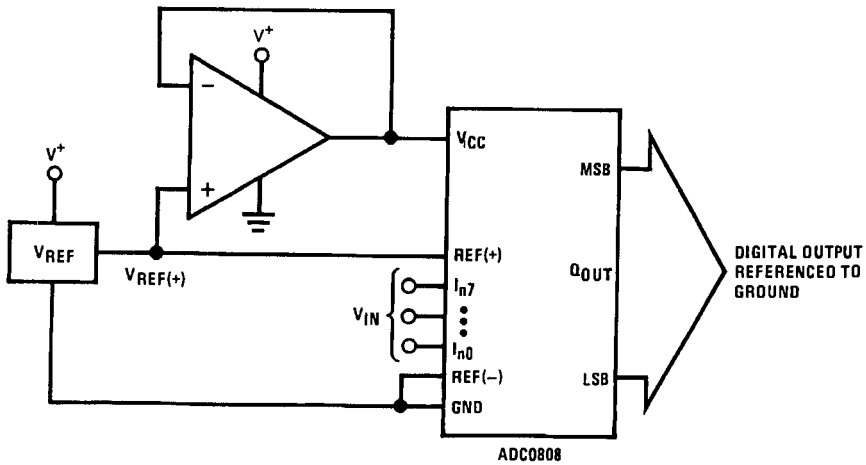


00567224

$$Q_{OUT} = \frac{V_{IN}}{V_{REF}}$$

$$4.75V \leq V_{CC} = V_{REF} \leq 5.25V$$

FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply



00567225

$$Q_{OUT} = \frac{V_{IN}}{V_{REF}}$$

$$4.75V \leq V_{CC} = V_{REF} \leq 5.25V$$

FIGURE 11. Ground Referenced Conversion System with Reference Generating V<sub>CC</sub> Supply



Applications Information (Continued)

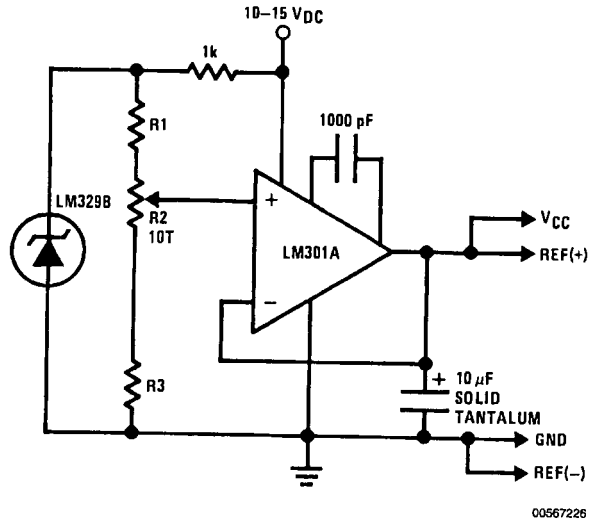
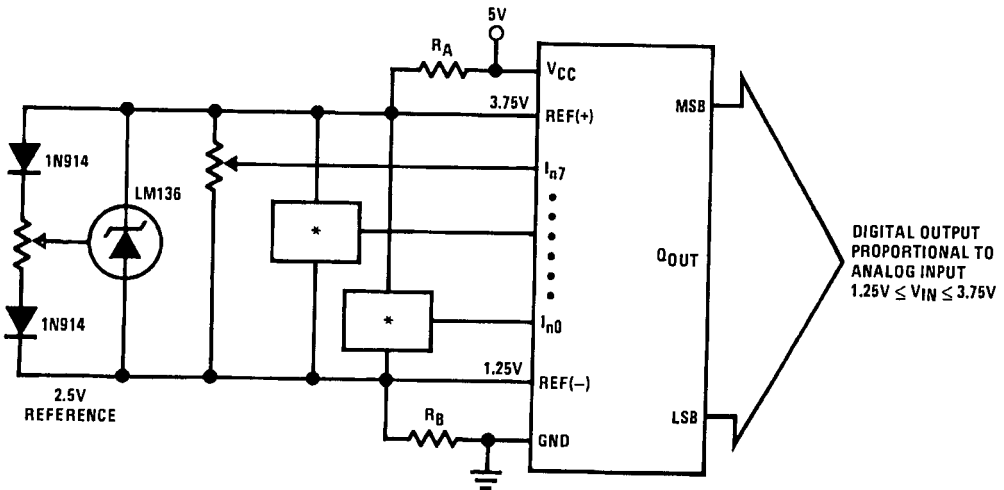


FIGURE 12. Typical Reference and Supply Circuit



$R_A = R_B$   
 \*Ratiometric transducers

FIGURE 13. Symmetrically Centered Reference

3.0 CONVERTER EQUATIONS

The transition between adjacent codes N and N+1 is given by:

$$V_{IN} = \left\{ (V_{REF(+)} - V_{REF(-)}) \left[ \frac{N}{256} + \frac{1}{512} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN} \left\{ (V_{REF(+)} - V_{REF(-)}) \left[ \frac{N}{256} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

Where:  $V_{IN}$  = Voltage at comparator input  
 $V_{REF(+)}$  = Voltage at Ref(+)  
 $V_{REF(-)}$  = Voltage at Ref(-)  
 $V_{TUE}$  = Total unadjusted error voltage (typically  $V_{REF(+)} \div 512$ )

# Applications Information (Continued)

## 4.0 ANALOG COMPARATOR INPUTS

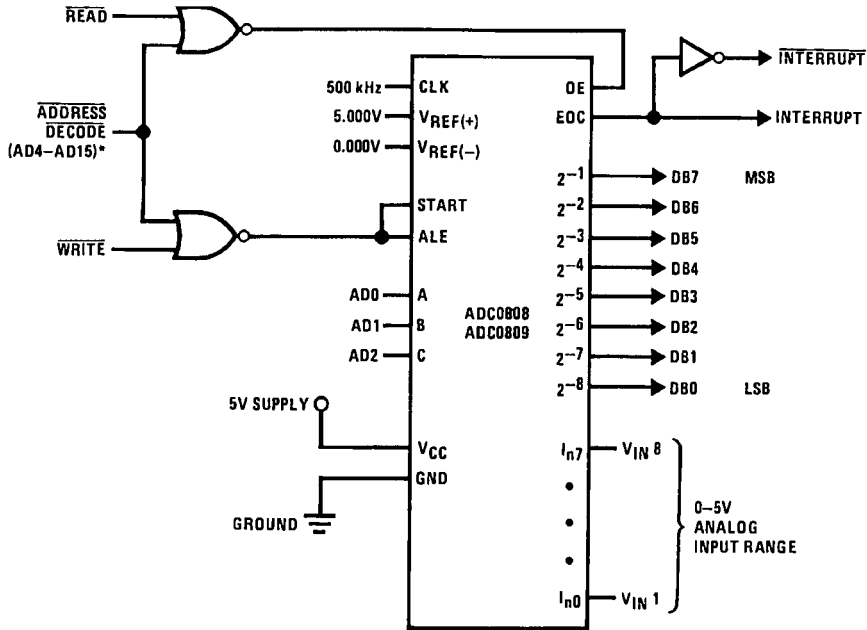
The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

The average value of the comparator input current varies directly with clock frequency and with  $V_{IN}$  as shown in Figure 6.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

## Typical Application



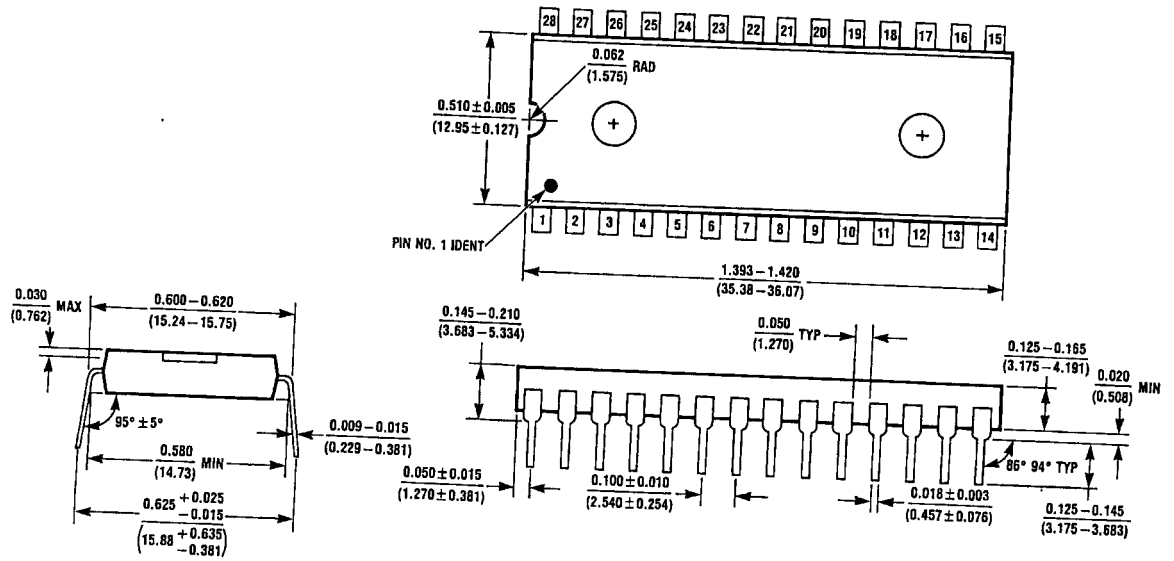
00567210

\*Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

TABLE 2. Microprocessor Interface Table

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	$\overline{RD}$	$\overline{WR}$	INTR (Thru RST Circuit)
Z-80	$\overline{RD}$	$\overline{WR}$	$\overline{INT}$ (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	$VMA \cdot \phi_2 \cdot \overline{R/W}$	$VMA \cdot \phi \cdot \overline{R/W}$	$\overline{IRQA}$ or $\overline{IRQB}$ (Thru PIA)

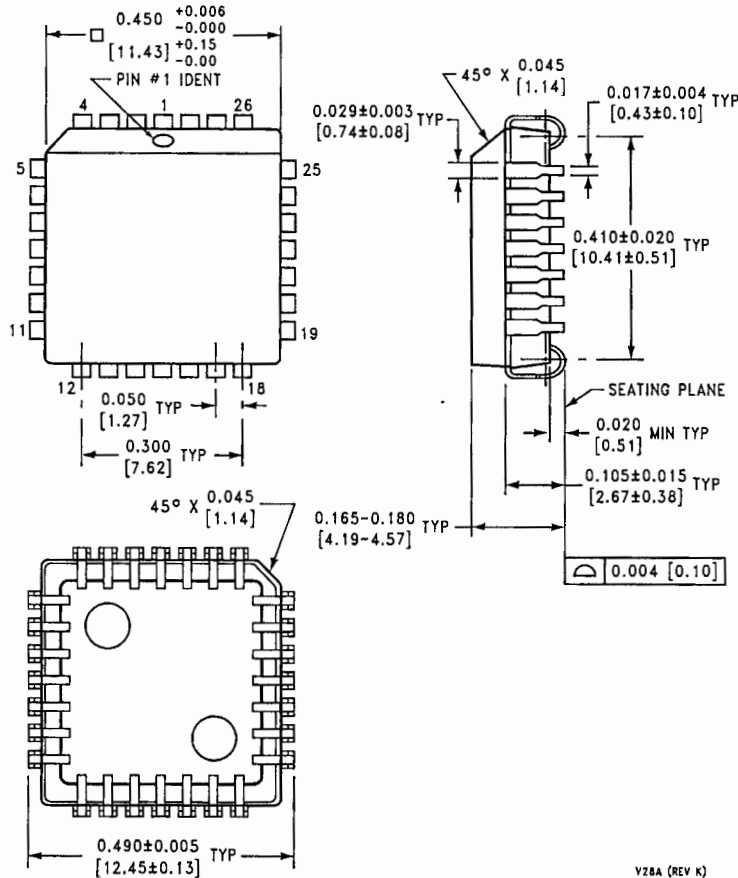
**Physical Dimensions** inches (millimeters)  
unless otherwise noted



**Molded Dual-In-Line Package (N)**  
Order Number ADC0808CCN or ADC0809CCN  
NS Package Number N28B

N28B (REV E)

**Physical Dimensions** inches (millimeters) unless otherwise noted (Continued)




V28A (REV K)

**Molded Chip Carrier (V)**  
**Order Number ADC0808CCV or ADC0809CCV**  
**NS Package Number V28A**

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

 National Semiconductor Corporation  
 Americas  
 Email: support@nsc.com

National Semiconductor  
 Europe  
 Fax: +49 (0) 180-530 85 86  
 Email: europe.support@nsc.com  
 Deutsch Tel: +49 (0) 69 9508 6208  
 English Tel: +44 (0) 870 24 0 2171  
 Français Tel: +33 (0) 1 41 91 8790

National Semiconductor  
 Asia Pacific Customer  
 Response Group  
 Tel: 65-2544466  
 Fax: 65-2504466  
 Email: ap.support@nsc.com

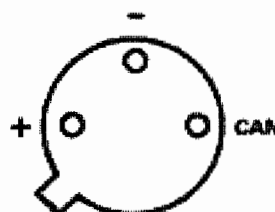
National Semiconductor  
 Japan Ltd.  
 Tel: 81-3-5639-7560  
 Fax: 81-3-5639-7507

www.national.com

# APÉNDICE G

**FEATURES**

**Linear Current Output: 1  $\mu$ A/K**  
**Wide Range: -55°C to +150°C**  
**Probe Compatible Ceramic Sensor Package**  
**Two Terminal Device: Voltage In/Current Out**  
**Laser Trimmed to  $\pm 0.5^\circ\text{C}$  Calibration Accuracy (AD590M)**  
**Excellent Linearity:  $\pm 0.3^\circ\text{C}$  Over Full Range (AD590M)**  
**Wide Power Supply Range: +4 V to +30 V**  
**Sensor Isolation from Case**  
**Low Cost**

**PIN DESIGNATIONS****BOTTOM VIEW****PRODUCT DESCRIPTION**

The AD590 is a two-terminal integrated circuit temperature transducer that produces an output current proportional to absolute temperature. For supply voltages between +4 V and +30 V the device acts as a high impedance, constant current regulator passing 1  $\mu$ A/K. Laser trimming of the chip's thin-film resistors is used to calibrate the device to 298.2  $\mu$ A output at 298.2K (+25°C).

The AD590 should be used in any temperature sensing application below +150°C in which conventional electrical temperature sensors are currently employed. The inherent low cost of a monolithic integrated circuit combined with the elimination of support circuitry makes the AD590 an attractive alternative for many temperature measurement situations. Linearization circuitry, precision voltage amplifiers, resistance measuring circuitry and cold junction compensation are not needed in applying the AD590.

In addition to temperature measurement, applications include temperature compensation or correction of discrete components, biasing proportional to absolute temperature, flow rate measurement, level detection of fluids and anemometry. The AD590 is available in chip form making it suitable for hybrid circuits and fast temperature measurements in protected environments.

The AD590 is particularly useful in remote sensing applications. The device is insensitive to voltage drops over long lines due to its high impedance current output. Any well insulated twisted pair is sufficient for operation hundreds of feet from the receiving circuitry. The output characteristics also make the AD590 easy to multiplex: the current can be switched by a CMOS multiplexer or the supply voltage can be switched by a logic gate output.

**REV. B**

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

**PRODUCT HIGHLIGHTS**

1. The AD590 is a calibrated two terminal temperature sensor requiring only a dc voltage supply (+4 V to +30 V). Costly transmitters, filters, lead wire compensation and linearization circuits are all unnecessary in applying the device.
2. State-of-the-art laser trimming at the wafer level in conjunction with extensive final testing ensures that AD590 units are easily interchangeable.
3. Superior interface rejection results from the output being a current rather than a voltage. In addition, power requirements are low (1.5 mW @ 5 V @ +25°C.) These features make the AD590 easy to apply as a remote sensor.
4. The high output impedance (>10 M $\Omega$ ) provides excellent rejection of supply voltage drift and ripple. For instance, changing the power supply from 5 V to 10 V results in only a 1  $\mu$ A maximum current change, or 1°C equivalent error.
5. The AD590 is electrically durable: it will withstand a forward voltage up to 44 V and a reverse voltage of 20 V. Hence, supply irregularities or pin reversal will not damage the device.

# AD590—SPECIFICATIONS (@ +25°C and $V_S = +5$ V unless otherwise noted)

Model	AD590J			AD590K			Units
	Min	Typ	Max	Min	Typ	Max	
<b>ABSOLUTE MAXIMUM RATINGS</b>							
Forward Voltage (E+ or E-)			+44			+44	Volts
Reverse Voltage (E+ to E-)			-20			-20	Volts
Breakdown Voltage (Case E+ or E-)			±200			±200	Volts
Rated Performance Temperature Range <sup>1</sup>	-55		+150	-55		+150	°C
Storage Temperature Range <sup>1</sup>	-65		+155	-65		+155	°C
Lead Temperature (Soldering, 10 sec)			+300			+300	°C
<b>POWER SUPPLY</b>							
Operating Voltage Range	+4		+30	+4		+30	Volts
<b>OUTPUT</b>							
Nominal Current Output @ +25°C (298.2K)		298.2			298.2		μA
Nominal Temperature Coefficient		1			1		μA/K
Calibration Error @ +25°C			<b>±5.0</b>			<b>±2.5</b>	°C
Absolute Error (Over Rated Performance Temperature Range)							
Without External Calibration Adjustment			<b>±10</b>			<b>±5.5</b>	°C
With +25°C Calibration Error Set to Zero			<b>±3.0</b>			<b>±2.0</b>	°C
Nonlinearity			<b>±1.5</b>			<b>±0.8</b>	°C
Repeatability <sup>2</sup>			±0.1			±0.1	°C
Long-Term Drift <sup>3</sup>			±0.1			±0.1	°C
Current Noise		40			40		pA/√Hz
Power Supply Rejection							
+4 V ≤ $V_S$ ≤ +5 V		0.5			0.5		μA/V
+5 V ≤ $V_S$ ≤ +15 V		0.2			0.2		μV/V
+15 V ≤ $V_S$ ≤ +30 V		0.1			0.1		μA/V
Case Isolation to Either Lead		10 <sup>10</sup>			10 <sup>10</sup>		Ω
Effective Shunt Capacitance		100			100		pF
Electrical Turn-On Time		20			20		μs
Reverse Bias Leakage Current <sup>4</sup> (Reverse Voltage = 10 V)		10			10		pA
<b>PACKAGE OPTIONS</b>							
TO-52 (H-03A)		AD590JH			AD590KH		
Flatpack (F-2A)		AD590JF			AD590KF		

## NOTES

<sup>1</sup>The AD590 has been used at -100°C and +200°C for short periods of measurement with no physical damage to the device. However, the absolute errors specified apply to only the rated performance temperature range.

<sup>2</sup>Maximum deviation between +25°C readings after temperature cycling between -55°C and +150°C; guaranteed not tested.

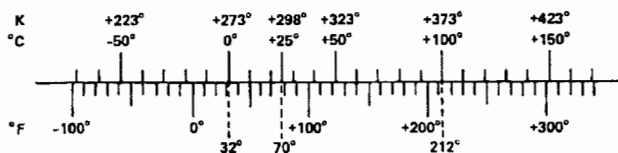
<sup>3</sup>Conditions: constant +5 V, constant +125°C; guaranteed, not tested.

<sup>4</sup>Leakage current doubles every 10°C.

Specifications subject to change without notice.

Specifications shown in **boldface** are tested on all production units at final electrical test. Results from those tests are used to calculate outgoing quality levels. All min and max specifications are guaranteed, although only those shown in **boldface** are tested on all production units.

Model	AD590L			AD590M			Units
	Min	Typ	Max	Min	Typ	Max	
<b>ABSOLUTE MAXIMUM RATINGS</b>							
Forward Voltage (E+ or E-)			+44			+44	Volts
Reverse Voltage (E+ to E-)			-20			-20	Volts
Breakdown Voltage (Case to E+ or E-)			±200			±200	Volts
Rated Performance Temperature Range <sup>1</sup>	-55		+150	-55		+150	°C
Storage Temperature Range <sup>1</sup>	-65		+155	-65		+155	°C
Lead Temperature (Soldering, 10 sec)			+300			+300	°C
<b>POWER SUPPLY</b>							
Operating Voltage Range	+4		+30	+4		+30	Volts
<b>OUTPUT</b>							
Nominal Current Output @ +25°C (298.2K)		298.2			298.2		µA
Nominal Temperature Coefficient		1			1		µA/K
Calibration Error @ +25°C			±1.0			±0.5	°C
<b>Absolute Error (Over Rated Performance Temperature Range)</b>							
Without External Calibration Adjustment			±3.0			±1.7	°C
With ±25°C Calibration Error Set to Zero			±1.6			±1.0	°C
Nonlinearity			±0.4			±0.3	°C
Repeatability <sup>2</sup>			±0.1			±0.1	°C
Long-Term Drift <sup>3</sup>			±0.1			±0.1	°C
Current Noise		40			40		pA/√Hz
<b>Power Supply Rejection</b>							
+4 V ≤ V <sub>S</sub> ≤ +5 V		0.5			0.5		µA/V
+5 V ≤ V <sub>S</sub> ≤ +15 V		0.2			0.2		µA/V
+15 V ≤ V <sub>S</sub> ≤ +30 V		0.1			0.1		µA/V
Case Isolation to Either Lead		10 <sup>10</sup>			10 <sup>10</sup>		Ω
Effective Shunt Capacitance		100			100		pF
Electrical Turn-On Time		20			20		µs
Reverse Bias Leakage Current <sup>4</sup> (Reverse Voltage = 10 V)		10			10		pA
<b>PACKAGE OPTIONS</b>							
TO-52 (H-03A)		AD590LH			AD590MH		
Flatpack (F-2A)		AD590LF			AD590MF		



### TEMPERATURE SCALE CONVERSION EQUATIONS

$$^{\circ}\text{C} = \frac{5}{9} (^{\circ}\text{F} - 32) \quad \text{K} = ^{\circ}\text{C} + 273.15$$

$$^{\circ}\text{F} = \frac{9}{5} ^{\circ}\text{C} + 32 \quad ^{\circ}\text{R} = ^{\circ}\text{F} + 459.7$$

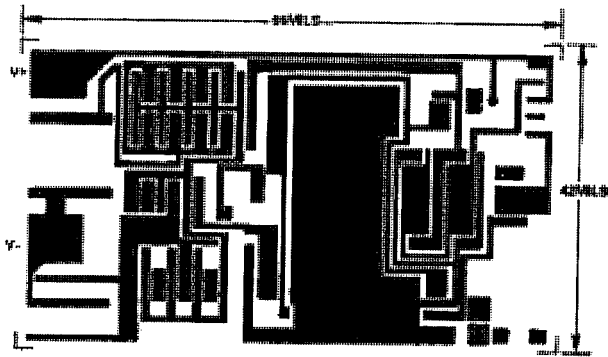


# AD590

The 590H has 60  $\mu$  inches of gold plating on its Kovar leads and Kovar header. A resistance welder is used to seal the nickel cap to the header. The AD590 chip is eutectically mounted to the header and ultrasonically bonded to with 1 MIL aluminum wire. Kovar composition: 53% iron nominal; 29%  $\pm$  1% nickel; 17%  $\pm$  1% cobalt; 0.65% manganese max; 0.20% silicon max; 0.10% aluminum max; 0.10% magnesium max; 0.10% zirconium max; 0.10% titanium max; 0.06% carbon max.

The 590F is a ceramic package with gold plating on its Kovar leads, Kovar lid, and chip cavity. Solder of 80/20 Au/Sn composition is used for the 1.5 mil thick solder ring under the lid. The chip cavity has a nickel underlay between the metalization and the gold plating. The AD590 chip is eutectically mounted in the chip cavity at 410°C and ultrasonically bonded to with 1 mil aluminum wire. Note that the chip is in direct contact with the ceramic base, not the metal lid. When using the AD590 in die form, the chip substrate must be kept electrically isolated, (floating), for correct circuit operation.

## METALIZATION DIAGRAM



THE AD590 IS AVAILABLE IN LASER-TRIMMED CHIP FORM; CONSULT THE CHIP CATALOG FOR DETAILS.

## CIRCUIT DESCRIPTION<sup>1</sup>

The AD590 uses a fundamental property of the silicon transistors from which it is made to realize its temperature proportional characteristic: if two identical transistors are operated at a constant ratio of collector current densities,  $r$ , then the difference in their base-emitter voltage will be  $(kT/q)(\ln r)$ . Since both  $k$ , Boltzman's constant and  $q$ , the charge of an electron, are constant, the resulting voltage is directly proportional to absolute temperature (PTAT).

In the AD590, this PTAT voltage is converted to a PTAT current by low temperature coefficient thin-film resistors. The total current of the device is then forced to be a multiple of this PTAT current. Referring to Figure 1, the schematic diagram of the AD590, Q8 and Q11 are the transistors that produce the PTAT voltage. R5 and R6 convert the voltage to current. Q10, whose collector current tracks the collector currents in Q9 and Q11, supplies all the bias and substrate leakage current for the rest of the circuit, forcing the total current to be PTAT. R5 and R6 are laser trimmed on the wafer to calibrate the device at +25°C.

Figure 2 shows the typical V-I characteristic of the circuit at +25°C and the temperature extremes.

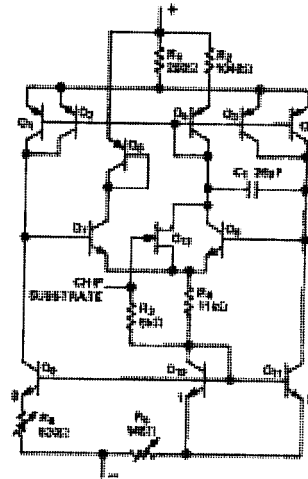


Figure 1. Schematic Diagram

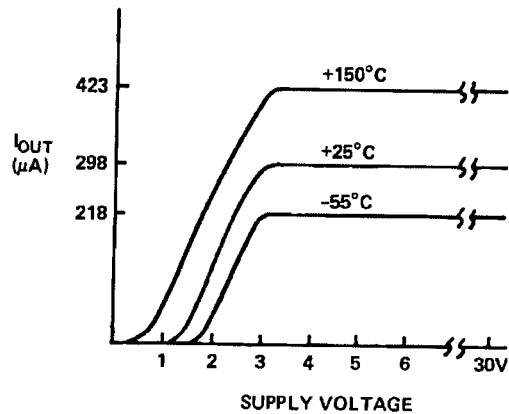


Figure 2. V-I Plot

<sup>1</sup>For a more detailed circuit description see M.P. Timko, "A Two-Terminal IC Temperature Transducer," IEEE J. Solid State Circuits, Vol. SC-11, p. 784-788, Dec. 1976.

# Understanding the Specifications—AD590

## EXPLANATION OF TEMPERATURE SENSOR SPECIFICATIONS

The way in which the AD590 is specified makes it easy to apply in a wide variety of different applications. It is important to understand the meaning of the various specifications and the effects of supply voltage and thermal environment on accuracy.

The AD590 is basically a PTAT (proportional to absolute temperature)<sup>1</sup> current regulator. That is, the output current is equal to a scale factor times the temperature of the sensor in degrees Kelvin. This scale factor is trimmed to 1  $\mu\text{A}/\text{K}$  at the factory, by adjusting the indicated temperature (i.e., the output current) to agree with the actual temperature. This is done with 5 V across the device at a temperature within a few degrees of +25°C (298.2K). The device is then packaged and tested for accuracy over temperature.

## CALIBRATION ERROR

At final factory test the difference between the indicated temperature and the actual temperature is called the calibration error. Since this is a scale factory error, its contribution to the total error of the device is PTAT. For example, the effect of the 1°C specified maximum error of the AD590L varies from 0.73°C at -55°C to 1.42°C at 150°C. Figure 3 shows how an exaggerated calibration error would vary from the ideal over temperature.

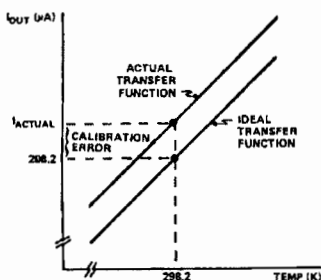


Figure 3. Calibration Error vs. Temperature

The calibration error is a primary contributor to maximum total error in all AD590 grades. However, since it is a scale factor error, it is particularly easy to trim. Figure 4 shows the most elementary way of accomplishing this. To trim this circuit the temperature of the AD590 is measured by a reference temperature sensor and R is trimmed so that  $V_T = 1 \text{ mV}/\text{K}$  at that temperature. Note that when this error is trimmed out at one temperature, its effect is zero over the entire temperature range. In most applications there is a current-to-voltage conversion resistor (or, as with a current input ADC, a reference) that can be trimmed for scale factor adjustment.

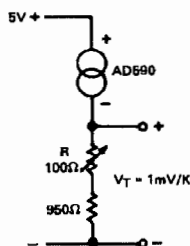


Figure 4. One Temperature Trim

<sup>1</sup> $T(^{\circ}\text{C}) = T(\text{K}) - 273.2$ ; Zero on the Kelvin scale is "absolute zero"; there is no lower temperature.

## ERROR VERSUS TEMPERATURE: WITH CALIBRATION ERROR TRIMMED OUT

Each AD590 is tested for error over the temperature range with the calibration error trimmed out. This specification could also be called the "variance from PTAT" since it is the maximum difference between the actual current over temperature and a PTAT multiplication of the actual current at 25°C. This error consists of a slope error and some curvature, mostly at the temperature extremes. Figure 5 shows a typical AD590K temperature curve before and after calibration error trimming.

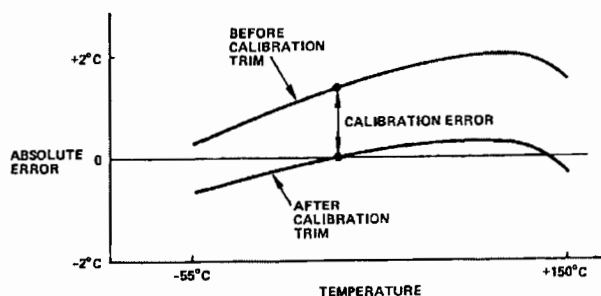


Figure 5. Effect to Scale Factor Trim on Accuracy

## ERROR VERSUS TEMPERATURE: NO USER TRIMS

Using the AD590 by simply measuring the current, the total error is the "variance from PTAT" described above plus the effect of the calibration error over temperature. For example the AD590L maximum total error varies from 2.33°C at -55°C to 3.02°C at 150°C. For simplicity, only the large figure is shown on the specification page.

## NONLINEARITY

Nonlinearity as it applies to the AD590 is the maximum deviation of current over temperature from a best-fit straight line. The nonlinearity of the AD590 over the -55°C to +150°C range is superior to all conventional electrical temperature sensors such as thermocouples, RTDs and thermistors. Figure 6 shows the nonlinearity of the typical AD590K from Figure 5.

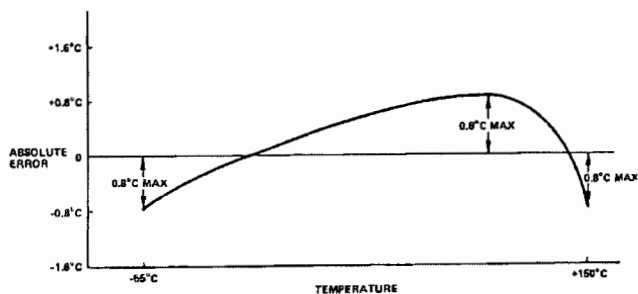


Figure 6. Nonlinearity

Figure 7A shows a circuit in which the nonlinearity is the major contributor to error over temperature. The circuit is trimmed by adjusting  $R_1$  for a 0 V output with the AD590 at 0°C.  $R_2$  is then adjusted for 10 V out with the sensor at 100°C. Other pairs of temperatures may be used with this procedure as long as they are measured accurately by a reference sensor. Note that for +15 V output (150°C) the  $V+$  of the op amp must be greater than 17 V. Also note that  $V-$  should be at least -4 V; if  $V-$  is ground there is no voltage applied across the device.

# AD590

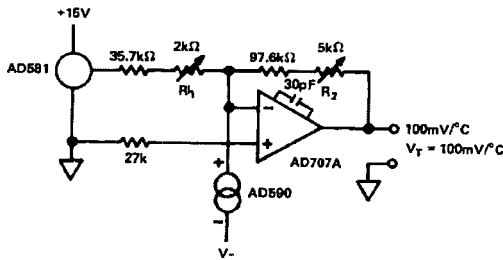


Figure 7A. Two Temperature Trim

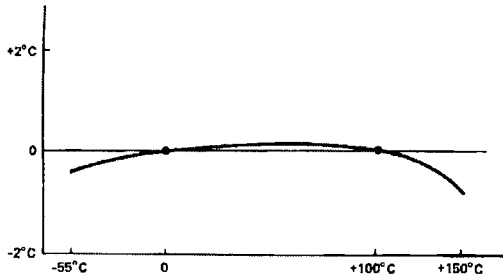


Figure 7B. Typical Two-Trim Accuracy

## VOLTAGE AND THERMAL ENVIRONMENT EFFECTS

The power supply rejection specifications show the maximum expected change in output current versus input voltage changes. The insensitivity of the output to input voltage allows the use of unregulated supplies. It also means that hundreds of ohms of resistance (such as a CMOS multiplexer) can be tolerated in series with the device.

It is important to note that using a supply voltage other than 5 V does not change the PTAT nature of the AD590. In other words, this change is equivalent to a calibration error and can be removed by the scale factor trim (see previous page).

The AD590 specifications are guaranteed for use in a low thermal resistance environment with 5 V across the sensor. Large changes in the thermal resistance of the sensor's environment will change the amount of self-heating and result in changes in the output which are predictable but not necessarily desirable.

The thermal environment in which the AD590 is used determines two important characteristics: the effect of self heating and the response of the sensor with time.

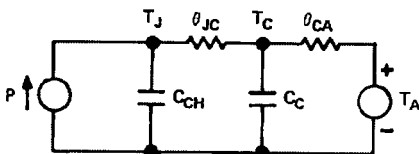


Figure 8. Thermal Circuit Model

Figure 8 is a model of the AD590 which demonstrates these characteristics. As an example, for the TO-52 package,  $\theta_{JC}$  is the thermal resistance between the chip and the case, about 26°C/watt.  $\theta_{CA}$  is the thermal resistance between the case and the surroundings and is determined by the characteristics of the

thermal connection. Power source P represents the power dissipated on the chip. The rise of the junction temperature,  $T_J$ , above the ambient temperature  $T_A$  is:

$$T_J - T_A = P (\theta_{JC} + \theta_{CA}) \quad \text{Equation 1}$$

Table I gives the sum of  $\theta_{JC}$  and  $\theta_{CA}$  for several common thermal media for both the "H" and "F" packages. The heatsink used was a common clip-on. Using Equation 1, the temperature rise of an AD590 "H" package in a stirred bath at +25°C, when driven with a 5 V supply, will be 0.06°C. However, for the same conditions in still air the temperature rise is 0.72°C. For a given supply voltage, the temperature rise varies with the current and is PTAT. Therefore, if an application circuit is trimmed with the sensor in the same thermal environment in which it will be used, the scale factor trim compensates for this effect over the entire temperature range.

Table I. Thermal Resistances

Medium	$\theta_{JC} + \theta_{CA}$ (°C/Watt)		$\tau$ (sec) (Note 3)	
	H	F	H	F
Aluminum Block	30	10	0.6	0.1
Stirred Oil <sup>1</sup>	42	60	1.4	0.6
Moving Air <sup>2</sup>				
With Heat Sink	45	–	5.0	–
Without Heat Sink	115	190	13.5	10.0
Still Air				
With Heat Sink	191	–	108	–
Without Heat Sink	480	650	60	30

<sup>1</sup>Note:  $\tau$  is dependent upon velocity of oil; average of several velocities listed above.

<sup>2</sup>Air velocity  $\approx$  9 ft./sec.

<sup>3</sup>The time constant is defined as the time required to reach 63.2% of an instantaneous temperature change.

The time response of the AD590 to a step change in temperature is determined by the thermal resistances and the thermal capacities of the chip,  $C_{CH}$ , and the case,  $C_C$ .  $C_{CH}$  is about 0.04 watt-sec/°C for the AD590.  $C_C$  varies with the measured medium since it includes anything that is in direct thermal contact with the case. In most cases, the single time constant exponential curve of Figure 9 is sufficient to describe the time response,  $T(t)$ . Table I shows the effective time constant,  $\tau$ , for several media.

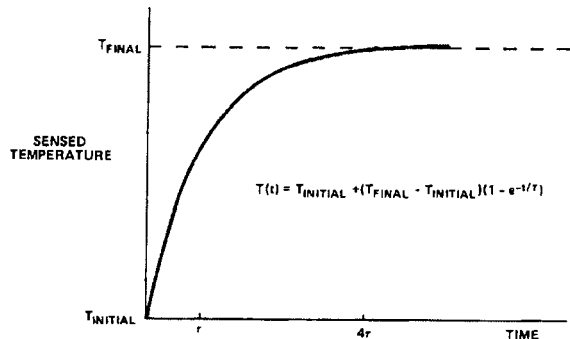


Figure 9. Time Response Curve

## GENERAL APPLICATIONS

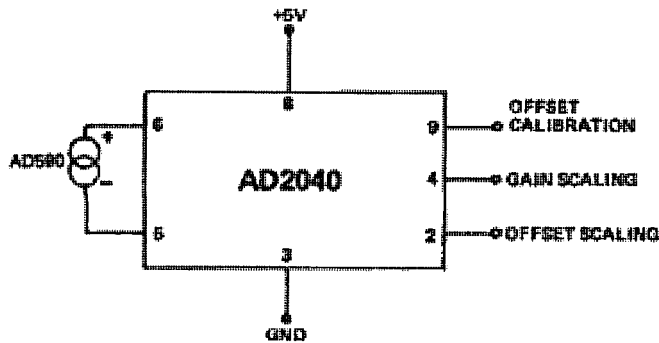


Figure 10. Variable Scale Display

Figure 10 demonstrates the use of a low cost Digital Panel Meter for the display of temperature on either the Kelvin, Celsius or Fahrenheit scales. For Kelvin temperature Pins 9, 4 and 2 are grounded; and for Fahrenheit temperature Pins 4 and 2 are left open.

The above configuration yields a 3 digit display with 1°C or 1°F resolution, in addition to an absolute accuracy of  $\pm 2.0^\circ\text{C}$  over the  $-55^\circ\text{C}$  to  $+125^\circ\text{C}$  temperature range if a one-temperature calibration is performed on an AD590K, L, or M.

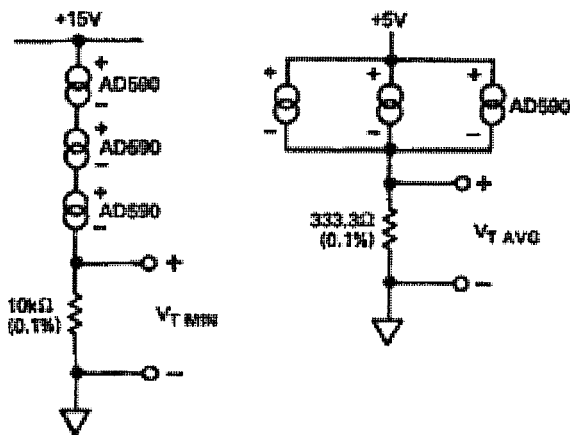


Figure 11. Series & Parallel Connection

Connecting several AD590 units in series as shown in Figure 11 allows the minimum of all the sensed temperatures to be indicated. In contrast, using the sensors in parallel yields the average of the sensed temperatures.

The circuit of Figure 12 demonstrates one method by which differential temperature measurements can be made. R1 and R2 can be used to trim the output of the op amp to indicate a

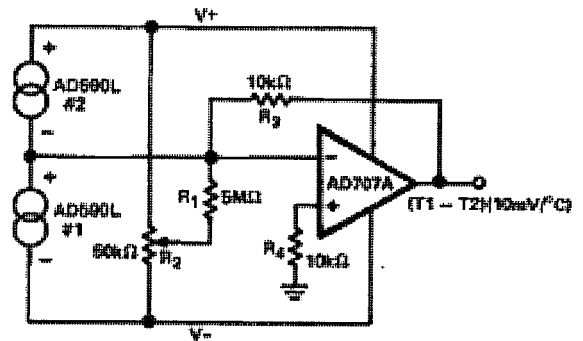


Figure 12. Differential Measurements

desired temperature difference. For example, the inherent offset between the two devices can be trimmed in. If  $V+$  and  $V-$  are radically different, then the difference in internal dissipation will cause a differential internal temperature rise. This effect can be used to measure the ambient thermal resistance seen by the sensors in applications such as fluid level detectors or anemometry.

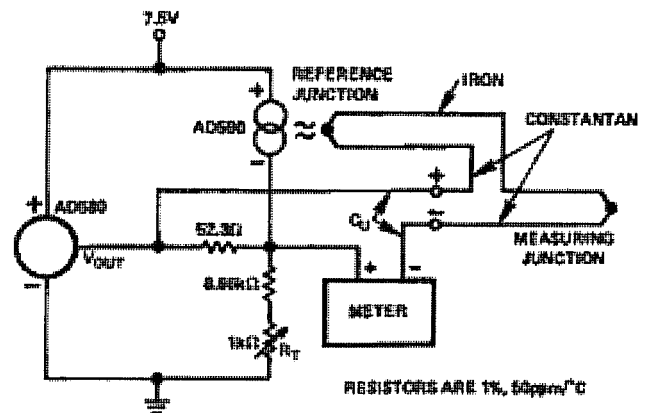


Figure 13. Cold Junction Compensation Circuit for Type J Thermocouple

Figure 13 is an example of a cold junction compensation circuit for a Type J Thermocouple using the AD590 to monitor the reference junction temperature. This circuit replaces an ice-bath as the thermocouple reference for ambient temperatures between  $+15^\circ\text{C}$  and  $+35^\circ\text{C}$ . The circuit is calibrated by adjusting  $R_T$  for a proper meter reading with the measuring junction at a known reference temperature and the circuit near  $+25^\circ\text{C}$ . Using components with the TCs as specified in Figure 13, compensation accuracy will be within  $\pm 0.5^\circ\text{C}$  for circuit temperatures between  $+15^\circ\text{C}$  and  $+35^\circ\text{C}$ . Other thermocouple types can be accommodated with different resistor values. Note that the TCs of the voltage reference and the resistors are the primary contributors to error.

# AD590

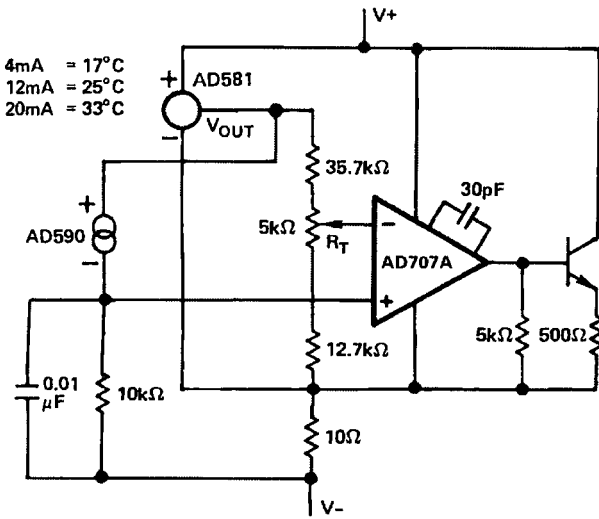


Figure 14. 4 mA-to-20 mA Current Transmitter

Figure 14 is an example of a current transmitter designed to be used with 40 V, 1 kΩ systems; it uses its full current range of 4 mA-to-20 mA for a narrow span of measured temperatures. In this example the 1 μA/K output of the AD590 is amplified to 1 mA/°C and offset so that 4 mA is equivalent to 17°C and 20 mA is equivalent to 33°C.  $R_T$  is trimmed for proper reading at an intermediate reference temperature. With a suitable choice of resistors, any temperature range within the operating limits of the AD590 may be chosen.

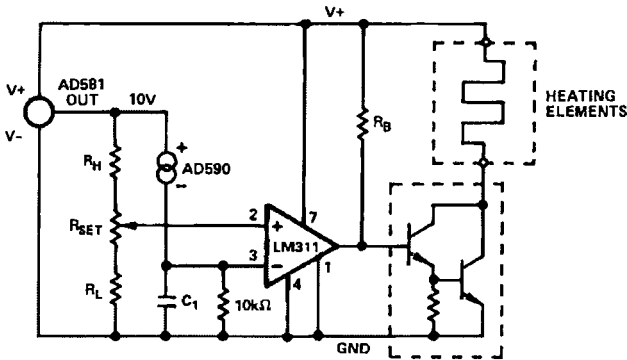


Figure 15. Simple Temperature Control Circuit

Figure 15 is an example of a variable temperature control circuit (thermostat) using the AD590.  $R_H$  and  $R_L$  are selected to set the high and low limits for  $R_{SET}$ .  $R_{SET}$  could be a simple pot, a calibrated multiturn pot or a switched resistive divider. Powering the AD590 from the 10 V reference isolates the AD590 from supply variations while maintaining a reasonable voltage (~7 V) across it. Capacitor  $C_1$  is often needed to filter extraneous noise from remote sensors.  $R_B$  is determined by the  $\beta$  of the power transistor and the current requirements of the load.

Figure 16 shows the AD590 can be configured with an 8-bit DAC to produce a digitally controlled set point. This particular circuit operates from 0°C (all inputs high) to +51°C (all inputs

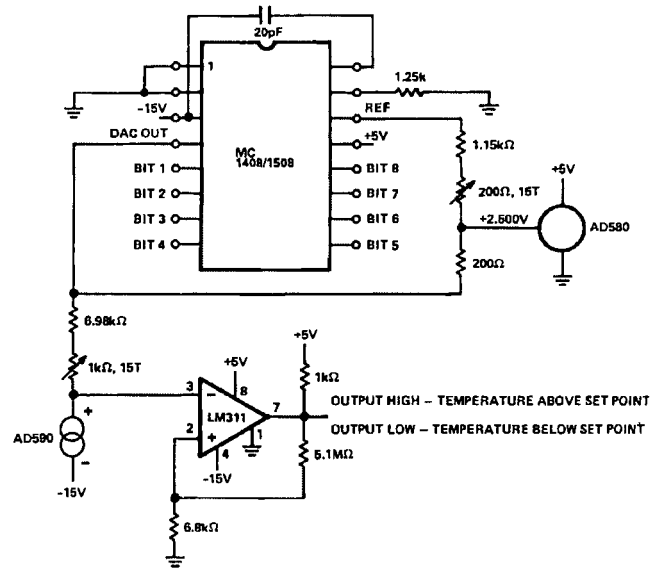


Figure 16. DAC Set Point

low) in 0.2°C steps. The comparator is shown with 1°C hysteresis which is usually necessary to guard-band for extraneous noise; omitting the 5.1 MΩ resistor results in no hysteresis.

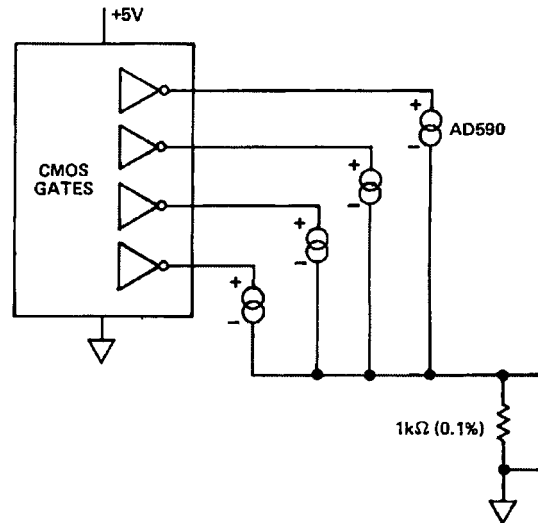


Figure 17. AD590 Driven from CMOS Logic

The voltage compliance and the reverse blocking characteristic of the AD590 allows it to be powered directly from +5 V CMOS logic. This permits easy multiplexing, switching or pulsing for minimum internal heat dissipation. In Figure 17 any AD590s connected to a logic high will pass a signal current through the current measuring circuitry while those connected to a logic zero will pass insignificant current. The outputs used to drive the AD590s may be employed for other purposes, but the additional capacitance due to the AD590 should be taken into account.

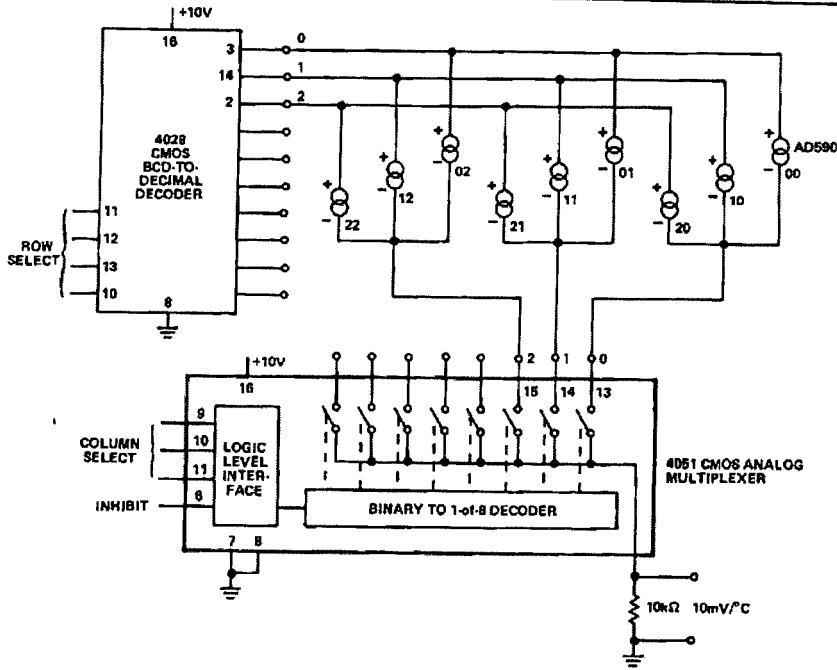


Figure 18. Matrix Multiplexer

CMOS Analog Multiplexers can also be used to switch AD590 current. Due to the AD590's current mode, the resistance of such switches is unimportant as long as 4 V is maintained across the transducer. Figure 18 shows a circuit which combines the principal demonstrated in Figure 17 with an 8-channel CMOS Multiplexer. The resulting circuit can select one of eighty sensors over only 18 wires with a 7-bit binary word. The inhibit input on the multiplexer turns all sensors off for minimum dissipation while idling.

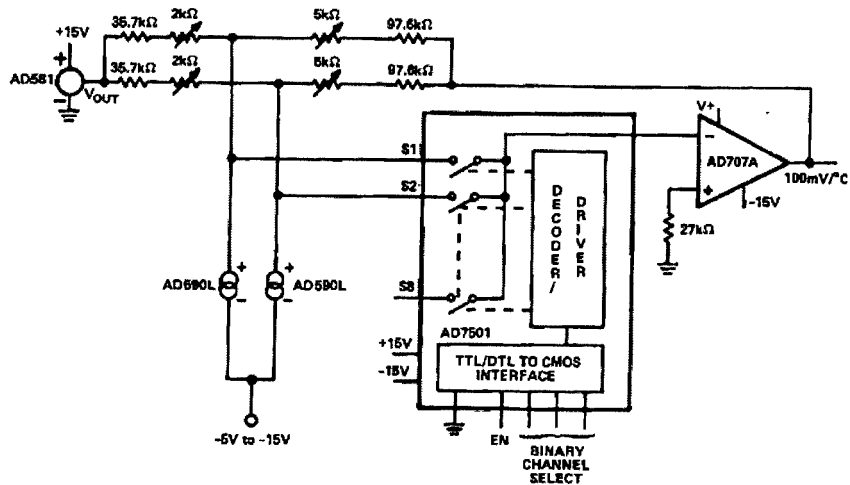


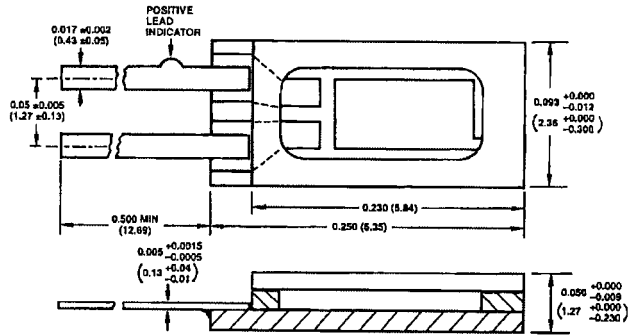
Figure 19. 8-Channel Multiplexer

Figure 19 demonstrates a method of multiplexing the AD590 in the two-trim mode (Figure 7). Additional AD590s and their associated resistors can be added to multiplex up to 8 channels of  $\pm 0.5^\circ\text{C}$  absolute accuracy over the temperature range of  $-55^\circ\text{C}$  to  $+125^\circ\text{C}$ . The high temperature restriction of  $+125^\circ\text{C}$  is due to the output range of the op amps; output to  $+150^\circ\text{C}$  can be achieved by using a  $+20\text{ V}$  supply for the op amp.

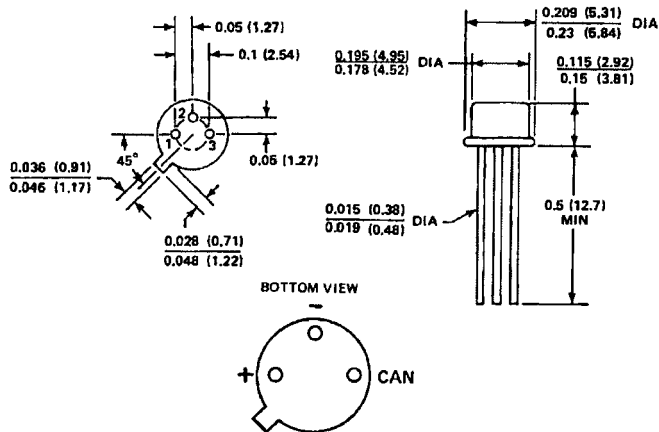
OUTLINE DIMENSIONS  
AND PIN DESIGNATIONS

Dimensions shown in inches and (mm).

FLATPACK PACKAGE: DESIGNATION "F"



TO-52 Package: Designation "H"



# APÉNDICE H



## GLOSARIO

### B.

BIOS (Sistema básico de entrada/salida): La BIOS accede directamente al hardware, liberando a los programas de usuario de las tareas más complejas. Parte del código de la BIOS es actualizado durante el arranque del ordenador, con los ficheros que incluye el sistema operativo. Las funciones de la BIOS se invocan, desde los programas de usuario, ejecutando una interrupción software con un cierto valor inicial en los registros.

BUS: El bus se puede definir como un conjunto de líneas conductoras de hardware utilizadas para la transmisión de datos entre los componentes de un sistema informático. Un bus es una ruta que conecta diferentes partes del sistema, como el microprocesador, la controladora de unidad de disco, la memoria y los puertos de entrada/salida, para permitir la transmisión de información.

### C.

CARD SLCTD (Card Selected): Indica que una tarjeta ha sido activada en el slot XT de 8 bits.

### D.

DIP (Dual-In-Line Package): Formato aplicado a los encapsulados de circuitos integrados en los que las conexiones están colocados en solo dos extremos del integrado a diferencia del Molded Chip Carrier Package que tiene las conexiones en sus 4 extremos.

DMA (direct memory access): Forma final de entrada/salida. Es una técnica que permite el acceso directo a la memoria mientras el procesador esté deshabilitado en forma temporal. Esto permite transferir datos entre la memoria y el dispositivo E/S a una velocidad que sólo está limitada por la velocidad de los componentes de la memoria del sistema o en el controlador de DMA.

### E.

E<sup>2</sup>CMOS (EECMOS): En un GAL el fusible se reemplaza por una celda eléctricamente borrable, (tecnología EECMOS) y mediante programación se activa o desactiva.

EISA (Extended ISA): Basado en la idea de controlar el bus desde el microprocesador y ensanchar la ruta de datos hasta 32 bits. En este bus hay un chip que se encarga de controlar el tráfico de datos señalando prioridades para cada posible punto de colisión o bloqueo mediante las reglas de control de la especificación EISA.

G.

GAL (Generic Array Logic ): Son circuitos integrados que cuentan con un arreglo matricial de fusibles que inicialmente conectan todas las terminales de entrada del circuito, con todas las compuertas de un arreglo AND-OR.. Están diseñados para emular muchas PAL pensadas para el uso de macro células. Si un usuario tiene un diseño que se implementa usando varias PAL comunes, puede configurar varias de las mismas GAL para emular cada de uno de los otros dispositivos.

I.

IEEE: instituto de ingenieros electricistas y electrónicos.

ISA (Industry Standard Architecture): Un PC AT utiliza el bus AT para periféricos insertables. El bus AT es el bus ISA de 16 bits utilizado por la mayoría de los PC compatibles IBM basados en los chips 486 o Pentium II.

L.

LDR (Light Dependent Resistors): resistencia dependiente de la luz, La resistencia reduce su valor resistivo en presencia de rayos luminosos y en ausencia de estos, aumenta.

LSB: Bit menos significativo.

M.

MCA (Micro Channel Arquitectura): Bus para perifericos insertables de 32 bits de datos y 32 bits de direcciones limitado a trabajar a 10MHZ con una velocidad de transferencia máxima de 20 Mbps aunque teóricamente pueda llegar a trabajar hasta velocidades de 30 MHZ

MSB: Bit mas significativo.

MSI (Médium Scale Integration): Escala media de integración. Escala que se utiliza para circuitos integrados y que indica determinado rango de número componentes integrados de los cuales esta formado.

O.

OLMC (Output Logic Macro Cel): Macroceldas lógicas de salida , es una sección del GAL que incluye a los elementos necesarios para configurar sus salidas, de cuatro maneras lógicas distintas.

P.

**PAL (Programmable Array Logic):** Las PAL son dispositivos de matriz programable. La arquitectura interna consiste en términos AND programables que alimentan términos OR fijos. Las PAL tienen una arquitectura muy popular y son probablemente el tipo de dispositivo programable por usuario más empleado

**PCI (Peripheral Component Interconnect):** Los más recientes PC tienen ranuras con bus PCI. El bus PCI es un bus de 32 bits para periféricos insertables. Se han agregado capacidad de manejo de bus a la mayoría de los productos PCI para permitir la transferencia de datos a alta velocidad en el bus PCI. El actual estándar PCI autoriza frecuencias de reloj que oscilan entre 20 y 33 Mhz.

**PIR (Rayos Infrarrojos Pasivos):** Tecnología utilizada en sensores de presencia. Los detectores PIR reaccionan sólo ante determinadas fuentes de energía tales como el cuerpo humano.

**PLD (Dispositivos Lógicos Programables):** La lógica programable, como el nombre implica, es una familia de componentes que contienen conjuntos de elementos lógicos (AND, OR, NOT, LATCH, FLIP-FLOP) que pueden configurarse en cualquier función lógica que el usuario desee y que el componente soporte.

**PPI: Interface periférica programable,** el PPI 8255 es un muy popular componente de bajo costo para interfaces que se encuentra en muchas aplicaciones.

R.

**RAM (Random Access Memory):** Son memorias en las que se puede leer y escribir, Por su tecnología pueden ser de ferritas o electrónicas. Para entendernos, podríamos decir que es la memoria que utiliza el ordenador para funcionar.

**ROM (Read Only Memory):** Son memorias en las que sólo se puede leer. La información guardada en la ROM no puede ser cambiada por el usuario. En la ROM se guardan los bios que son los archivos necesarios para que arranque el ordenador.

**RTD (Resistance Temperature Detectors):** Sensor de temperatura cuyo funcionamiento se basa en que al existir un cambio de temperatura en un material cambia su resistencia eléctrica de manera definida.

S.

**SAR (Successive Approximation Register):** Un registro de aproximaciones sucesivas.